

ESCUELA TECNICA SUPERIOR DE INGENIEROS  
DE TELECOMUNICACION



PROYECTO FIN DE CARRERA

SISTEMA PARA VISUALIZACION  
DE ESPECTROS DE BAJA FRECUENCIA  
CONTROLADO POR MICROPROCESADOR

Curso 1983 - 84

Rafael de las Heras Alfonso

TITULO : Sistema para visualización de espectros de baja frecuencia controlado por microprocesador.

AUTOR : D. Rafael de las Heras Alfonso

TUTOR : D. Mariano Fernández Alarcón

CATEDRA : Sistemas Digitales

MIEMBROS DEL TRIBUNAL CALIFICADOR :

PRESIDENTE : A. García Guerra

VOCAL : M. Fernández Alarcón

VOCAL SECRETARIO : J. A. Sarran Paredes.

FECHA DE LECTURA : 25-IX-1984.

CALIFICACION : MATRICULA HONOR - 10.

RESUMEN DEL PROYECTO :

El objeto del proyecto es la dotación de todos los elementos teóricos necesarios para la construcción de un sistema electrónico basado en un microprocesador cuya finalidad es la de servir de analizador de espectros de la banda de audio, presentando un espectro de potencias o de amplitudes en la pantalla de un osciloscopio convencional. Para ello se hará uso de técnicas de proceso digital de la señal en tiempo semi-real, empleando un algoritmo de Transformada Rápida de Fourier optimizado, implementado en el lenguaje del  $\mu P$  usado, el Zilog Z3002B, de 16 bits.

PALABRAS CLAVE : DFT, FFT, mariposa, aliasing, bitreverse.



INDICE

## INDICE

### I - MEMORIA

	<u>Pag.</u>
1.- INTRODUCCION.....	1
1.1 Objetivos.....	1
1.2 Descripción general.....	2
1.3 Criterios sobre elección de técnicas.....	7
2.- CALCULOS JUSTIFICATIVOS.....	10
2.1 Elementos teóricos.....	10
2.1.1 Tipos de señales.....	11
2.1.2 Representación de señales.....	12
2.1.3 Transformada de Fourier.....	18
2.1.4 Convolución y Correlación.....	24
2.1.5 Series de Fourier.....	27
2.1.6 Muestreo.....	34
Teorema del Muestreo.....	36
2.1.7 La Transformada Discreta de Fourier (DFT)	42
Desarrollo intuitivo.....	42
Desarrollo analítico.....	44
Estudio de la aproximación de la transformada de Fourier por la DFT.....	51
2.1.8 La Transformada rápida de Fourier (FFT)...	67
2.1.8.1 Desarrollo intuitivo del algoritmo de Cooley-Tukey.....	69
La Mariposa.....	72
Desarrollo teórico del algoritmo de Cooley-Tukey.....	78
Esquema de una posible implementación del algoritmo.....	80
Otros Algoritmos.....	82
2.1.8.2 Algoritmo de Bergland o algoritmo FTRVI...	88

		<u>Paq.</u>
	Desarrollo analítico del algoritmo FTRVI.	100
	Extensiones.....	106
	Posible implementación del algoritmo.....	106
	Conclusión.....	108
2.1.9	Efectos de la longitud finita de registros en la FFT.....	110
	Introducción.....	110
	Representación de números y su efecto en la cuantificación.....	111
	Ruido de cuantificación A/D.....	113
	Ruido de truncadura de multiplicación y escalamiento.....	115
	Ruido del convertidor D/A.....	127
	Ruido total a la salida producido por la longitud de registros finita.....	133
	Corrección de errores por cálculo de potencia en lugar de tensiones RMS.....	136
2.2	Diseño.....	142
2.2.1	Determinación de N.....	142
2.2.2	Determinación de $f_s$ .....	149
2.2.3	Cálculo del margen dinámico y de la longitud apropiada de registros.....	152
2.2.4	Diseño del filtro antialiasing.....	156
2.2.5	Elección del tipo de memorias.....	164
3.-	DESCRIPCION DETALLADA.....	166
3.1	Hardware.....	168
3.1.1	Circuitaria de entrada.....	168
3.1.2	Unidad de filtros.....	170
3.1.3	Conversión A/D.....	171
3.1.4	Subsistema microprocesador.....	175
3.1.4.1	Reloj y generador de frecuencias de mues-	



	<u>Paq.</u>
treo.....	175
3.1.4.2 CPU.....	176
3.1.4.3 Lógica de direccionamiento.....	177
3.1.4.4 Memoria.....	178
3.1.5 Señales de control del sistema.....	179
3.1.6 Dispositivos de salida.....	180
3.1.7 Fuente de alimentación.....	181
3.2 Software.....	182
3.2.1 Flujograma de control.....	182
3.2.1.1 Bloque INICIALIZACION.....	185
3.2.1.2 Bloque MUESTREO Y PRESENTACION.....	185
3.2.1.3 Bloque VENTANA.....	187
3.2.1.4 Bloque FFT.....	188
3.2.1.5 Bloque POTENCIA.....	190
3.2.1.6 Bloque CALIBRADO.....	190
3.2.1.7 Bloque CONGELACION.....	190
3.2.2 Datos manejados.....	192
3.2.3 Listado del ensamblador.....	195
3.2.4 Estudio de tiempos de ejecución.....	216
4.- RESULTADOS OBTENIDOS.....	222
5.- POSIBLES AMPLIACIONES Y MEJORAS.....	225
5.1 Mejora del margen dinámico.....	225
5.2 Mejora de la resolución en frecuencia y ancho de banda.....	225
5.3 Otras ampliaciones y mejoras.....	226
6.- SIMULACION.....	228
7.- APENDICES.....	237
7.1 Apéndice de catálogos.....	237
7.2 Apéndice de bibliografía.....	238

## ANEXOS

Pag.

1.-	MICROPROCESADOR Z8002B.....	240
	Organización de registros.....	242
	Stacks.....	242
	Refrescos.....	243
	Información del status de programa.....	243
	Estructura de interrupción y de trap...	245
	Tipos de datos.....	246
	Modos de direccionamiento.....	246
	Entrada/Salida.....	247
	Repertorio de instrucciones.....	247
	Códigos de condiciones (cc).....	257
	Códigos de líneas de status.....	258
	Descripción de pines de la CPU.....	259
	Temporización de la CPU.....	259
	Lectura y escritura de memoria.....	261
	Entrada/Salida.....	263
	Solicitud y reconocimiento de interrup- ciones.....	263
	Secuencia de conservación del status...	265
	Temporización de reconocimiento de so- licitud de bus.....	265
	Stop.....	266
	Operación interna.....	266
	Refresco de memoria.....	266
	Halt.....	268
	Reset.....	270
2.-	TECNICAS DE VENTANA.....	271
	Ventana rectangular.....	276
	Ventana de Bartlett.....	278

	<u>Paq.</u>
Ventana de Hanning.....	278
Ventana de Hamming.....	280
Ventana de Blackman.....	282
Comparación de propiedades de las ven- tananas más importantes.....	284
Conclusión.....	284
3.- TABLAS DE FUNCION NORMAL DE ERROR.....	285

## II - PLIEGO DE CONDICIONES

1.- CARACTERISTICAS DEL SISTEMA.....	298
2.- CONDICIONES DE MATERIALES.....	301
Lista de componentes.....	302
3.- CONDICIONES DE MONTAJE.....	313
4.- CONDICIONES DE AJUSTE Y PRUEBAS.....	315
4.1 Prueba de la fuente de alimentación....	315
4.2 Ajuste del selector de nivel.....	316
4.3 Ajuste de la etapa de filtros.....	317
4.4 Ajuste del convertidor A/D.....	318
4.5 Ajuste del convertidor D/A.....	319
5.- INSTRUCCIONES DE MANEJO.....	320
6.- CONDICIONES AMBIENTALES.....	323
ANEXO.....	324

## III - PRESUPUESTO

1.- COSTE DE MATERIALES.....	403
1.1 Partida A: elementos pasivos.....	403
1.2 Partida B: elementos activos.....	404
1.3 Partida C: elementos varios.....	405



		<u>Paq.</u>
1.4	Coste total de materiales.....	406
2.-	COSTE DE LA MANO DE OBRA.....	408
3.-	PRESUPUESTO DE EJECUCION MATERIAL.....	409
4.-	HONORARIOS FACULTATIVOS.....	410
4.1	Por redacción del Proyecto.....	410
4.2	Por dirección del Proyecto.....	410
5.-	PRESUPUESTO TOTAL.....	411

# MEMORIA

---

I - MEMORIA



## MEMORIA

### 1.-INTRODUCCION

#### 1.1 Objetivos

La finalidad del presente proyecto es proporcionar todos los elementos teóricos necesarios para la construcción de un sistema electrónico basado en un microprocesador, capaz de presentar a su salida una señal que, recogida por un osciloscopio, muestre en su pantalla el espectro de potencia de una señal de baja frecuencia presente a la entrada del mismo.

La memoria constará pues, básicamente de una introducción teórica, diseño del sistema, y descripción detallada del hardware y software del sistema.

## 1.2 Descripción general

El sistema está basado en el procesamiento digital de la señal de entrada. Para ello se hace uso de un algoritmo de Transformada Rápida de Fourier (F.F.T.), como medio de cálculo rápido de la Transformada Discreta de Fourier (D.F.T.) de la señal de entrada muestreada.

Una vez efectuado el análisis espectral de la señal de entrada, se entrega la salida a un osciloscopio, en cuya pantalla aparecerá una señal, cuya amplitud es proporcional a las amplitudes, potencias o energías (se verá posteriormente la posibilidad de elección de la magnitud de salida), y cuyo eje horizontal representa una escala lineal de frecuencias.

Los requerimientos funcionales mínimos están expuestos en el apartado 1 del Pliego de Condiciones. Sin embargo, se ha tratado de conseguir las características de funcionamiento más brillantes que ha sido posible, dadas las limitaciones impuestas por las técnicas aplicadas, y sobre todo por la tecnología disponible, al menos en cuanto a componentes de relativamente fácil adquisición en España. Se ha empleado hardware de propósito general, no especializado en el tratamiento digital de la señal, para permitir unos costes de fabricación menores y una mayor flexibilidad de empleo.

Las mejoras introducidas y los resultados obtenidos se reflejan en el capítulo 4.

Es de resaltar el incremento de ancho de banda de análisis hasta 20 KHz, habiéndose dotado al sistema de dos anchos

de banda distintos seleccionables: 5 y 20 kHz.

Se puede seleccionar mediante conmutador la ventana temporal aplicada (ver anexo A2), rectangular o de Hanning, según se desee gran resolución en frecuencia o en amplitud, respectivamente.

Existe un conmutador de 5 posiciones mediante el cual se selecciona la escala de medida de entre 4 posibles, o bien la posición de calibración, que efectúa un autochequeo del sistema y mide el nivel del ruido inherente a éste, indicándose mediante un diodo led si éste es excesivo, además de permitir el ajuste de los mandos del osciloscopio.

El diagrama general de bloques del hardware se representa en la figura 1.2-1.

La circuitería de entrada se encarga de adaptar la señal de entrada a los requerimientos de nivel del sistema, permitiendo el ajuste de la sensibilidad de entrada al valor adecuado, mediante un selector de escala. Además posee un circuito detector de exceso de nivel en la señal de entrada.

La unidad de filtros limita la señal de entrada en banda para evitar el fenómeno del 'aliasing' o solapamiento, del que se hablará posteriormente. Mediante el selector de ancho de banda se emplea el filtro adecuado y se aplica el convertidor A/D la frecuencia de muestreo apropiada.

El convertidor analógico-digital (A/D) proporciona al subsistema microprocesador la señal de entrada muestreada, de forma que es asimilable directamente por dicho subsistema.



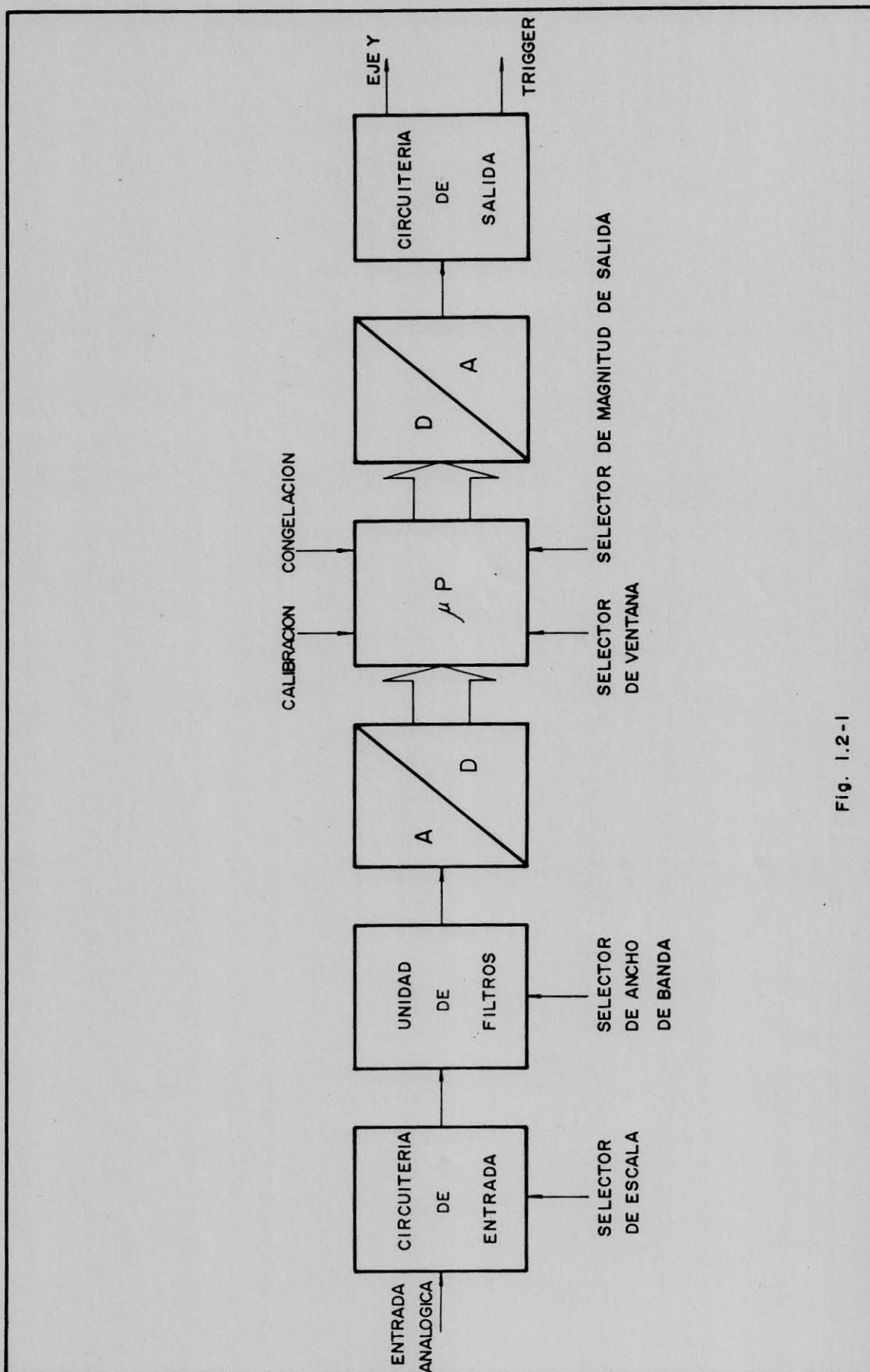


Fig. 1.2-1

El subsistema microprocesador (uP) es el corazón del sistema y realiza todo el procesamiento de la señal, proporcionando a su salida en forma digital el resultado de este proceso.

El convertidor digital-analógico transforma los datos que recibe a una señal analógica que la circuitería de salida adapta para gobernar un osciloscopio.

En la figura 1.2-2 se da un ordinograma del software a nivel muy general.

El flujo de control comienza con la inicialización del sistema, que se produce cuando se conecta la alimentación o se solicita un reset.

A continuación se entra en la parte de funcionamiento normal del programa, que comienza investigando si se desea calibrado o no. Si es así, se efectúa la rutina de calibración, y si no, el bucle normal, que consta de recogida de información, tratamiento de la información, mediante un algoritmo de la transformada rápida de Fourier, y entrega de información al hardware de salida.

Al final de cada bucle se estudia si hay solicitud de congelación de imagen, y si es así, se mantiene la salida de los últimos datos, hasta que cese esta petición, volviéndose entonces al comienzo del bucle.

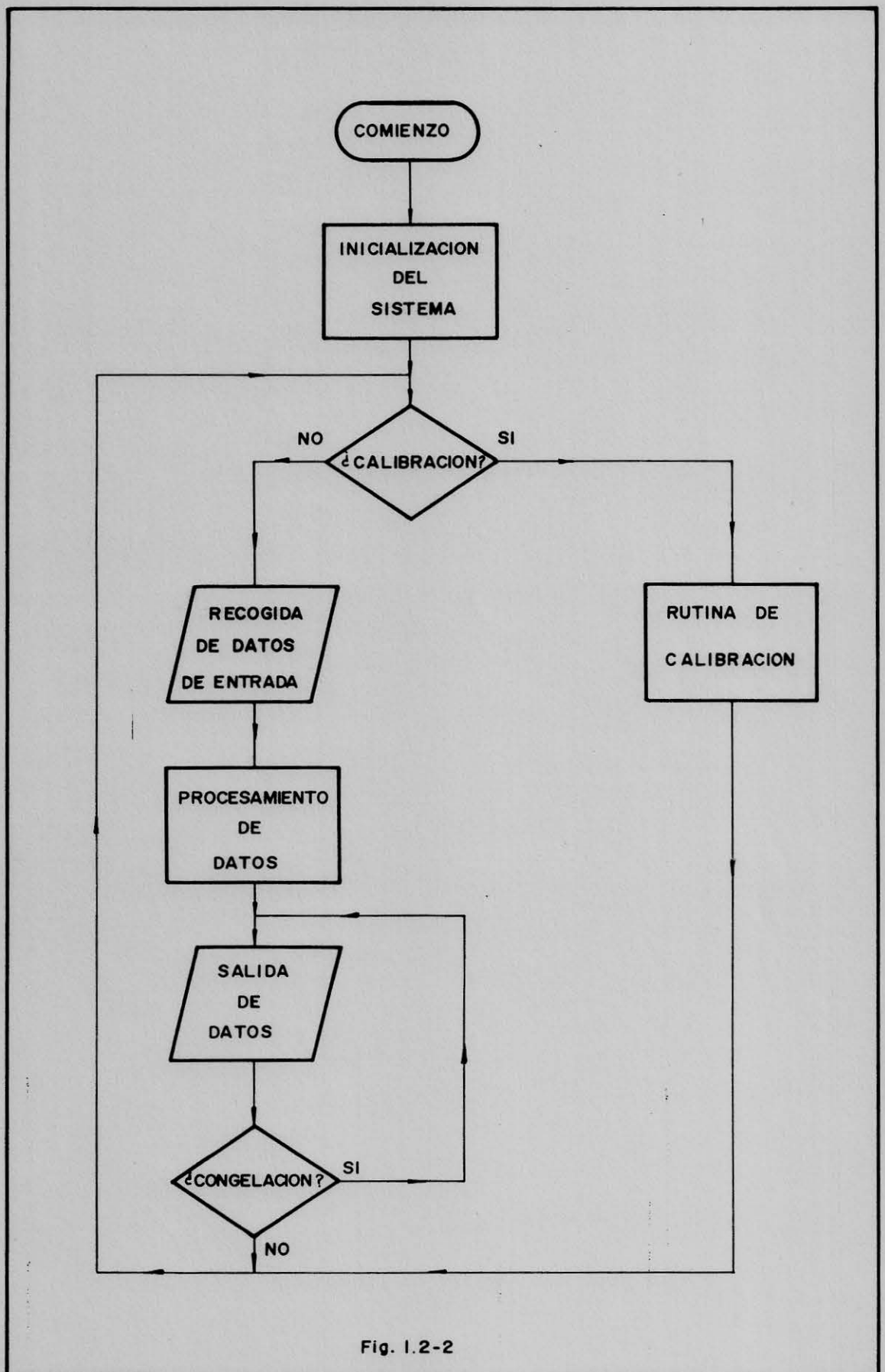


Fig. 1.2-2



### 1.3 Criterios sobre elección de técnicas

Tradicionalmente, los analizadores de espectros se han diseñado atendiendo a técnicas analógicas, bien a base de enormes bancos de filtros con su correspondiente detector (análisis multicanal), bien a base de un filtro de sintonía variable (swept filter) y un detector único, efectuándose un barrido de frecuencia, o bien por detección coherente, también con barrido de frecuencia, siendo este último el método de más amplia difusión.

Las desventajas de este método son: lentitud del barrido para gran resolución o gran ancho de banda de análisis (span); se precisa de pantallas CRT de alta persistencia; es necesario efectuar gran cantidad de ajustes (filtros, osciladores, amplificadores sintonizados, etc) y la exacta repetitibilidad de características para fabricación en serie es muy difícil de lograr debido a la gran tolerancia y dispersión de valores de los componentes discretos (una repetitibilidad aceptable implica un coste muy elevado), principalmente.

Frente a estas técnicas analógicas, y promovido por el espectacular avance de la tecnología de estado sólido de los últimos años, sobre todo en el campo de los microprocesadores, surgen, o quizá sería mejor decir resurgen, las técnicas de tratamiento de señal.

Sus ventajas frente a la técnica analógica, una vez superado (o al menos en continua mejoría) el handicap de la lentitud del proceso de cálculo que impedía utilizar estas técnicas para el análisis espectral en tiempo real, son: posibilidad de almacenamiento de muestras de salida en memoria durante su vi-

sualización en pantalla, y hasta su actualización posterior (visualización no destelleante), repetitibilidad perfecta del sistema, pudiendo incluso cambiarse a petición del usuario parámetros de trabajo sin más que cambiar parte del software, que está instalado en memoria EPROM para facilitar este proceso; transparencia frente a tolerancias en componentes discretos; coste cada vez más reducido de componentes y ausencia casi total de ajustes.

Todo ello ha condicionado la elección de las técnicas de tratamiento digital de la señal frente a las analógicas, sin más desventaja que la disminución de la frecuencia máxima a analizar en tiempo real.

Concretamente el método más útil de análisis espectral digital consiste en la evaluación de la Transformada Discreta de Fourier (DFT) de la señal muestreada mediante algoritmos de cálculo numérico conocidos como Transformada Rápida de Fourier (FFT), que se basan en la aplicación de ciertas propiedades de simetría y en la eliminación de redundancias y cálculos triviales para reducir el tiempo de proceso necesario a valores que permiten efectuar el análisis espectral en tiempo real para frecuencias de banda de audio.

En este proceso de reducción del tiempo de cálculo ha sido muy beneficiosa la aparición de familias de microprocesadores de 16 bits, capaces de realizar en su unidad aritmético-lógica (UAL) la operación de multiplicar con signo en unos pocos microsegundos. Así tenemos las familias: National 16000, Motorola 69000, Texas Instruments 9995 y Zilog Z8000 entre otras, cada una con ciertas ventajas y desventajas frente a las otras, aunque con características bastante similares. La

familia elegida ha sido la Zilog Z8000, concretamente la CPU Z8002B con reloj de 10 MHz, por ser una de las más versátiles, potentes y rápidas y por haber trabajado con ella anteriormente y tener acceso a un sistema de desarrollo para esta familia de microprocesadores (TEKTRONIX 8550 con emulador para Z8000). Posteriormente se justificará técnicamente esta elección.

Desde 1982 se han presentado al mercado familias cada vez más veloces y potentes de microprocesadores, como son el Texas Instruments TMS320, capaz de multiplicar en 400nseg, o el Zilog Z8003 que multiplica en 71 nseg, o el TMS99000 o el Z80000 pero a la hora de realizar el presente proyecto no disponía el autor de la información suficiente sobre éstos, amén de no estar soportados aún en España por sus respectivos suministradores. Por otra parte otra de las premisas del presente proyecto es la realizabilidad del mismo con elementos de relativamente fácil adquisición en España.



## 2.- CALCULOS JUSTIFICATIVOS

### 2.1 Elementos Teóricos

Para situar al lector en el entorno del problema planteado y las soluciones previstas se da una breve aunque imprescindible introducción teórica sin ánimo de servir de texto sobre el tema, ya que existe abundante bibliografía sobre éste a la cual el lector interesado en profundizar en cuestiones concretas puede acudir. (Ver referencias bibliográficas).

### 2.1.1 Tipos de señales

Llamando señal a una función del tiempo  $x(t)$ , física y por lo tanto, de valor real, podemos encontrarnos en la práctica con dos tipos de señales: estacionarias y no estacionarias.

Básicamente hablando, una señal es estacionaria si sus propiedades promedio (valor medio, valor cuadrático medio, etc) no dependen del instante de medida, sino sólo de la longitud del periodo de estudio. En caso contrario es no estacionaria.

Por otra parte las señales pueden ser determinísticas o aleatorias o estocásticas. Una señal es determinística si su valor instantáneo se puede predecir para un valor dado de  $t$ .

Un tipo muy importante de señales determinísticas estacionarias son las señales periódicas que son aquellas que cumplan que

$$x(t) = x(t+T_0) \quad (2.1.1.1)$$

Una señal aleatoria es aquella que para un determinado valor de  $t$  existe un conjunto de posibles valores  $x(t)$  que constituyen una variable aleatoria. Se describen, pues, por procedimientos estadísticos. De ellas, las estacionarias conservan algún parámetro estadístico independiente del momento de medida.

En general las señales presentes en la naturaleza son aleatorias, aunque para el estudio de sistemas se emplean señales determinísticas, especialmente periódicas y sobre todo las sinusoidales.

### 2.1.2 Representación de señales

Las señales se pueden estudiar desde tres puntos de vista fundamentalmente: el tiempo, la amplitud y la frecuencia.

El estudio en el dominio del tiempo se basa en la representación de  $x(t)$  como función de la variable  $t$ . (Ver figura 2.1.2 - 1)

Los parámetros más importantes de una señal en el dominio del tiempo son:

- Valor pico a pico

$$x_{pp} = x_{max} - x_{min} \quad (2.1.2.1)$$

- Valor medio en un intervalo  $T$ :

$$\langle x_T(t) \rangle = \frac{1}{T} \int_T x(t) dt \quad (2.1.2.2)$$

- Valor medio

$$\langle x(t) \rangle = \lim_{T \rightarrow \infty} \frac{1}{T} \int_T x(t) dt \quad (2.1.2.3)$$

- Valor cuadrático medio

$$\langle |x(t)|^2 \rangle = \lim_{T \rightarrow \infty} \frac{1}{T} \int_T |x(t)|^2 dt \quad (2.1.2.4)$$



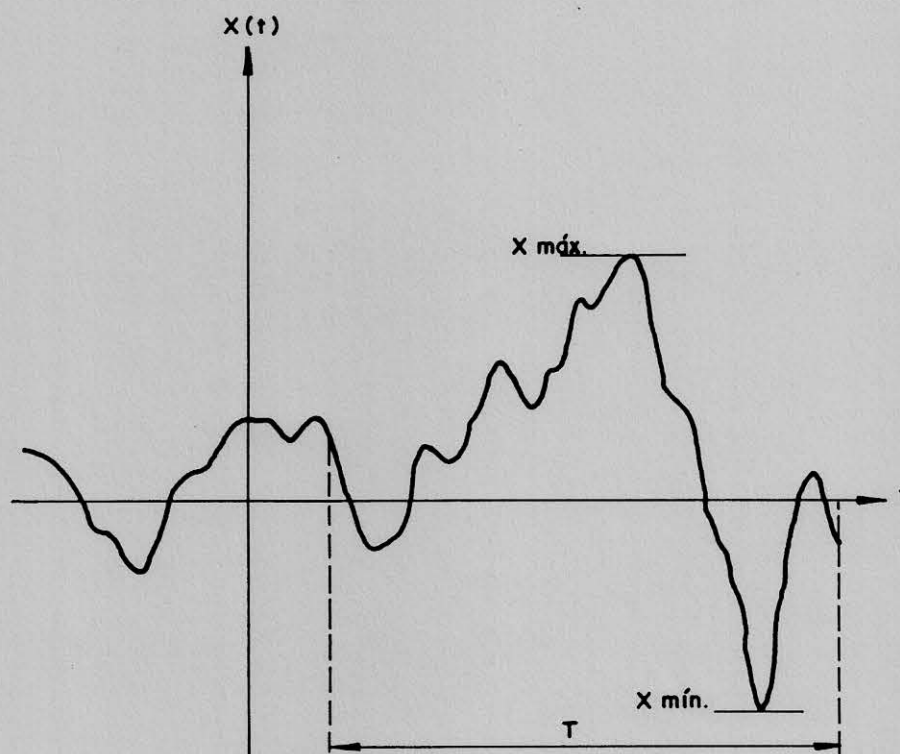


Fig. 2.1.2-1

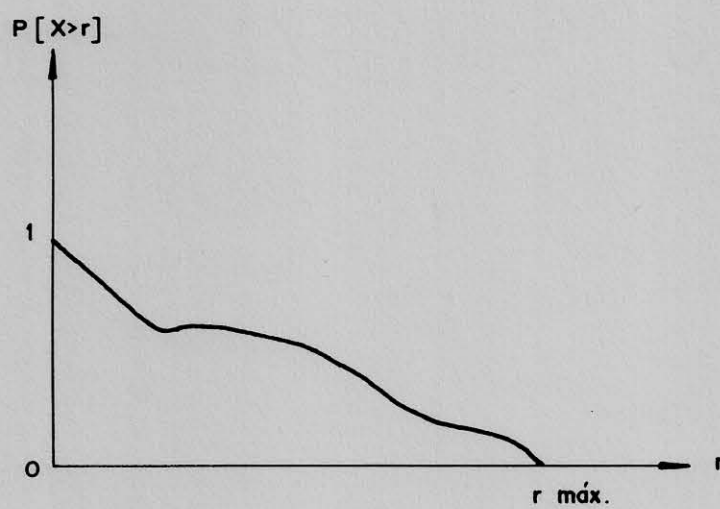


Fig. 2.1.2-2

este valor es la potencia normalizada de una señal.

Para señales periódicas

$$P_m = \frac{1}{T_0} \int_{T_0} |x(t)|^2 dt \quad (2.1.2.5)$$

pues su potencia media es constante e independiente del momento de la medida.

- Varianza o cuadrado del valor eficaz

$$V(x) = x^2_{\text{eficaz}}(t) = \langle [x(t) - \langle x(t) \rangle]^2 \rangle = \langle x^2(t) \rangle - [\langle x(t) \rangle]^2 \quad (2.1.2.6)$$

Es igual a la potencia de las componentes de frecuencia distinta de cero de la señal.

Las señales periódicas, por definición, no están limitadas en el tiempo, y por lo tanto tienen una energía infinita.

$$P(t) = \frac{dE}{dt} \quad (2.1.2.7)$$

$$E = \int_{-\infty}^{\infty} P(t) dt \quad (2.1.2.8)$$

$$P_m = \lim_{T \rightarrow \infty} \frac{1}{T} E \quad (2.1.2.9)$$

$$E = \int_{-\infty}^{\infty} |x(t)|^2 dt \quad (2.1.2.10)$$

En cambio pueden tener una potencia media finita. Este tipo de señales se expresa en términos de potencia. En cambio las señales de duración limitada tienen energía finita y potencia media nula si están acotadas en valor. Las señales no periódicas se expresan en términos de energía, o de potencia en un cierto intervalo.

La representación de la señal en el dominio de las amplitudes consiste en expresar la probabilidad de que la señal tenga una amplitud comprendida entre ciertos valores o sea superior a un valor dado. (Ver fig. 2.1.2. - 2)

A cada variable aleatoria unidimensional  $x$  se le puede asociar una función  $F(x)$  denominada función de distribución, que expresa numericamente la probabilidad que tiene la variable  $x$  de ser menor o igual que un valor cualquiera de  $x$ .

$$F(x) = P[X \leq x] \quad (2.1.2.11)$$

La probabilidad de que  $x$  asuma un valor comprendido en el intervalo  $(a,b)$ , resulta ser

$$P[a < X \leq b] = F(b) - F(a) \quad (2.1.2.12)$$

Si la distribución es continua, se cumple que

$$P[x < X \leq x+dx] = dF(x) = f(x)dx \quad (2.1.2.13)$$

donde  $f(x)$  es la función densidad de probabilidad de la variable aleatoria  $x(t)$ .

$$F(x) = \int_{-\infty}^x f(\zeta) d\zeta \quad (2.1.2.14)$$



$$P[a < X < b] = \int_a^b f(x) dx \quad (2.1.2.15)$$

$f(x)$  cumple que

$$\int_{-\infty}^{\infty} f(x) dx = 1 \quad (2.1.2.16)$$

Los parámetros más importantes son:

- Valor medio o esperanza matemática

$$E[g(x)] = \int_{-\infty}^{\infty} g(x) f(x) dx = \bar{x} \quad (2.1.2.17)$$

- Valor cuadrático medio

$$E\{[g(x)]^2\} = \int_{-\infty}^{\infty} \{g(x)\}^2 f(x) dx \quad (2.1.2.18)$$

Este valor coincide con la potencia media de la señal.

- Varianza

$$V(X) = D^2(X) = E[(X - \bar{X})^2] = \int_{-\infty}^{\infty} [g(x) - \bar{x}]^2 f(x) dx \quad (2.1.2.19)$$

- Valor eficaz

$$D(X) = \sqrt{D^2(X)} = \sigma(x) \quad (2.1.2.20)$$

también llamada desviación típica o cuadrática media.

Este tipo de dominio es muy útil para el estudio de señales aleatorias estacionarias. Otra forma de describir las características de una señal es trabajando en el dominio de la frecuencia.

El paso al dominio de la frecuencia se efectúa por medio de la transformación de Fourier, que para señales periódicas, toma la forma de desarrollo en serie de Fourier y para señales discretas (ya se hablará de ellas posteriormente) toma la forma de transformada discreta de Fourier (DFT).

Se denomina espectro a la representación de la variación de algún parámetro de una señal con la frecuencia.

Los parámetros más importantes para el estudio espectral de una señal son:

- ancho de banda B, o zona de frecuencias donde  $H(f)$  es significativa.

- energía  $E = \int_{-\infty}^{\infty} |H(f)|^2 df = S(f) df$  (2.1.2.21)

donde  $S(f)$  se denomina densidad espectral de energía.

- potencia media espectral

$$P_m = \frac{1}{B} \int_B S(f) df$$
 (2.1.2.22)

Se mide en un ancho de banda B y da idea de la potencia contenida en ese ancho de banda.

Se debe cumplir que

$$\int_{-\infty}^{\infty} |H(f)|^2 df = \int_{-\infty}^{\infty} |h(t)|^2 dt$$
 (2.1.2.23)

Esta relación constituye el teorema de Parseval.

### 2.1.3 Transformada de Fourier

La transformada de Fourier es una de las principales herramientas de análisis para todo tipo de problemas científicos.

La integral de Fourier se define por la expresión:

$$H(f) = \int_{-\infty}^{\infty} h(t) e^{-j2\pi ft} dt \quad (2.1.3.1)$$

Si la integral existe para cada valor del parámetro  $f$  entonces  $H(f)$  define la transformada de Fourier de  $h(t)$ . Normalmente  $h(t)$  es una función del tiempo y  $H(f)$  una función de la frecuencia.

En general la transformada de Fourier es una función compleja

$$H(f) = R(f) + jI(f) = |H(f)| e^{j\phi(f)} \quad (2.1.3.2)$$

donde  $R(f)$  es la parte real e  $I(f)$  la parte imaginaria, de la transformada de Fourier

$|H(f)|$  es la amplitud o espectro de Fourier de  $h(t)$  y está dado por

$$|H(f)| = \sqrt{R^2(f) + I^2(f)} \quad (2.1.3.3)$$

$\phi(f)$  es el ángulo de fase de la transformada de Fourier y está dada por

$$\phi(f) = \arctg \frac{I(f)}{R(f)} \quad (2.1.3.4)$$

La transformada inversa de Fourier se define como

$$h(t) = \int_{-\infty}^{\infty} H(f) e^{j2\pi ft} df \quad (2.1.3.5)$$

Esta transformada inversa permite determinar una función del tiempo a partir de su transformada de Fourier. Si  $h(t)$  y  $H(f)$  están relacionadas por estas ecuaciones, se dice que forman un par de transformadas de Fourier.

Las condiciones de existencia de la integral de Fourier son:

1) Si  $h(t)$  cumple

$$\int_{-\infty}^{\infty} |h(t)| dt < \infty \quad (2.1.3.6)$$

entonces  $H(f)$  existe y satisface la transformada inversa de Fourier. Esta es condición suficiente pero no necesaria.

2) Si

$$h(t) = \beta(t) \sin(2\pi ft + \alpha) \quad y \quad (2.1.3.7)$$

$$\beta(t+k) < \beta(t) \quad (2.1.3.8)$$

para  $|t| > \lambda > 0$  la función  $h(t)/t$  es absolutamente integrable en el sentido de la condición 1, entonces  $H(f)$  existe y satisface la ecuación de transformada inversa de Fourier.

3) Si  $h(t)$  es una función periódica o impulsiva,  $H(f)$  existe sólo si se introduce la teoría de las distribuciones, es decir usando funciones delta de Dirac del tipo  $\delta(t)$ , tales que



$$\int_{-\infty}^{\infty} \delta(t-t_0)x(t)dt = x(t_0) \quad (2.1.3.9)$$

Existen definiciones alternativas de la transformada de Fourier.

Muchos autores tienen formas diferentes de definir el par de transformadas de Fourier. En general todas son de la forma:

$$H(w) = a_1 \int_{-\infty}^{\infty} h(t)e^{-jw t} dt \quad \text{donde } w = 2\pi f \quad (2.1.3.10)$$

$$h(t) = a_2 \int_{-\infty}^{\infty} H(w)e^{jw t} dw \quad (2.1.3.11)$$

donde  $a_1$  y  $a_2$  toman diferentes valores, segun la condición en que esté basada la definición. Una condición es que la transformada de Fourier sea un caso particular de la transformada de Laplace:

$$L[h(t)] = \int_{-\infty}^{\infty} h(t)e^{-st} dt = \int_{-\infty}^{\infty} h(t)e^{-(\alpha + jw)t} dt \quad (2.1.3.12)$$

Si hacemos  $\alpha = 0$ ,  $s = jw$ , tendremos:

$$L[h(t)] = H(w) \text{ si } a_1 = 1 \quad (2.1.3.13)$$

Otra condición es que la energía total calculada en el dominio del tiempo  $t$  coincida con la energía total calculada en el dominio de la variable  $w$ :

$$\int_{-\infty}^{\infty} h^2(t) dt = \int_{-\infty}^{\infty} |H(w)|^2 dw \quad (2.1.3.14)$$

$$\text{Pero } H(w) = a_1 H(f) \quad (2.1.3.15)$$

$$y \quad dw = 2\pi df \quad (2.1.3.16)$$

Luego la condición (2.1.3.14) se nos transforma en:

$$\int_{-\infty}^{\infty} h^2(t) dt = 2\pi a_1^2 \int_{-\infty}^{\infty} |H(f)|^2 df \quad (2.1.3.17)$$

Para que se cumpla el teorema de Parseval (2.1.2.23) se debe cumplir que:

$$a_1 = 1/\sqrt{2\pi} \quad (2.1.3.18)$$

En cualquier caso se debe verificar que:

$$a_1 a_2 = 1/2\pi \quad (2.1.3.19)$$

Es evidente que trabajando con la variable  $w$  no se pueden satisfacer ambas condiciones, por ello nosotros hacemos uso de la variable  $f$ , lo que evita estos problemas.

La función  $|H(f)|$  puede interpretarse como la densidad espectral de amplitud de  $h(t)$ , y  $|H(f)|^2$ , como vimos en el apartado 2.1.2, es la función densidad espectral de energía  $S(f)$ .

La energía total de una señal es:

$$E = \int_{-\infty}^{\infty} S(f) df \quad (2.1.3.20)$$

Como en la práctica las medidas se efectúan en un tiempo finito  $T$ , la potencia media es:

$$P_m = \frac{E}{T} = \int_{-\infty}^{\infty} \frac{S(f)}{T} df \quad (2.1.3.21)$$

donde  $S(f)/T$  es la función densidad espectral de potencia.

La transformada de Fourier es en esencia la descomposición de una señal con una forma de onda dada, en una serie infinita de sinusoides de diferentes frecuencias y diferentes amplitudes, equivalente a la señal original.

La representación gráfica de una transformada de Fourier es un diagrama que muestra la amplitud y frecuencia de cada una de las sinusoides en que se descompone la señal, y contiene la misma información que la señal original, variando sólo la forma de representación.

Las propiedades más importantes de la transformación de Fourier se dan en forma resumida en la tabla 2.1.3-1.

1-Linealidad	$x(t)+y(t) \Leftrightarrow X(f)+Y(f)$
2-Simetria	$H(t) \Leftrightarrow h(-f)$
3-Escala de tiempo	$h(kt) \Leftrightarrow 1/k H(f/k)$
4-Cambio de escala inverso	$1/k h(t/k) \Leftrightarrow H(fk)$
5-Desplazamiento en el tiempo	$h(t-t_0) \Leftrightarrow H(f)e^{-j2\pi f t_0}$
6-Modulación	$h(t)e^{j2\pi f_0 t} \Leftrightarrow H(f-f_0)$
7-Función par del tiempo	$h_p(t) \Rightarrow H_p(f)=R(f)$
8-Función impar del tiempo	$h_{ip}(t) \Rightarrow H_{ip}(f)=jI(f)$
9-Función real del tiempo	$h_r(t) \Rightarrow H(f)=R_p(f)+jI_{ip}(f)$
10-Función imag. del tiempo	$h_i(t) \Rightarrow H(f)=R_{ip}(f)+jI_p(f)$
11-Valor en el origen	$H(0)=\int_{-\infty}^{\infty} h(t) dt ; h(0)=\int_{-\infty}^{\infty} H(f) df$

TABLA 2.1.3 - 1



#### 2.1.4 Convolución y Correlación

Se define la integral de convolución como:

$$y(t) = \int_{-\infty}^{\infty} x(\tau) h(t-\tau) d\tau = x(t) * h(t) \quad (2.1.4.1)$$

donde  $y(t)$  se denomina convolución de las funciones  $x(t)$  y  $h(t)$ .

También se puede escribir así:

$$y(t) = \int_{-\infty}^{\infty} h(\tau) x(t-\tau) d\tau \quad (2.1.4.2)$$

El tipo más simple de integral de convolución es aquél en que  $x(t)$  o  $h(t)$  son una función impulso de Dirac.

$$x(t) * \delta(t) = \int_{-\infty}^{\infty} \delta(\tau - T) x(\tau) d\tau = x(T) \quad (2.1.4.3)$$

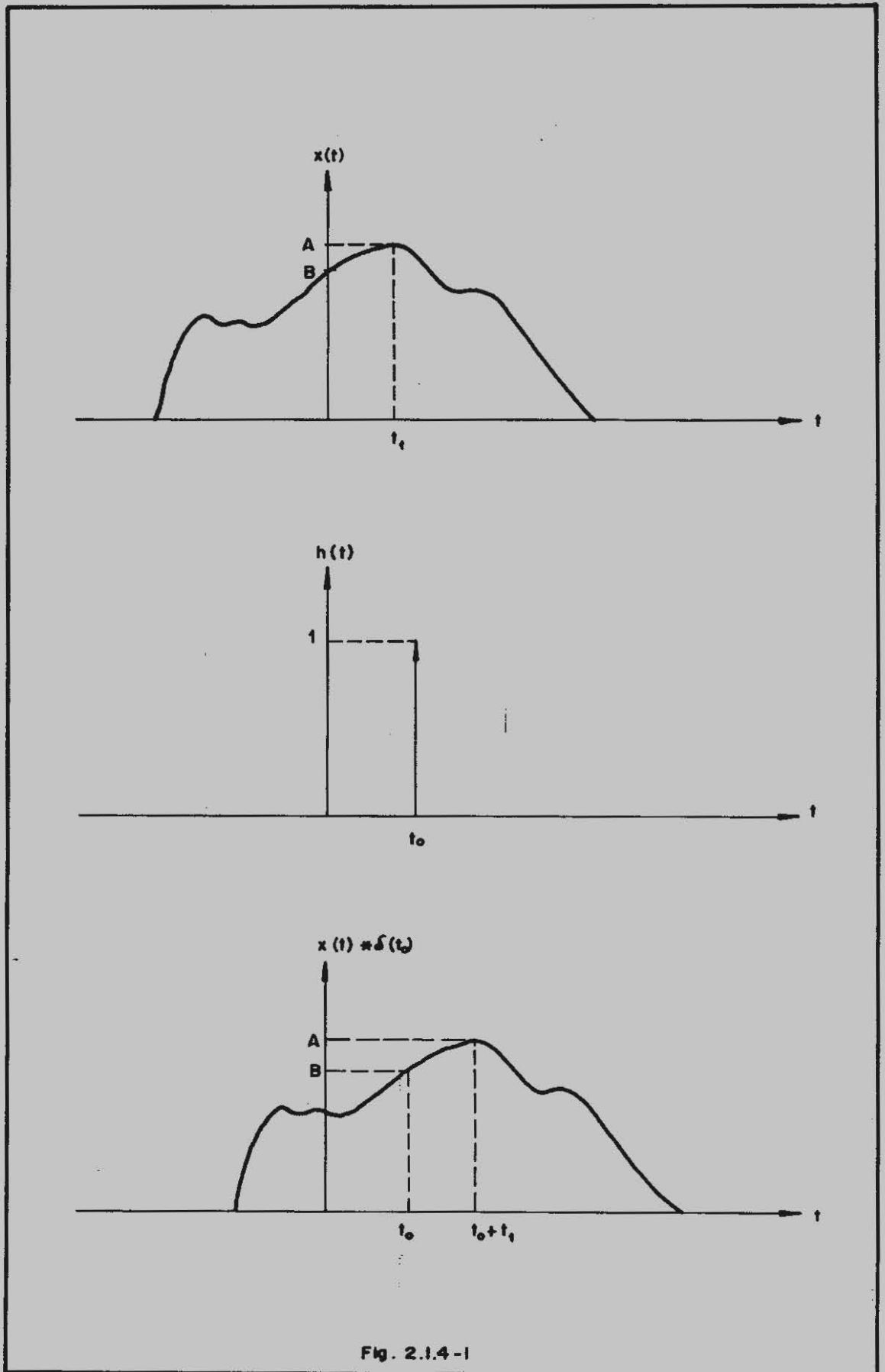
Es decir, la convolución de una función  $x(t)$  con una función delta de Dirac equivale a situar la función  $x(t)$  centrada en el punto donde está definida la función impulsional. (Ver figura 2.1.4 - 1). Este hecho es de gran utilidad como se verá posteriormente.

Otra relación muy importante es el denominado Teorema de la convolución, que establece que:

$$h(t) * x(t) \Leftrightarrow H(f) X(f) \quad (2.1.4.4)$$

es decir, que la convolución en el dominio del tiempo equivale a la multiplicación en el dominio de la frecuencia. Este teorema tiene su equivalente recíproco:

$$h(t) x(t) \Leftrightarrow H(f) * X(f) \quad (2.1.4.5)$$



Otra ecuación integral de amplia aplicación en la teoría y en la práctica es la integral de correlación:

$$z(t) = \int_{-\infty}^{\infty} x(\tau) h(t+\tau) d\tau \quad (2.1.4.6)$$

De forma similar a como ocurría con la integral de convolución existe una relación entre la correlación en el dominio del tiempo y la multiplicación en el dominio de la frecuencia.

$$z(t) = \int_{-\infty}^{\infty} h(\tau) x(t+\tau) d\tau \Leftrightarrow Z(f) = H(f) X^*(f) \quad (2.1.4.7)$$

Si  $x(t)$  es una función par entonces  $X(f)$  es real y  $X(f) = X^*(f)$  y la  $Z(f)$  coincide con la transformada de Fourier de la integral de convolución.

Si  $x(t)$  y  $h(t)$  son la misma función entonces la  $z(t)$  se convierte en la función de autocorrelación. Si son diferentes se denomina correlación o correlación cruzada.

### 2.1.5 Series de Fourier

Normalmente las series de Fourier o desarrollo en serie de Fourier se estudian independientemente de la integral de Fourier, pero con la introducción de las funciones impulsionales se pueden considerar como un caso especial de la integral de Fourier. Esto es fundamental para la comprensión de la transformada discreta de Fourier a partir de la integral de Fourier como aplicación de ésta a funciones muestreadas.

Como ya vimos, una señal periódica es aquella que cumple:

$$x(t) = x(t + T_0) \quad (2.1.5.1)$$

para todo  $t$ . Es decir, es de duración infinita y por lo tanto un modelo matemático, más que una señal física real. Una señal de estas características y que cumpla:

$$\int_{T_0} |x(t)| dt < \infty \quad \text{y} \quad \int_{T_0} |x(t)|^2 dt < \infty \quad (2.1.5.2)$$

se puede representar por su desarrollo en serie de Fourier:

$$x(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} [a_n \cos(2\pi n f_0 t) + b_n \sin(2\pi n f_0 t)] \quad (2.1.5.3)$$

donde

$$f_0 = \frac{1}{T_0} \quad (2.1.5.4)$$



y

$$a_n = \frac{2}{T_0} \int_{-T_0/2}^{T_0/2} x(t) \cos(2\pi n f_0 t) dt \quad n=0,1,2,\dots \quad (2.1.5.5)$$

$$b_n = \frac{2}{T_0} \int_{-T_0/2}^{T_0/2} x(t) \sen(2\pi n f_0 t) dt \quad n=0,1,2,\dots \quad (2.1.5.6)$$

Tambi n se puede escribir como:

$$x(t) = \sum_{n=-\infty}^{\infty} c_n e^{j2\pi n f_0 t} \quad (2.1.5.7)$$

donde

$$c_n = \frac{1}{T_0} \int_{-T_0/2}^{T_0/2} x(t) e^{-j2\pi n f_0 t} dt \quad n=0,\pm 1,\pm 2,\dots \quad (2.1.5.8)$$

y es un valor en general complejo.

$$c_n = \frac{1}{2} (a_n - j b_n) \quad (2.1.5.9)$$

Estos resultados que en principio se aplican a funciones peri dicas se pueden aplicar a funciones no peri dicas si limitamos su campo de validez al intervalo de tiempo T en el que est  definida la se al y consideramos que este intervalo es un periodo de una funci n peri dica id ntica a la funci n inicial en ese intervalo. Para obtener esa funci n peri dica analiti-

camente basta con efectuar la convolución en el tiempo de la señal  $x(t)$  de la que deseamos conocer su desarrollo en serie de Fourier, con una función tren de impulsos de Dirac centrados en  $\pm nT_0$ ,  $n=0,1,2,\dots$  (Ver fig. 2.1.5-1)

La función periódica resultante es pues:

$$y(t) = x(t) * h(t) \quad (2.1.5.10)$$

donde

$$x(t) = y(t) \quad \text{para} \quad -T_0/2 < t < T_0/2 \quad (2.1.5.11)$$

y

$$h(t) = \sum_{n=-\infty}^{\infty} \delta(t - nT_0) \quad (2.1.5.12)$$

por el teorema de la convolución (2.1.4.4)

$$Y(f) = X(f) H(f) \quad (2.1.5.13)$$

donde

$$H(f) = \frac{1}{T_0} \sum_{n=-\infty}^{\infty} \delta\left(f - \frac{n}{T_0}\right) \quad (2.1.5.14)$$

luego

$$Y(f) = \frac{1}{T_0} X(f) \sum_{n=-\infty}^{\infty} \delta\left(f - \frac{n}{T_0}\right) \quad (2.1.5.15)$$

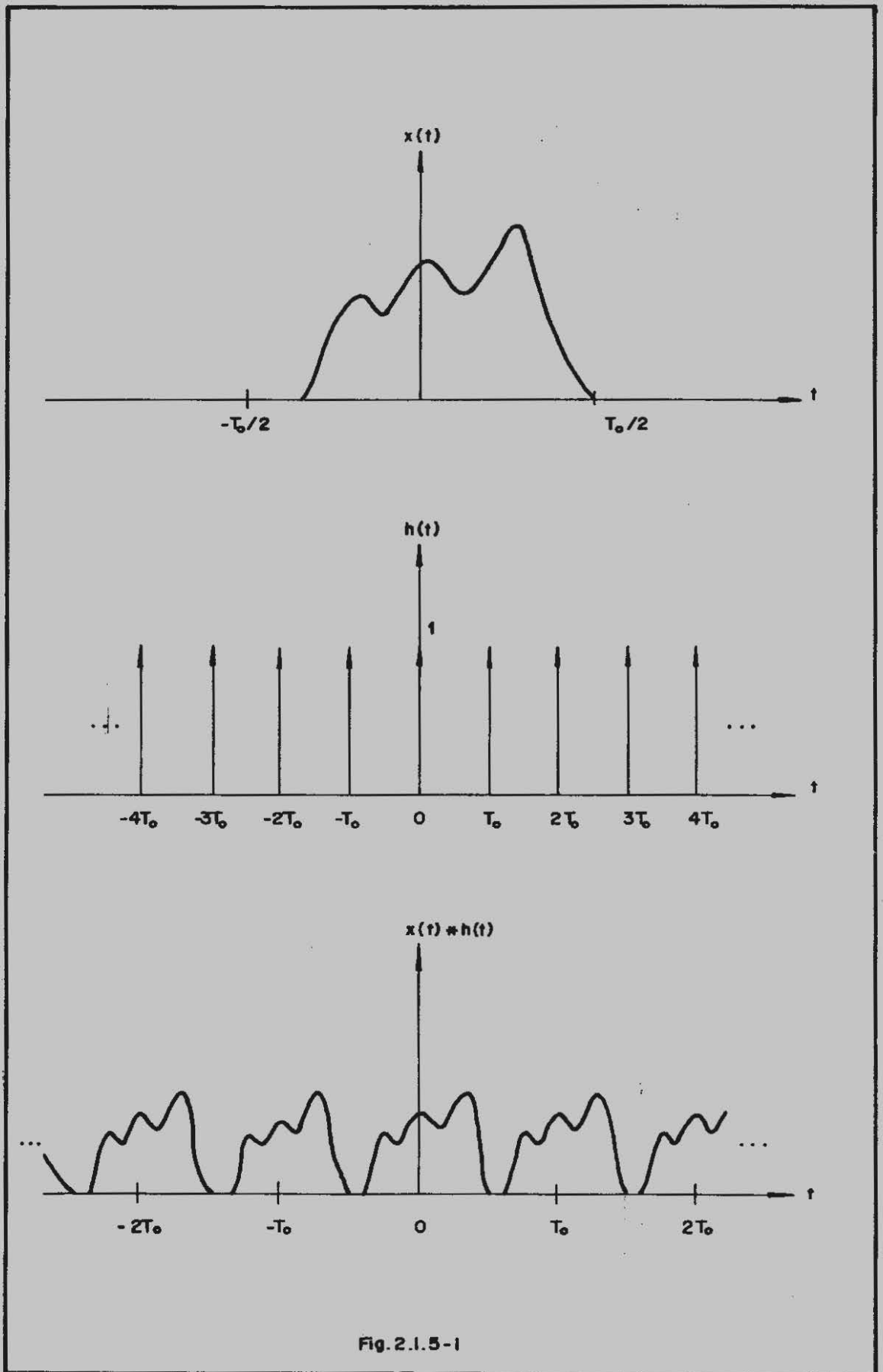


Fig. 2.1.5-1

como

$$g(x) \delta(x-x_0) = g(x_0) \delta(x-x_0) \quad (2.1.5.16)$$

resulta

$$Y(f) = \frac{1}{T_0} \sum_{n=-\infty}^{\infty} X\left(\frac{n}{T_0}\right) \delta\left(f - \frac{n}{T_0}\right) \quad (2.1.5.17)$$

Es decir, la transformada de Fourier de una función periódica es un conjunto infinito de sinusoides (rayas espectrales equidistantes) con amplitudes  $X(n/T_0)$ .

De (2.1.5.7) se deduce que el desarrollo en serie de Fourier de una función periódica como  $y(t)$  es también una suma de infinitas sinusoides de amplitud  $c_n$  de valor:

$$c_n = \frac{1}{T_0} \int_{-T_0/2}^{T_0/2} y(t) e^{-j2\pi n t / T_0} dt \quad n=0, \pm 1, \pm 2, \dots \quad (2.1.5.18)$$

Basándonos en (2.1.5.11), podemos escribir

$$c_n = \frac{1}{T_0} \int_{-\infty}^{\infty} x(t) e^{-j2\pi n t / T_0} dt \quad n=0, \pm 1, \pm 2, \dots \quad (2.1.5.19)$$

o bien

$$c_n = \frac{1}{T_0} X(n/T_0) = \frac{1}{T_0} X\left(\frac{n}{T_0}\right) \quad (2.1.5.20)$$



Es decir, los coeficientes  $c_n$  del desarrollo en serie de Fourier coinciden con los calculados en (2.1.5.17) para la integral de Fourier, para funciones periódicas y el valor de  $Y(f)$  coincide en los puntos  $f=n/T_0$  con  $X(f)$ , salvo en el factor de escala  $1/T_0$  (Ver figura 2.1.5-2).

Si incluimos (2.1.5.20) en (2.1.5.17), obtenemos:

$$Y(f) = \sum_{n=-\infty}^{\infty} c_n \delta(f - n/T_0) \quad (2.1.5.21)$$

$$P_m = \sum_n |c_n|^2 \quad (2.1.5.22)$$

Es decir, la potencia media de una función periódica es igual a la suma de los módulos al cuadrado de las componentes espectrales de su desarrollo en serie de Fourier. Como  $c_n$  es el coeficiente de la senoide de frecuencia  $nf_0$ , la potencia media de esta senoide será  $c_n^2/2$  e incluyendo  $n$  positivos y negativos se obtiene que la potencia media es igual a la suma de las potencias medias de sus componentes espectrales.

Basta pues, con observar la representación del desarrollo en serie de Fourier en un diagrama amplitud-frecuencia (espectro de amplitudes) para hacerse una idea del reparto de la potencia con la frecuencia y de la potencia media de la señal.

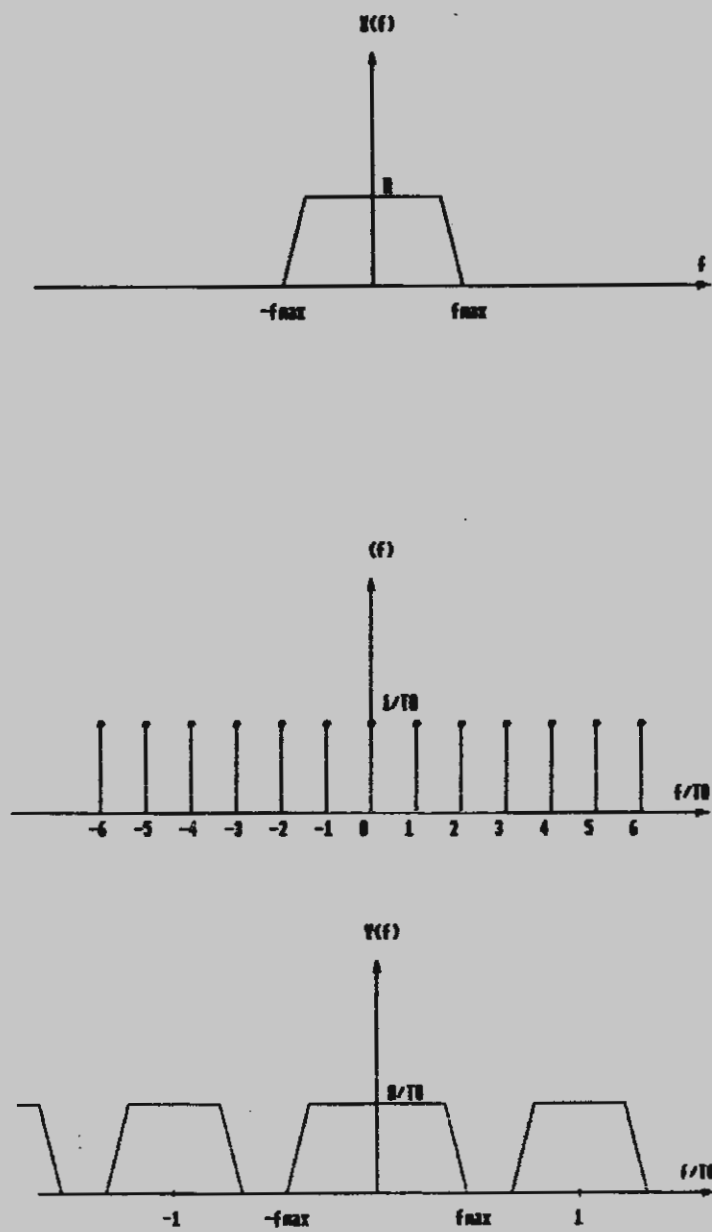


Fig. 2.1.5-2

### 2.1.6 Muestreo

En los capítulos anteriores hemos desarrollado herramientas matemáticas que permiten el manejo teórico de funciones muestreadas y la aplicación a éstas de la transformada de Fourier.

Si una función  $x(t)$  es continua para  $t=T_s$ , se denomina muestra de  $x(t)$  en el instante  $T_s$  a:

$$x(t)\delta(t-T_s)=x(T_s)\delta(t-T_s) \quad (2.1.6.1)$$

y función muestreada de  $x(t)$  con intervalo de muestreo  $T_s$  a

$$\hat{x}(t)=x(t)h(t) \quad (2.1.6.2)$$

donde  $h(t)$  es la función muestreadora en el tiempo:

$$h(t)=\sum_{n=-\infty}^{\infty}\delta(t-nT_s) \quad (2.1.6.3)$$

por lo tanto

$$\hat{x}(t)=\sum_{n=-\infty}^{\infty}x(nT_s)\delta(t-nT_s) \quad (2.1.6.4)$$

es decir, es una secuencia de infinitos impulsos separados  $T_s$  y cuya amplitud es igual al valor de  $x(t)$  en ese instante. (Ver fig. 2.1.6-1).

Aplicando el teorema de la convolución en frecuencia (ver 2.1.4.7) a la transformada de Fourier de la función muestreada obtenemos:

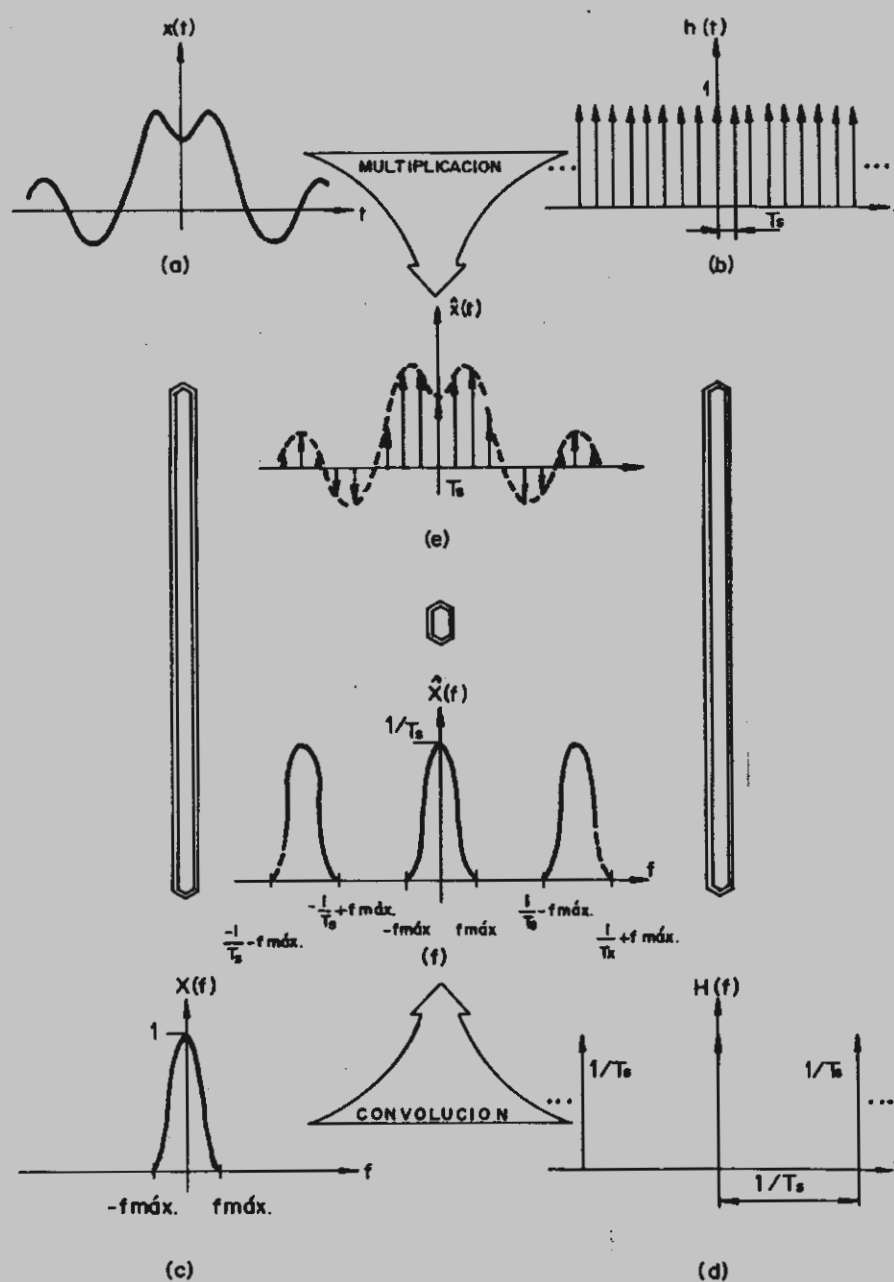


Fig. 2.1.6-1



$$\hat{X}(f) = X(f) * H(f) \quad (2.1.6.5)$$

$$\hat{X}(f) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} x\left(\frac{n}{T_s}\right) \delta\left(f - \frac{n}{T_s}\right) \quad (2.1.6.6)$$

La transformada de Fourier de la función muestreada es pues una función periódica de periodo  $f_s = 1/T_s$ , igual dentro de un periodo, salvo por la constante  $1/T_s$ , a la transformada de Fourier de la función continua  $x(t)$ .

Esto sólo es válido si el intervalo de muestreo  $T_s$  es suficientemente pequeño, como se verá a continuación.

Si se escoge un  $T_s$  demasiado grande, los impulsos de  $H(f)$  se juntan tanto que al convolucionar con  $X(f)$  se obtiene un espectro donde cada tramo idéntico a  $X(f)$  se solapa con los adyacentes y el resultado es una distorsión del espectro total que se conoce como solapamiento (aliasing). (Ver fig. 2.1.6-2)

Queda por lo tanto claro que es necesario muestrear a un régimen lo suficientemente alto como para que no ocurra el aliasing. Examinando la fig. 2.1.6-1 se deduce fácilmente que el valor mínimo de  $T_s$  debe ser  $1/2f_{\max}$ , donde  $f_{\max}$  es la frecuencia de la componente más alta del espectro de  $h(t)$ . Esto es consecuencia del teorema del muestreo del que trataremos a continuación.

#### Teorema del muestreo

El Teorema del muestreo establece que si la transformada de Fourier de una función continua  $x(t)$  es cero para todo  $f$  tal que  $|f| > f_{\max}$ , entonces la función  $x(t)$  puede determinarse unívocamente a partir del conocimiento de los valores de sus muestras  $\hat{x}(t)$ :

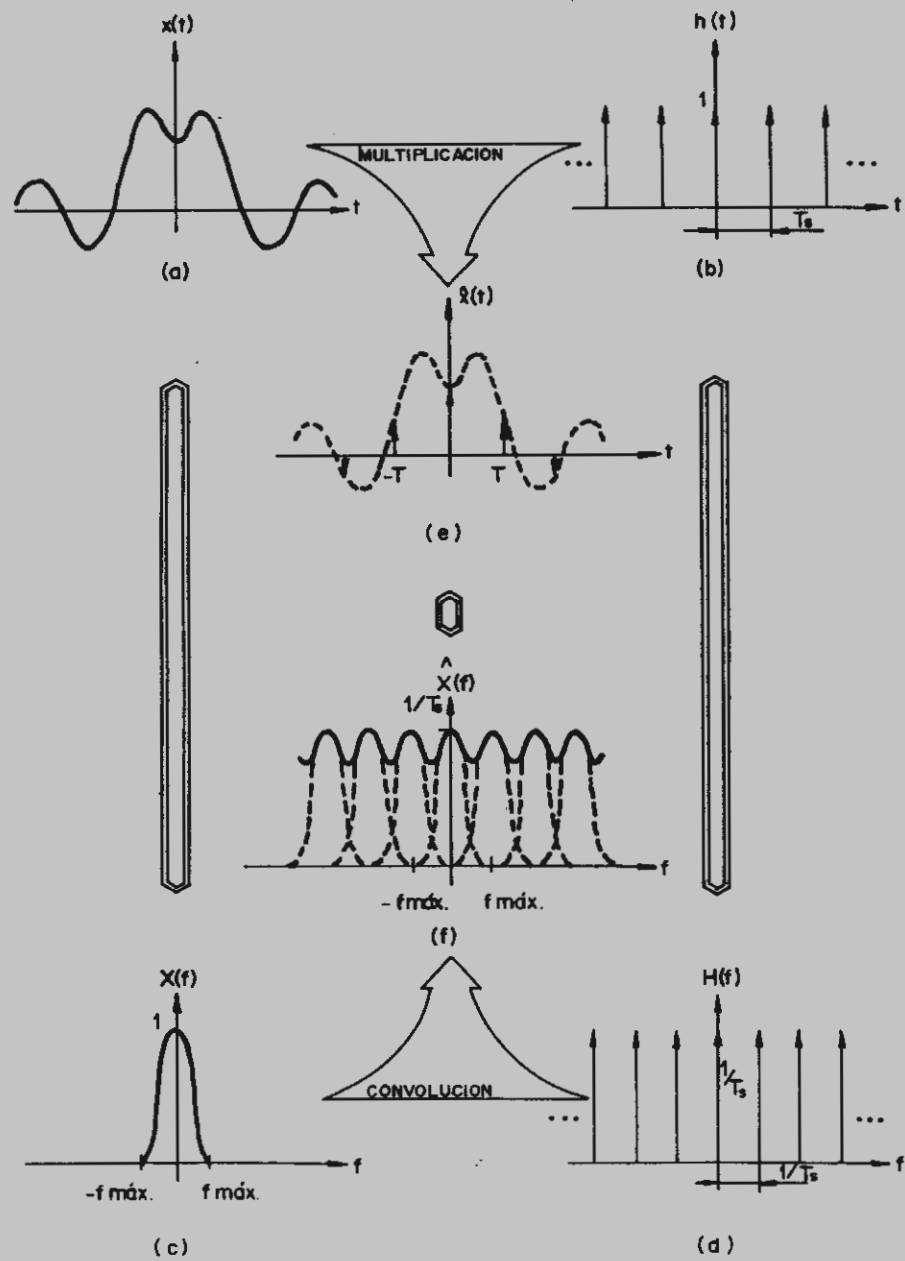


Fig. 2.1.6-2

$$\hat{x}(t) = x(nT_s) \sum_{n=-\infty}^{\infty} \delta(t - nT_s) \quad \text{con} \quad T_s = \frac{1}{2f_{\max}} \quad (2.1.6.7)$$

y es igual a

$$x(t) = T_s \sum_{n=-\infty}^{\infty} x(nT_s) \frac{\text{sen}[2\pi f_{\max}(t - nT_s)]}{n(t - nT_s)} \quad (2.1.6.8)$$

Para ello se debe cumplir, como ya hemos visto, que la señal sea limitada en banda a  $f_{\max}$  y que el intervalo entre muestras sea igual a  $f_s/2$  para evitar el aliasing. Realmente el teorema se cumple para cualquier  $T_s \geq f_{\max}/2$ . La frecuencia tal que  $f_s = f_{\max} \cdot 2$  se conoce como frecuencia de Nyquist.

La demostración de este teorema es fácil basándonos en que la transformada de Fourier de una función muestreada es idéntica, salvo una constante  $1/T_s$ , a la transformada de Fourier de la función sin muestrear, para el margen de frecuencias  $-f_{\max} \leq f \leq f_{\max}$ , como establece (2.1.6.6). Esto se puede apreciar fácilmente en la fig. 2.1.6-3. Si multiplicamos  $\hat{X}(f)$  por la función rectangular  $Q(f)$  definida así:

$$Q(f) = \begin{cases} T_s & \text{para } -f_{\max} \leq f \leq f_{\max} \\ 0 & \text{para el resto de valores de } f \end{cases} \quad (2.1.6.9)$$

entonces

$$X(f) = Q(f) \hat{X}(f) \quad (2.1.6.10)$$

luego

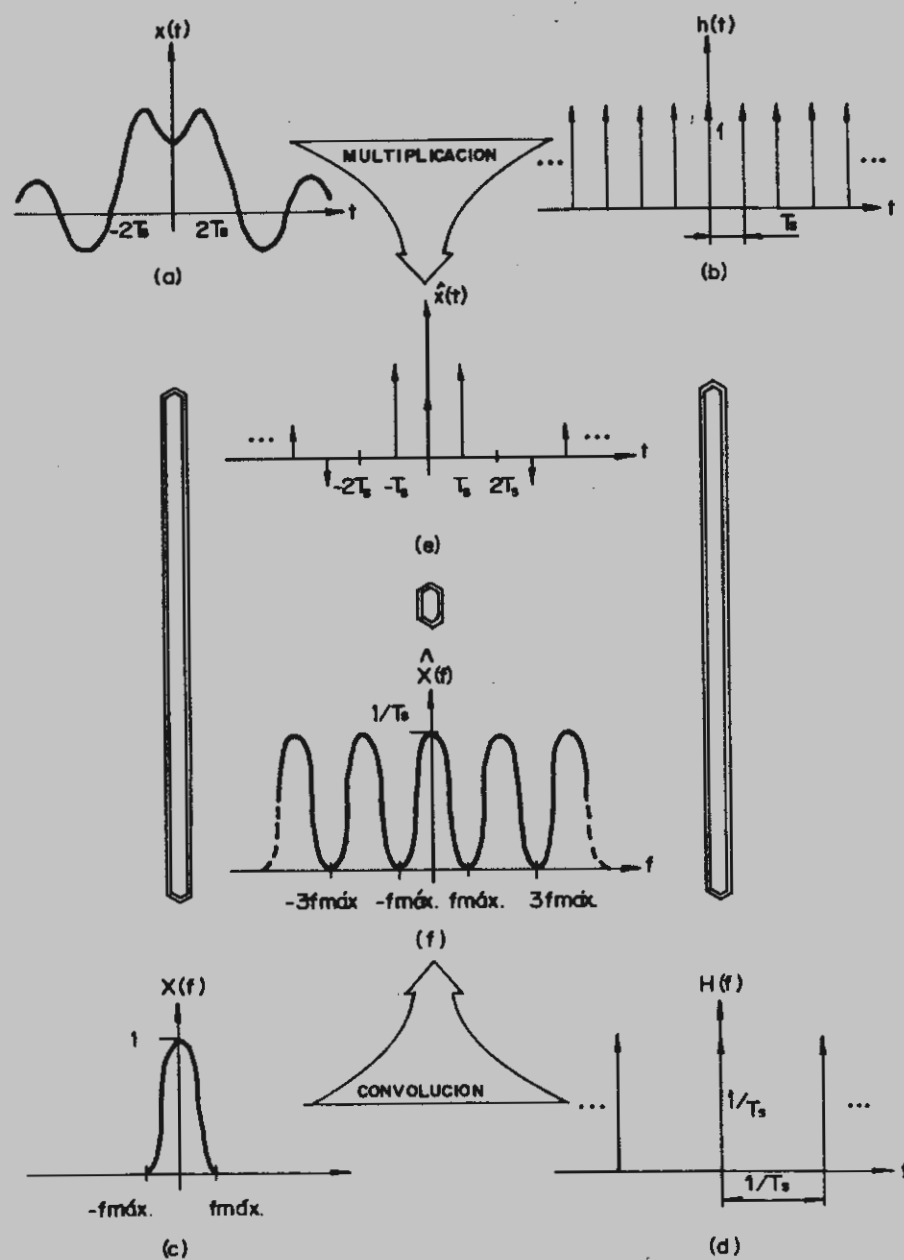


Fig.2.1.6-3



$$x(t) = q(t) * \hat{x}(t) = q(t) * [x(t)h(t)] \quad (2.1.6.11)$$

La transformada inversa de Fourier de la función rectangular  $Q(f)$  es

$$q(t) = 2T_{\text{max}} f_{\text{max}} \frac{\text{sen}(2\pi f_{\text{max}} t)}{2\pi f_{\text{max}} t} \quad (2.1.6.12)$$

luego

$$x(t) = T_{\text{max}} \frac{\text{sen}(2\pi f_{\text{max}} t)}{\pi t} * [x(t) \sum_{n=-\infty}^{\infty} \delta(t - nT_{\text{max}})] \quad (2.1.6.13)$$

$$x(t) = T_{\text{max}} \sum_{n=-\infty}^{\infty} x(nT_{\text{max}}) \frac{\text{sen}[2\pi f_{\text{max}}(t - nT_{\text{max}})]}{\pi(t - nT_{\text{max}})} \quad (2.1.6.14)$$

como se quería demostrar.

Luego se puede reconstruir una función a partir de sus muestras, pero para ello la señal debe ser limitada en banda (normalmente esto se garantiza artificialmente).

Análogamente al teorema de muestreo en el dominio del tiempo existe el teorema de muestreo en el dominio de la frecuencia.

Sea una función  $x(t)$  limitada en el tiempo, esto es

$$x(t) = 0 \quad |t| > T_{\text{max}} \quad (2.1.6.15)$$

entonces su transformada de Fourier  $X(f)$  se puede determinar univocamente a partir de las muestras equidistantes de  $X(f)$  mediante:

$$X(f) = \frac{1}{2T_{\max}} \sum_{n=-\infty}^{\infty} X\left(\frac{n}{2T_{\max}}\right) \frac{\text{sen}[2\pi T_{\max}(f - n/2T_{\max})]}{\pi(f - n/2T_{\max})} \quad (2.1.6.16)$$

Definimos por comodidad la función:

$$\text{sinc}(x) = \frac{\text{sen } x}{x} \quad (2.1.6.18)$$

de gran utilidad en el cálculo de funciones muestreadas. (Ver fig. A 2-2). Con ella:

$$X(f) = \sum_{n=-\infty}^{\infty} X(n/2T_{\max}) \text{sinc}[2\pi T_{\max}(f - n/2T_{\max})] \quad (2.1.6.18)$$

### 2.1.7 La Transformada Discreta de Fourier (DFT)

Nos vamos aproximando sucesivamente al problema planteado del análisis espectral de potencia en cuanto a la herramienta matemática a usar: la Transformada de Fourier. Ahora es necesario modificar esta transformada de modo que sea susceptible de manejo por un microprocesador. Esta transformada modificada se conoce como Transformada Discreta de Fourier (DFT), y debe ser lo más parecida posible a la Transformada de Fourier.

Los ordenadores trabajan con números y sólo pueden representar un número finito de ellos. Esto nos indica la necesidad de discretizar la representación de funciones, tanto en amplitud como en el eje de tiempos o de frecuencias, debiendo trabajarse no con funciones continuas, sino con funciones muestreadas y con amplitudes también discretas.

#### Desarrollo intuitivo

Partiendo de una señal  $x(t)$  (fig. 2.1.7-1) cuya Transformada de Fourier es  $X(f)$ , se muestrea en el tiempo multiplicándola por la función de muestreo  $h(t)$  con intervalos de muestreo  $T_s$ , obteniéndose el par de transformadas  $\hat{x}(t)$  y  $\hat{X}(f)$ . Esta es la primera modificación al par original de transformadas que es necesario hacer para definir el par de transformadas discreto, siendo  $\hat{X}(f)$  idéntica a  $X(f)$  siempre que se cumpla que  $T_s < 1/(2f_{max})$ , ya que si no se produce el fenómeno del aliasing. Este par de transformadas aún no es utilizable directamente por microprocesador, pues hay un número infinito de muestras en  $h(t)$ . Es necesario truncarla a un número finito de muestras que llamaremos  $N$ , mediante una función de truncadura rectangular  $q(t)$  cuya transformada de Fourier es  $Q(f)$ .

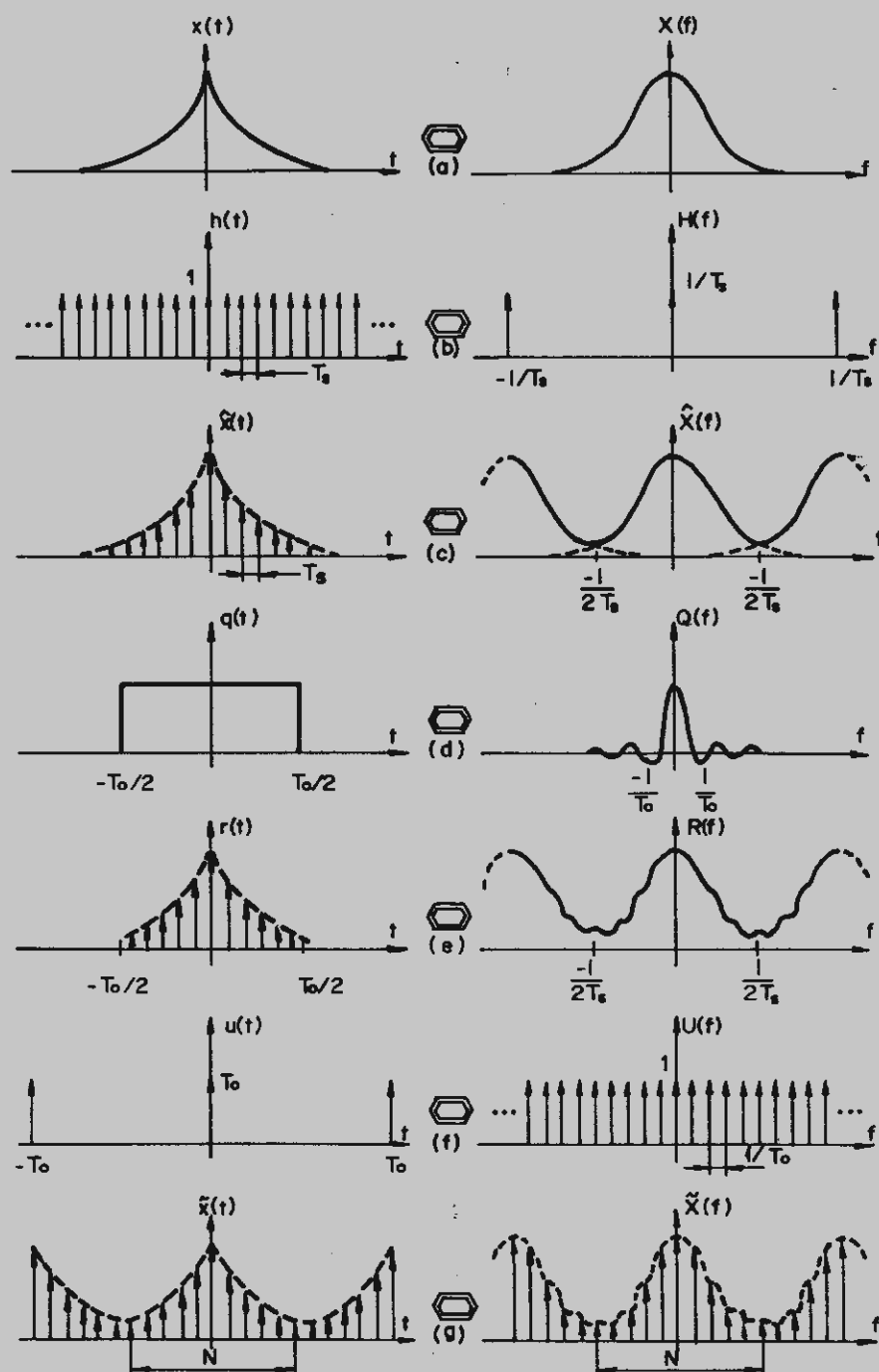


Fig. 2.1.7-1

El producto de la secuencia infinita de  $\hat{x}(t)$  por  $q(t)$  da lugar al par  $r(t), R(f)$  representado en la figura. La truncación introduce la segunda modificación al par original, produciendo un rizado en  $R(f)$  que se puede reducir incrementando  $T_0$  es decir, la duración o anchura de la ventana de tiempo, ya que así la función sinc se aproximará más a un impulso.

El par así obtenido no es aun bueno para un microprocesador pues la función  $R(f)$  es continua. Es necesario muestrear esta función obtenida para poder utilizarla por un ordenador. Si muestreemos con la función  $U(f)$  de periodo de muestreo  $f_0=1/T_0$  obtenemos por fin el par de transformadas discretas de Fourier  $\tilde{x}(t), \tilde{X}(f)$ , con valores discretos en los dominios del tiempo y de la frecuencia. La función original  $x(t)$  se aproxima mediante  $N$  muestras, al igual que  $X(f)$ . Estas  $N$  muestras definen el par de transformadas discretas de Fourier. Es importante el hecho de que el muestreo en el dominio de la frecuencia equivale a obtener una función periódica en el dominio del tiempo, de aquí que sea necesario para la DFT modificar las funciones originales del tiempo y de la frecuencia en el sentido de convertirlas en funciones periódicas. La señal del tiempo se muestrea, durante su periodo  $T_0$ ,  $N$  veces, es decir, tenemos  $N$  muestras del tiempo. La DFT obtenida consiste en  $N$  muestras en el dominio de la frecuencia, que constituyen un periodo de  $\tilde{X}(f)$ .

Vamos ahora a obtener la expresión analítica de la DFT siguiendo con más detalle el proceso anterior.

#### Desarrollo analítico

Sea el par de transformadas  $x(t)$  y  $X(f)$  ilustrado en la fig. 2.1.7-2. Muestreemos  $x(t)$  en el tiempo con la función muestreadora  $h(t)$ :



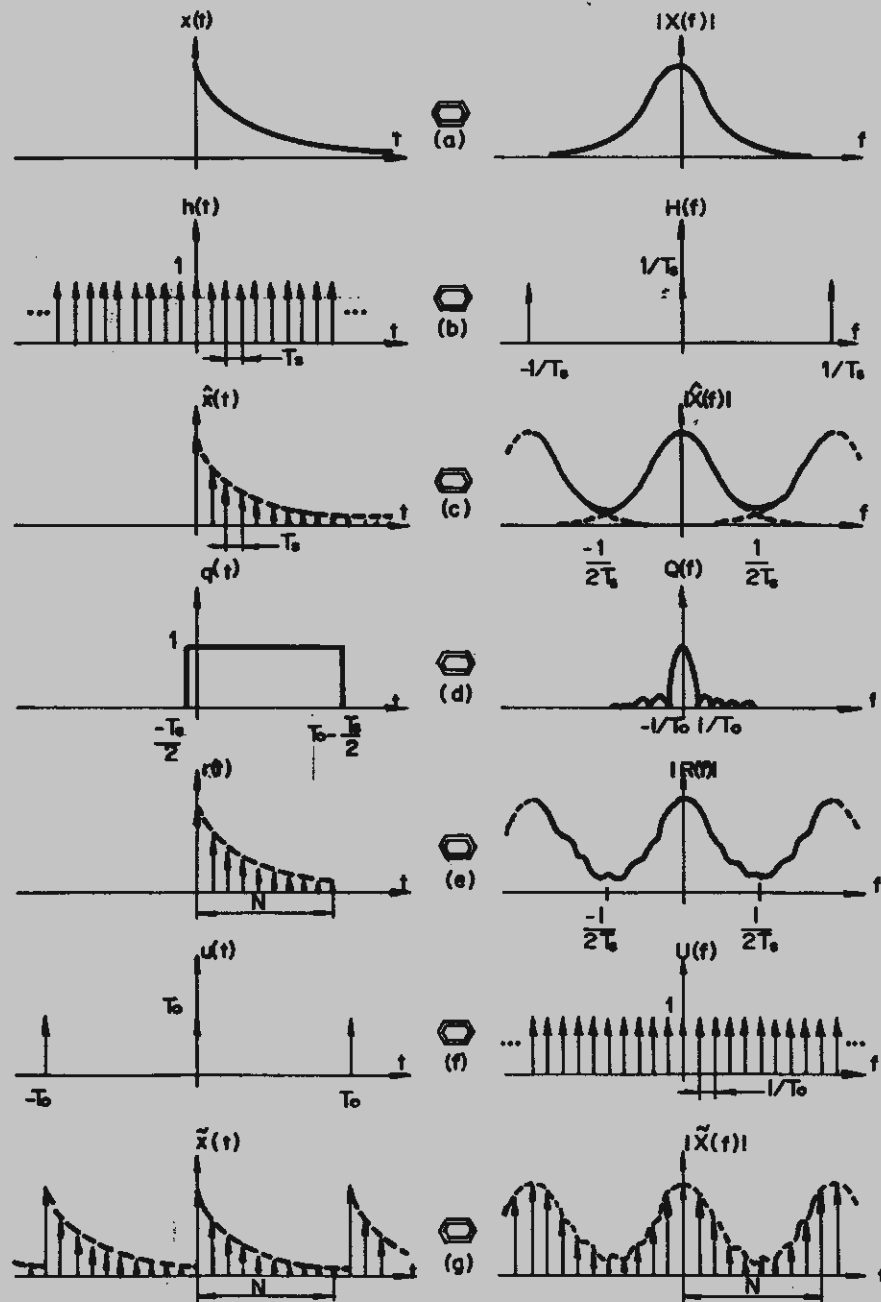


Fig.2.1.7-2

$$h(t) = \sum_{k=-\infty}^{\infty} \delta(t - kT_m) \quad (2.1.7.1)$$

cuya transformada es

$$H(f) = \frac{1}{T_m} \sum_{k=-\infty}^{\infty} \delta(f - k/T_m) \quad (2.1.7.2)$$

Obtenemos así la pareja de transformada  $\hat{x}(t)$  y  $\hat{X}(f)$

$$\hat{x}(t) = \sum_{k=-\infty}^{\infty} x(kT_m) \delta(t - kT_m) \quad (2.1.7.3)$$

$$\hat{X}(f) = \frac{1}{T_m} \sum_{k=-\infty}^{\infty} X(f - k/T_m) \quad (2.1.7.4)$$

Supondremos que  $T_m < 1/(2f_{max})$  para evitar el aliasing espectral.

El paso siguiente es truncar en el tiempo la función muestreada  $\hat{x}(t)$ . Para ello multiplicamos por  $q(t)$  definida así

$$q(t) = \begin{cases} 1 & -T_m/2 \leq t \leq T_0 - T_m/2 \\ 0 & \text{resto de valores de } t \end{cases} \quad (2.1.7.5)$$

siendo

$$T_0 = NT_m \quad (2.1.7.6)$$

la duración de la ventana temporal.

Se elige esta definición de  $q(t)$  por comodidad en la no-

tación, comenzando los muestreos en el origen. La ventana comienza en  $-T_s/2$  para que no coincida su comienzo con la primera muestra, pues si así fuera ocurriría el fenómeno aliasing en el dominio del tiempo, al solaparse la última muestra con la primera del siguiente período.

La transformada de  $q(t)$  es:

$$Q(f) = \frac{\sin(\pi f T_0)}{\pi f} e^{-j2\pi f (T_0/2 - T_s/2)} \quad (2.1.7.7)$$

El resultado de la truncadura es el par de transformadas  $r(t)$  y  $R(f)$

$$r(t) = \hat{x}(t) q(t) \quad (2.1.7.8)$$

$$r(t) = \sum_{k=0}^{N-1} x(kT_s) \delta(t - kT_s) \quad (2.1.7.9)$$

aplicando la propiedad de desplazamiento en el tiempo se obtiene

$$R(f) = \sum_{k=0}^{N-1} x(kT_s) e^{-j2\pi f k T_s} \quad (2.1.7.10)$$

Por último sólo resta muestrear en el dominio de la frecuencia  $R(f)$  mediante la función muestreadora  $U(f)$ :

$$U(f) = \sum_{m=-\infty}^{\infty} \delta(f - m/T_0) \quad (2.1.7.11)$$

cuya pareja transformada es

$$u(t) = T_0 \sum_{m=-\infty}^{\infty} \delta(t - m/T_0) \quad (2.1.7.11)$$

Con ello se obtiene la pareja  $\tilde{x}(t)$  y  $\tilde{X}(f)$

$$\tilde{X}(f) = R(f) U(f) \quad (2.1.7.13)$$

luego

$$\tilde{X}(f) = \sum_{m=-\infty}^{\infty} \sum_{k=0}^{N-1} x(kT_0) e^{-j2\pi f k T_0} \delta(f - m/T_0) \quad (2.1.7.14)$$

y aplicando la transformada inversa

$$\tilde{x}(t) = T_0 \sum_{m=-\infty}^{\infty} \sum_{k=0}^{N-1} x(kT_0) \delta(t - kT_0 - mT_0) \quad (2.1.7.15)$$

Calcularemos  $\tilde{X}(f)$  a partir de  $x(t)$ . Como  $\tilde{X}(f)$  es periódica podemos escribir según (2.1.5.17)

$$\tilde{X}(f) = \frac{1}{T_0} \sum_{n=-\infty}^{\infty} X\left(\frac{n}{T_0}\right) \delta\left(f - \frac{n}{T_0}\right) = \tilde{X}\left(\frac{n}{T_0}\right) \quad (2.1.7.16)$$

y

$$X\left(\frac{n}{T_0}\right) = T_0 C_n = \int_{-T_0/2}^{T_0/2} \tilde{x}(t) e^{-j2\pi n t / T_0} dt \quad n=0, \pm 1, \pm 2, \dots \quad (2.1.7.17)$$

sustituyendo (2.1.7.15) en (2.1.7.17) obtenemos

$$X\left(\frac{n}{T_0}\right) = \int_{-T_0/2}^{T_0/2} T_0 \sum_{m=-\infty}^{\infty} \sum_{k=0}^{N-1} x(kT_m) \delta(t - kT_m - mT_0) e^{-j2\pi n t} dt \quad (2.1.7.18)$$

como la integración es sólo en un periodo, sólo está definida la función para  $m=0$

$$X\left(\frac{n}{T_0}\right) = T_0 \sum_{k=0}^{N-1} x(kT_m) \int_{-T_0/2}^{T_0/2} \delta(t - kT_m) e^{-j2\pi n t} dt \quad (2.1.7.19)$$

$$X\left(\frac{n}{T_0}\right) = T_0 \sum_{k=0}^{N-1} x(kT_m) e^{-j2\pi n k T_m} \quad (2.1.7.20)$$

sustituyendo en (2.1.7.16)

$$\tilde{X}(f) = \sum_{n=-\infty}^{\infty} \sum_{k=0}^{N-1} x(kT_m) e^{-j2\pi n k T_m} \delta\left(f - \frac{n}{T_0}\right) \quad (2.1.7.21)$$

como  $f_0 = 1/T_0$  y  $T_0 = NT_m$ , podemos escribir

$$\tilde{X}\left(\frac{n}{NT_m}\right) = \sum_{n=-\infty}^{\infty} \sum_{k=0}^{N-1} x(kT_m) e^{-j2\pi n k / N} \quad (2.1.7.22)$$

Esta función es periódica de periodo  $f_m = 1/T_m$  en la variable  $f$ , o bien de periodo  $N$  en la variable  $n$ . Para demostrarlo basta probar que la función tiene sólo  $N$  valores distintos, y vale lo mismo para  $n = r$  que para  $n = r + N$ , ya que

$$e^{-j2\pi k(r+N)/N} = e^{-j2\pi k r/N} e^{-j2\pi k N/N} = e^{-j2\pi k r/N} \quad (2.1.7.23)$$



Por lo tanto podemos escribir (2.1.7.22) en la forma

$$\tilde{X}\left(\frac{n}{NTS}\right) = \sum_{k=0}^{N-1} x(kT_s) e^{-j2\pi nk/N} \quad n=0,1,\dots,N-1 \quad (2.1.7.24)$$

Esta expresión es la transformada discreta de Fourier (DFT) y relaciona N muestras del tiempo con N muestras de la frecuencia por medio de la transformada continua de Fourier. Una notación más empleada para la DFT es

$$G\left(\frac{n}{NTS}\right) = \sum_{k=0}^{N-1} g(kT_s) e^{-j2\pi nk/N} \quad n=0,1,\dots,N-1 \quad (2.1.7.25)$$

La transformada discreta inversa de Fourier es

$$g(kT_s) = \frac{1}{N} \sum_{n=0}^{N-1} G\left(\frac{n}{NTS}\right) e^{j2\pi nk/N} \quad k=0,1,\dots,N-1 \quad (2.1.7.26)$$

Esta relación se puede demostrar sustituyendo (2.1.7.26) en (2.1.7.25):

$$G\left(\frac{n}{NTS}\right) = \sum_{k=0}^{N-1} \left[ \frac{1}{N} \sum_{r=0}^{N-1} G\left(\frac{r}{NTS}\right) e^{j2\pi rk/N} \right] e^{-j2\pi nk/N} = (2.1.7.27)$$

$$= \frac{1}{N} \sum_{r=0}^{N-1} G\left(\frac{r}{NTS}\right) \sum_{k=0}^{N-1} e^{j2\pi rk/N} e^{-j2\pi nk/N} = (2.1.7.28)$$

$$= \sum_{r=0}^{N-1} G\left(\frac{r}{NTS}\right) = G\left(\frac{n}{NTS}\right) \quad (2.1.7.29)$$

como se queria demostrar, ya que

$$\sum_{k=0}^{N-1} e^{+j2\pi kr/N} e^{-j2\pi kn/N} = \sum_{k=0}^{N-1} e^{+j2\pi k(r-n)/N} = \begin{cases} 1 & \text{si } r=n \\ 0 & \text{si } r \neq n \end{cases} \quad (2.1.7.30)$$

la función  $g(kT_s)$  es también periódica de periodo  $N$ .

### Estudio de la aproximación de la transformada de Fourier por la DFT

A continuación vamos a estudiar la bondad de la aproximación efectuada al sustituir la transformada de Fourier por  $G(f)$  (DFT) para distintos tipos de funciones.

Estudiemos en primer lugar el caso de señales periódicas de banda limitada.

Sea

$$x(t) = A \cos(2\pi f_1 t) \quad (2.1.7.31)$$

Su transformada de Fourier será:

$$X(f) = \frac{A}{2} [\delta(f - f_1) + \delta(f + f_1)] \quad (2.1.7.32)$$

La función muestreada será:

$$\hat{x}(t) = A \sum_{k=-\infty}^{\infty} \cos(2\pi f_1 t) \delta(t - kT_s) \quad (2.1.7.33)$$

y su transformada de Fourier

$$\hat{X}(f) = X(f) * H(f) = \frac{A}{2T_s} \sum_{k=-\infty}^{\infty} \left[ \delta\left(f - f_1 - \frac{k}{T_s}\right) + \delta\left(f + f_1 - \frac{k}{T_s}\right) \right] \quad (2.1.7.34)$$

A continuación truncamos en el tiempo mediante la función  $q(t)$  definida en (2.1.7.5), cuya transformada de Fourier viene dada por (2.1.7.7). Esto ocasiona en el dominio de la frecuencia un rizado (compárese  $\hat{X}(f)$  con  $R(f)$  en la fig. 2.1.7-3). La función  $R(f)$  se obtiene convolucionando  $\hat{X}(f)$  con  $Q(f)$

$$R(f) = \hat{X}(f) * Q(f) = \int_{-\infty}^{\infty} \hat{X}(f) Q(f - \zeta) d\zeta = \quad (2.1.7.35)$$

$$= \frac{A}{2T_s} \sum_{k=-\infty}^{\infty} \int_{-\infty}^{\infty} \left[ \delta\left(f - f_1 - k/T_s\right) + \delta\left(f + f_1 - k/T_s\right) \right] \cdot$$

$$\frac{\text{sen}[\pi(f - \zeta)T_0]}{\pi(f - \zeta)} e^{-j2\pi(\zeta - f_1)(T_0/2 - T_s/2)} d\zeta = \quad (2.1.7.36)$$

$$= \frac{A}{2T_s} \sum_{k=-\infty}^{\infty} \left[ \frac{\text{sen}[\pi(f - f_1 - k/T_s)T_0]}{\pi(f - f_1 - k/T_s)} e^{-j2\pi(f - f_1 - k/T_s)(T_0/2 - T_s/2)} + \right. \\ \left. + \frac{\text{sen}[\pi(f + f_1 - k/T_s)T_0]}{\pi(f + f_1 - k/T_s)} e^{-j2\pi(f + f_1 - k/T_s)(T_0/2 - T_s/2)} \right] \quad (2.1.7.37)$$

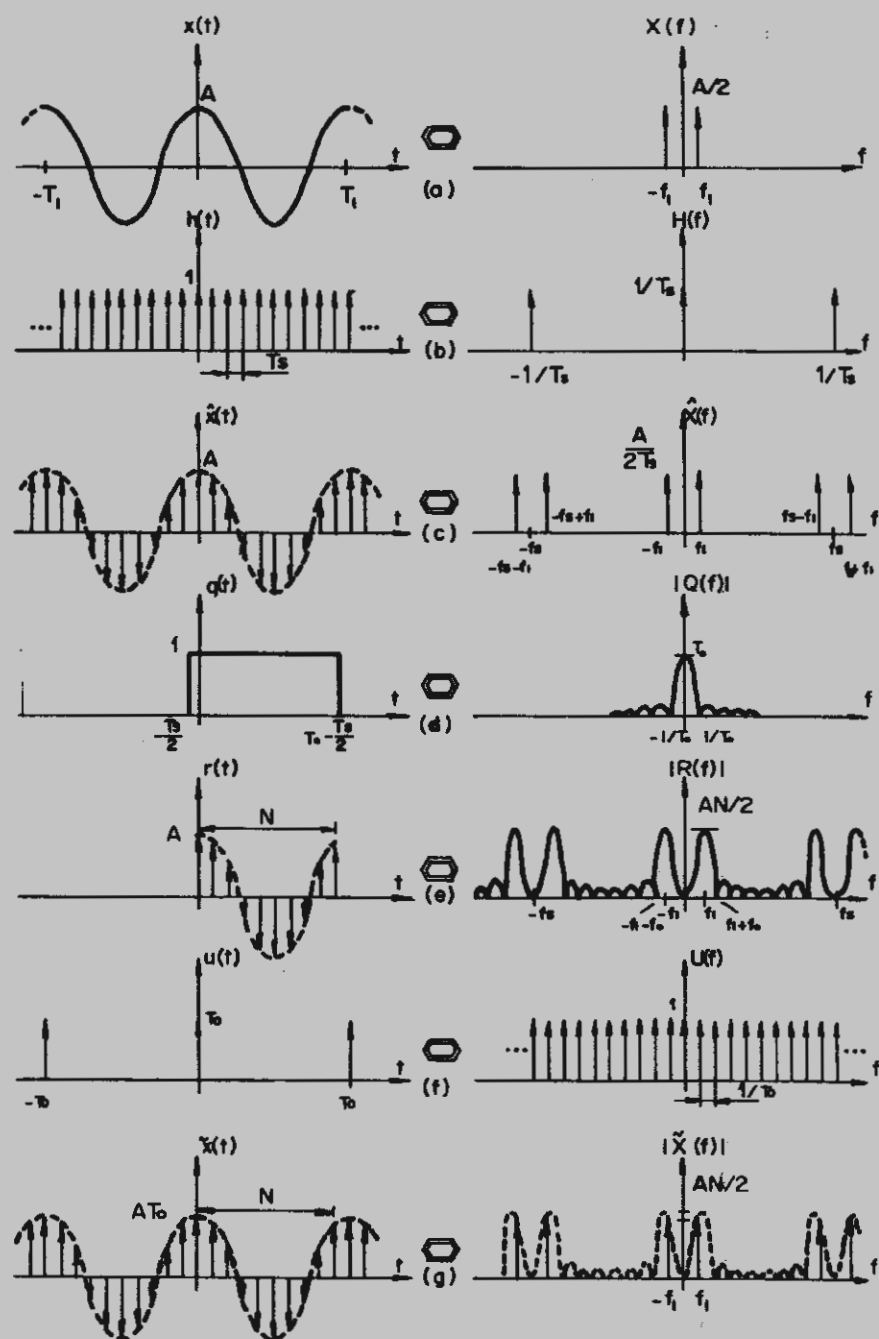


Fig. 2.1.7-3

recordando (2.1.6.17)

$$R(f) = \frac{AT_0}{T_m} \sum_{k=-\infty}^{\infty} \{ \text{sinc}[\eta(f-f_1-k/T_m)T_0] e^{-j2\pi(\tau-\tau_1-k/T_m)(T_0/2-T_s/2)} + \\ + \text{sinc}[\eta(f+f_1-k/T_m)T_0] e^{-j2\pi(\tau+\tau_1-k/T_m)(T_0/2-T_s/2)} \} \quad (2.1.7.38)$$

que se representa en la fig. 2.1.7-4, donde hemos supuesto que  $f_m \gg 2f_1$ .

Muestreando  $R(f)$  mediante  $U(f)$  definida en (2.1.7.11) obtenemos  $\tilde{X}(f)$  (Ver fig. 2.1.7-4).

$$\tilde{X}(f) = R(n/T_0) = \\ = \frac{AT_0}{2T_m} \sum_{k=-\infty}^{\infty} \{ \text{sinc}[\eta(\frac{n}{T_0}-f_1-k/T_m)T_0] e^{-j2\pi(\frac{n}{T_0}-\tau_1-k/T_m)(T_0/2-T_s/2)} + \\ + \text{sinc}[\eta(n/T_0+f_1-k/T_m)T_0] e^{-j2\pi(n/T_0+\tau_1-k/T_m)(T_0/2-T_s/2)} \} \quad (2.1.7.39)$$

Esta función será idéntica a  $X(f)$  en  $f=n/T_0$  para  $n=0,1,\dots,N-1$ , salvo un factor de escala cuando se cumpla que

$$T_0 = aT_1 = \frac{a}{f_1} \quad a = 1, 2, \dots \quad (2.1.7.40)$$

entonces

$$(\frac{n}{T_0} \pm f_1 - \frac{k}{T_m})T_0 = n \pm a - kN \quad (2.1.7.41)$$

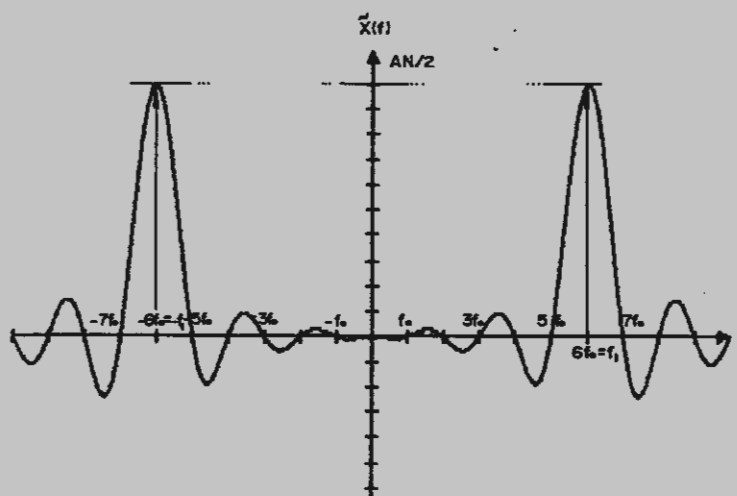


Fig. 2.1.7-4

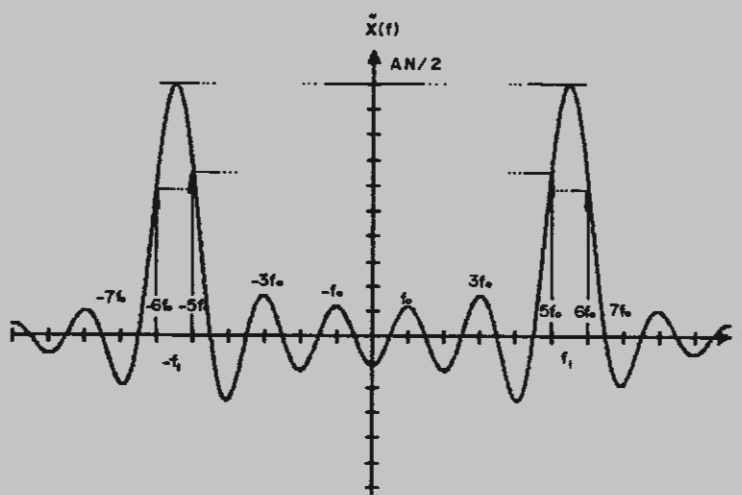


Fig. 2.1.7-5



pues

$$T_0 = NT_1 \quad (2.1.7.42)$$

En este caso queda

$$\begin{aligned} \tilde{X}\left(\frac{n}{T_0}\right) \Big|_{T_0=NT_1} &= \frac{AN}{2} \sum_{k=-\infty}^{\infty} \{ \text{sinc}[\pi(n-a-kN)] e^{-j\pi(n-a-kN) - (n/N - a/N - k)} \} \\ &+ \text{sinc}[\pi(n+a-kN)] e^{-j\pi(n+a-kN) - (n/N + a/N - k)} \} = \end{aligned} \quad (2.1.7.43)$$

Eligiendo un único periodo, con  $k=0$

$$\begin{aligned} G\left(\frac{n}{T_0}\right) \Big|_{T_0=NT_1} &= \frac{AN}{2} \{ \text{sinc}[\pi(n-a)] e^{-j\pi(n-a)N - a/N} + \\ &+ \text{sinc}[\pi(n+a)] e^{-j\pi(n+a)N - a/N} \} \end{aligned} \quad (2.1.7.44)$$

Esta función vale, para  $n=a$

$$G\left(\frac{a}{T_0}\right) \Big|_{T_0=NT_1} = \frac{AN}{2} \quad (2.1.7.45)$$

ya que

$$\text{sinc}(n\pi) = \begin{cases} 1 & n=0 \\ 0 & n=\pm 1, \pm 2, \dots \end{cases} \quad (2.1.7.46)$$

Es decir, no hay distorsión, salvo el factor de escala  $N$ .

Pero si  $T_0$  no es un número entero de veces  $T_1$ , se producirá distorsión. El caso más desfavorable es aquél en que

$$T_0 = \frac{2a-1}{2} T_1 = \frac{2a-1}{2 f_1} \quad a=1,2,\dots \quad (2.1.7.47)$$

entonces

$$\left( \frac{n}{T_0} \pm f_1 - \frac{k}{T_1} \right) T_0 = n \pm \left( a - \frac{1}{2} \right) - kN \quad (2.1.7.48)$$

y

$$G\left(\frac{n}{T_0}\right) \Bigg|_{T_0=(a-1/2)T_1} = \frac{AN}{2} \left( \text{sinc}[\pi(n-a+1/2)e^{-j\pi(n-a+1/2)N-1/N}] + \right. \\ \left. + \text{sinc}[\pi(n+a-1/2)e^{-j\pi(n+a-1/2)N-1/N}] \right) \quad (2.1.7.49)$$

para  $n=a$

$$G\left(\frac{a}{T_0}\right) \Bigg|_{T_0=(a-1/2)T_1} = \frac{AN}{2} [\text{sinc}(\pi/2) + \text{sinc}[\pi(2a-1/2)]] e^{j\pi(N-1)/(2N)} \quad (2.1.7.50)$$

$$G\left(\frac{a}{T_0}\right) \Bigg|_{T_0=(a-1/2)T_1} = \frac{AN}{\pi} \quad (2.1.7.51)$$

(Vease fig. 2.1.7-5)

Es decir, el efecto de truncar con un periodo distinto de un multiplo del periodo de la señal de entrada ocasiona componentes adicionales en el dominio de la frecuencia, además de provocar discontinuidades en el dominio del tiempo.

Como se desprende del ejemplo anterior se puede calcular la respuesta de la DFT a una frecuencia de entrada cualquiera  $f_1$ , centrando una función sinc en ese punto y calculando el valor de la señal en los puntos  $n/T_0$ . El valor de  $G(n/T_0)$  en el punto  $n/T_0$  más cercano a  $f_1$  es el que se toma como aproximación. (Ver fig. 2.1.7-6).

Cuando la frecuencia de entrada  $f_1$  coincide con  $n/T_0$ , el error es nulo. En el caso general se produce el fenómeno denominado fuga espectral (spectral leakage) y se originan componentes espectrales que en la señal de entrada no están presentes.

Existen técnicas para disminuir el efecto de la fuga espectral, normalmente a costa de tener una menor resolución en frecuencia. Se trata de las técnicas de ventana.

El usar una 'ventana' no es ni más ni menos que multiplicar la secuencia de entrada por una función, es decir, truncar en el tiempo con una función dada. Hasta ahora hemos usado la ventana rectangular, que es la que permite una mejor resolución en frecuencia, a costa de una mayor interferencia entre muestras de salida, pero existen otras muy útiles.

Para un estudio más detallado, véase anexo A2.

Podemos evaluar el error debido a este efecto en función de  $f_1$  (frecuencia de entrada) para tonos puros

$$E = \frac{A}{2} N \left( 1 - \frac{\text{sen}[N T_0 (f_1 - n/T_0)]}{\pi (f_1 - n/T_0)} \right) \quad (2.1.7.52)$$

En el caso más desfavorable

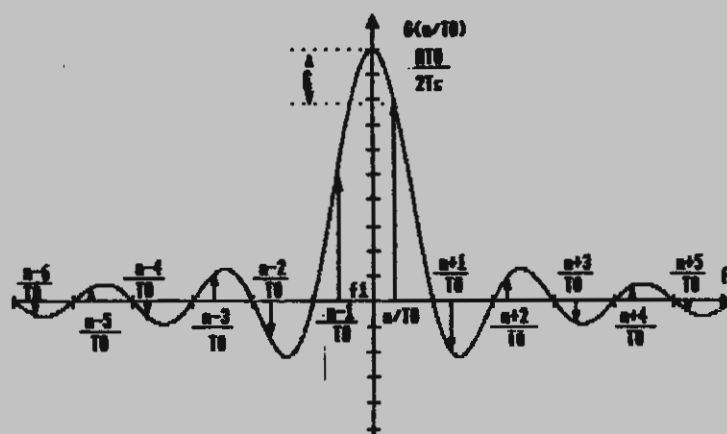


Fig. 2.1.7-6

$$f_1 = \frac{n+0.5}{T_0} \quad (2.1.7.53)$$

$$\xi = \frac{AN}{2} \left( 1 - \frac{\sin(0.5\pi)}{0.5} \right) = 0.637 \frac{AN}{2} \quad (2.1.7.54)$$

En porcentaje, el error máximo en estas condiciones es del 36.3% en amplitud.

Por otra parte ya podemos escribir una relación directa entre la transformada de Fourier y la DFT al menos cuando el intervalo de truncación es igual al periodo de la señal de entrada:

$$X\left(\frac{n}{NT_s}\right) = \frac{1}{N} \sum_{k=0}^{N-1} x(kT_s) e^{-j2\pi nk/N} = \frac{1}{N} G(n/NT_s) \quad (2.1.7.55)$$

Recordemos que esta igualdad es cierta si: la función  $h(t)$  es periódica, limitada en banda,  $f_s \geq 2f_1$  y la función  $x(t)$  de truncadura es distinta de cero durante un múltiplo de un periodo de  $x(t)$ .

Otra clase de funciones interesantes son las señales limitadas en el tiempo. Si  $x(t)$  es de duración finita, su transformada de Fourier no está limitada en banda y por lo tanto el muestreo ocasionará aliasing, tanto mayor cuanto mayor sea  $T_s$ . (Ver fig. 2.1.7-7).

Con este tipo de señales no es necesario truncar en el dominio del tiempo: basta elegir  $N$  igual o mayor al número de muestras de la señal del tiempo muestreada. Como se aprecia en el ejemplo de la figura la función resultante sólo tiene el

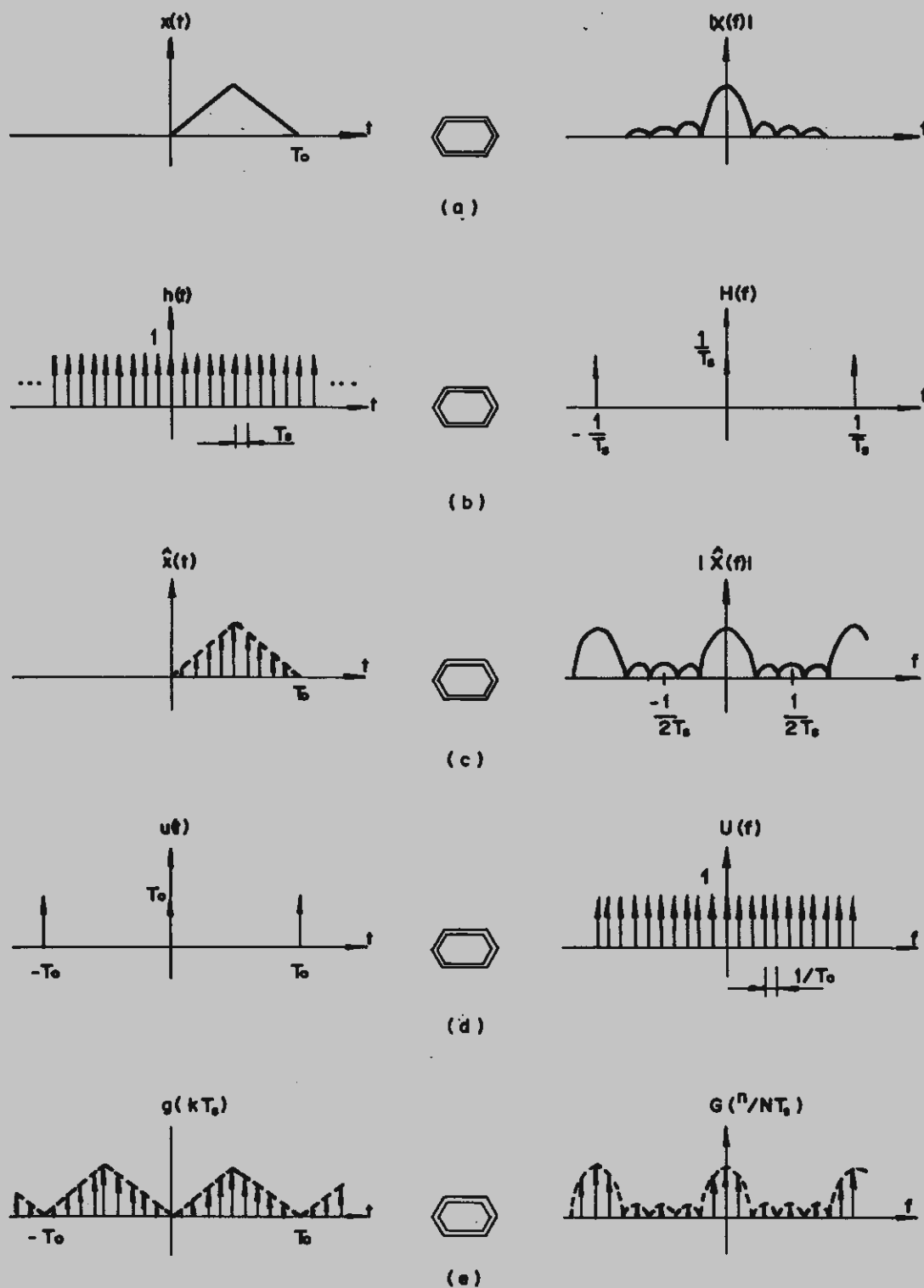


Fig. 2.1.7-7



error debido al aliasing.

El mismo resultado se hubiese obtenido si  $x(t)$  fuese un periodo de una señal periódica y el resultado sería igualmente válido y el único error sería el del aliasing si el periodo de truncadura se eligiese igual a un múltiplo entero del periodo de la señal de entrada.

Pero las funciones más frecuentes no son ni limitadas en el tiempo ni en banda (por ejemplo, ruido). Para éstas, el muestreo en el tiempo ocasiona aliasing en el dominio de la frecuencia, y la truncación en el tiempo ocasiona rizado en el dominio de la frecuencia (ver fig. 2.1.7-8).

El par de funciones resultante es, como siempre, periódica con periodo de  $N$  muestras ( $T_0 = NT_s$  en el dominio del tiempo y  $Nf_s$  en el de la frecuencia).

Como hemos visto podemos aproximar la transformada de Fourier de cualquier función por la DFT aplicando la relación (2.1.7.55) cometiendo un error que se puede reducir eligiendo adecuadamente  $T_s$  y  $N$ .

Se aprecia el factor de escala  $1/N$ , con respecto a la transformada de Fourier de la señal de entrada. Esto nos indica que para obtener un espectro de amplitudes al emplear la DFT similar al que se obtiene con la transformada de Fourier, habría que emplear la relación (2.1.7.55)

Esta será la que se emplee para el presente proyecto.

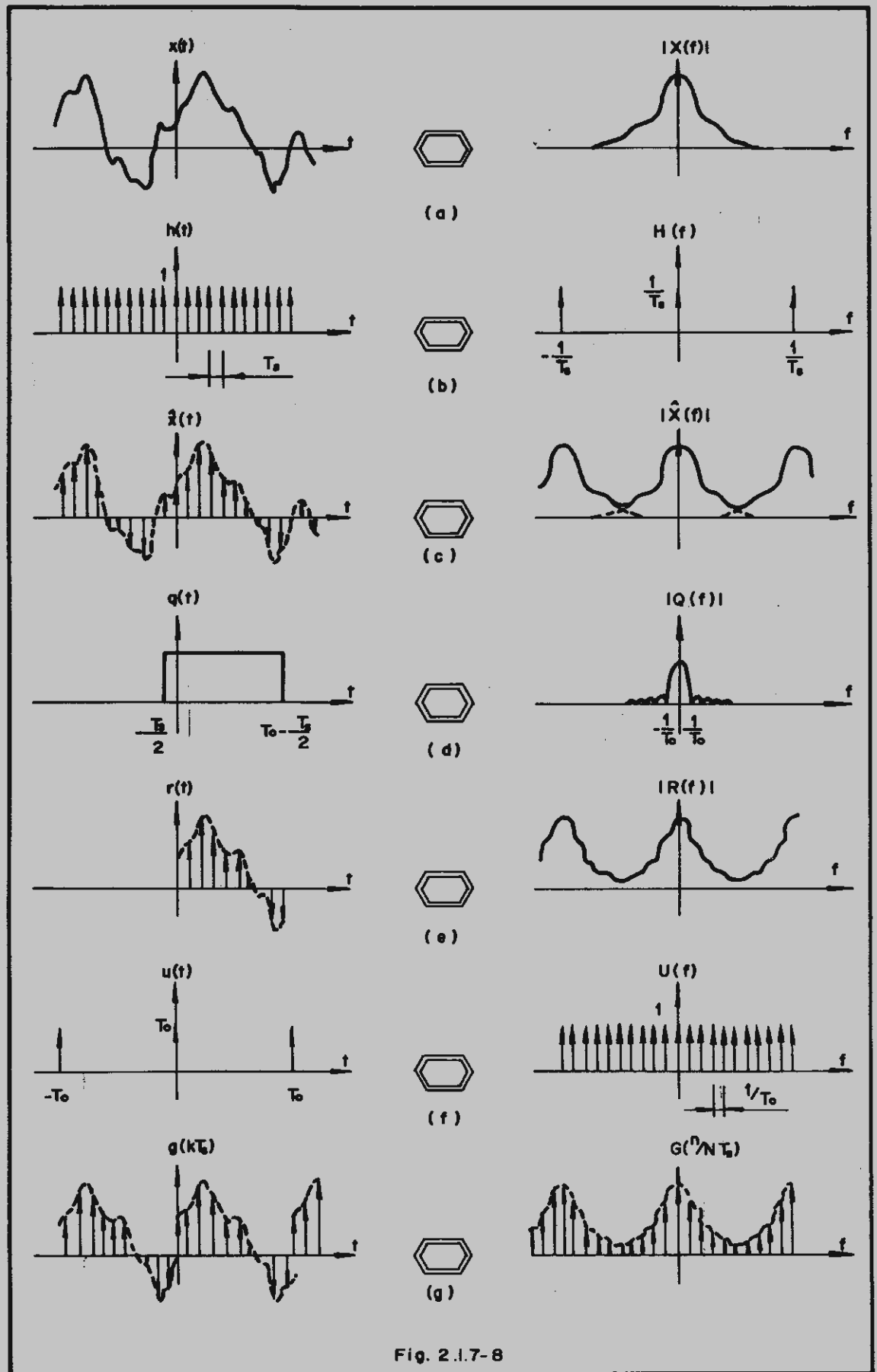


Fig. 2.1.7-8

Veamos ahora, de forma resumida, las propiedades más importantes de la DFT:

1) Linealidad

$$x(k)+y(k) \Leftrightarrow X(n)+Y(n) \quad (2.1.7.56)$$

2) Simetria

$$h(-n) \Leftrightarrow H(k)/N \quad (2.1.7.57)$$

3) Desplazamiento en el tiempo

$$h(k-i) \Leftrightarrow H(n)e^{-j2\pi ni/N} \quad (2.1.7.58)$$

4) Desplazamiento en la frecuencia

$$h(k)e^{j2\pi ki/N} \Leftrightarrow H(n-i) \quad (2.1.7.59)$$

5) Fórmula de inversión alternativa

$$h(k) = 1/N \left[ \sum_{n=0}^{N-1} H^*(n) e^{-j2\pi kn/N} \right]^* \quad (2.1.7.60)$$

6) Funciones pares

$$h_{par}(k) \Leftrightarrow R_{par}(n) \quad (2.1.7.61)$$

7) Funciones impares

$$h_{impar}(k) \Leftrightarrow jI_{impar}(n) \quad (2.1.7.62)$$

Otras relaciones interesantes son:

- Descomposición :

$$h(k) = h_{\text{par}}(k) + h_{\text{impar}}(k) \quad (2.1.7.63)$$

$$h_{\text{par}}(k) = h(k)/2 + h(N-k)/2 \quad h_{\text{impar}}(k) = h(k)/2 - h(N-k)/2 \quad (2.1.7.64)$$

$$\text{Su DFT es } H(n) = R(n) + jI(n) = H_{\text{par}}(n) + H_{\text{impar}}(n) \quad (2.1.7.65)$$

- DFT de funciones complejas del tiempo :

$$\text{Si } h(k) = h_r(k) + jh_i(k) \Leftrightarrow H(n) = R(n) + jI(n) \quad (2.1.7.66)$$

donde

$$R(n) = \sum_{k=0}^{N-1} h_r(k) \cos[2\pi kn/N] \quad \text{y es real y par} \quad (2.1.7.67)$$

$$I(n) = -j \sum_{k=0}^{N-1} h_i(k) \sin[2\pi kn/N] \quad \text{y es imag. e impar} \quad (2.1.7.68)$$

- Convolución discreta :

$$y(k) = x(k) * h(k) = \sum_{i=0}^{N-1} x(i) h(k-i) \quad (2.1.7.69)$$

- Correlación discreta :

$$y(k) = \sum_{i=0}^{N-1} x(i) h(k+i) \quad (2.1.7.70)$$

- Teorema de la convolución :

$$y(k)*h(k) \Leftrightarrow Y(n)H(n) \quad (2.1.7.71)$$

$$y(k)h(k) \Leftrightarrow 1/N Y(n)*H(n) \quad (2.1.7.72)$$

- Teorema de Parseval:

$$\sum_{k=0}^{N-1} |h^z(k)|^2 = 1/N \sum_{n=0}^{N-1} |H(n)|^2 \quad (2.1.7.73)$$

Una consecuencia interesante y que se debe tener en cuenta, de las propiedades 6 y 7 es que al aplicar la DFT a funciones reales, la parte real de la DFT es una función par y simétrica en torno a  $N/2$ , correspondiendo los valores de  $n > N/2$  a las frecuencias negativas, mientras que la parte imaginaria de la DFT es una función impar y antisimétrica en torno a  $N/2$ , correspondiendo igualmente  $n > N/2$  a las frecuencias negativas.



### 2.1.8 La Transformada rápida de Fourier (FFT)

Hemos visto que la transformada discreta de Fourier (DFT) es una herramienta de cálculo susceptible de uso por un ordenador y que tiene por expresión (2.1.7.25), que podemos escribir de forma más compacta así:

$$X(n) = \sum_{k=0}^{N-1} x(k) W^{kn} \quad n=0,1,\dots,N-1 \quad (2.1.8.1)$$

Donde  $W = e^{-j2\pi/N}$  (2.1.8.2)

y hemos reemplazado  $kT_s$  por  $k$  y  $n/NT_s$  por  $n$  por comodidad en la notación.

Es fácil ver que el número de operaciones que implica el cálculo de una DFT consiste en  $N$  multiplicaciones complejas para cada  $X(n)$ , es decir, en total  $N^2$  multiplicaciones complejas, y  $N-1$  sumas complejas para cada  $X(n)$ , es decir, en total  $N^2-N$  sumas complejas. Esto equivale a realizar  $4N^2$  multiplicaciones reales y  $2N(N-1)$  sumas reales.

Por otra parte también es evidente que se requiere una capacidad de almacenamiento de por lo menos  $N$  posiciones para los valores  $x(k)$ ,  $N$  para los coeficientes  $W^{kn}$  y quizá también espacio para resultados intermedios.

Todo esto evidencia que la complejidad de cálculo aumenta con  $N$ , siendo el número de operaciones a realizar prácticamente proporcional a  $N^2$ . Para valores muy grandes de  $N$ , el tiempo de cálculo se hace muy grande, incluso para un gran ordenador. Por esta razón se comenzó a estudiar desde hace bastante tiempo la manera de disminuir este tiempo de cálculo con la DFT.



Las primeras ideas se basaron en aprovechar las dos siguientes propiedades:

$$1. W^k(N-n) = [W^{kn}]^* \quad (2.1.8.3)$$

$$2. W^{kn} = W^{k(n+N)} = W^{(k+N)n} \quad (2.1.8.4)$$

La primera se basa en la simetría de las funciones sinusoidales, y la segunda en su periodicidad. La primera propiedad permite reducir el tiempo de cálculo en un factor de 2, mientras que la segunda permite obtener tiempos de cálculo proporcionales a  $N \log_2 N$  en vez de a  $N^2$ .

C. Rünge en 1903 y C. Lanczos y Danielson posteriormente, describieron algoritmos que conducían a estos resultados, pero como los cálculos se tenían que hacer a mano por aquella época, sólo se podía aplicar para  $N$  pequeño, donde la ventaja no era significativa.

En 1965 James W. Cooley y John W. Tukey publicaron un algoritmo para el cálculo de la DFT para el caso en que  $N$  fuese el producto de dos o más enteros, obteniendo un tiempo de cálculo proporcional a  $N \log N$ . Desde entonces este tipo de estudios se han sucedido frecuentemente dando lugar a una colección de algoritmos denominados Transformada Rápida de Fourier o simplemente algoritmos de FFT (Fast Fourier Transform). Todos ellos se basan en la descomposición de la DFT de una secuencia de  $N$  puntos en DFT's sucesivas más pequeñas.

Sólo haremos un pequeño estudio de los algoritmos más importantes, sobre todo el Radix 2 de Cooley y Tukey que es el de más amplia difusión y sobre el cual se basó G.D. Bergland para desarrollar su algoritmo aplicable a funciones reales del tiempo, que es el algoritmo de FFT que realmente se empleará

para la realización del presente proyecto, y sobre el que se hará mayor hincapié, sobre todo en cuanto a su implementación real en un ordenador.

#### 2.1.8.1 Desarrollo intuitivo del algoritmo de Cooley-Tukey

Vamos a usar un ejemplo simple de factorización de matrices para justificar el algoritmo de FFT.

Consideremos la DFT definida por (2.1.8.1). Esta ecuación se puede definir en forma matricial:

$$\begin{bmatrix} X(0) \\ X(1) \\ \vdots \\ X(N-1) \end{bmatrix} = \begin{bmatrix} W_{00} & W_{01} & W_{02} & \dots & W_{0(N-1)} \\ W_{10} & W_{11} & W_{12} & \dots & W_{1(N-1)} \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ W_{(N-1)0} & W_{(N-1)1} & W_{(N-1)2} & \dots & W_{(N-1)(N-1)} \end{bmatrix} \begin{bmatrix} X_0(0) \\ X_0(1) \\ \vdots \\ X_0(N-1) \end{bmatrix} \quad (2.1.8.5)$$

o, de forma más compacta

$$[X(n)] = [W^{nk}] [X_0(k)] \quad (2.1.8.6)$$

donde los símbolos [] denotan matriz.

Así, para N=4 tendremos:

$$\begin{bmatrix} X(0) \\ X(1) \\ X(2) \\ X(3) \end{bmatrix} = \begin{bmatrix} W_{00} & W_{01} & W_{02} & W_{03} \\ W_{10} & W_{11} & W_{12} & W_{13} \\ W_{20} & W_{21} & W_{22} & W_{23} \\ W_{30} & W_{31} & W_{32} & W_{33} \end{bmatrix} \begin{bmatrix} X_0(0) \\ X_0(1) \\ X_0(2) \\ X_0(3) \end{bmatrix} \quad (2.1.8.7)$$

Es conveniente elegir N múltiplo entero de 2:

$$N=2^\alpha \quad \alpha = 1, 2, 3, \dots \quad (2.1.8.8)$$

para facilitar el desarrollo matemático, aunque en general no

es necesario. El motivo de esta elección de N se justificará posteriormente.

Podemos reescribir (2.1.8.7) en la forma:

$$\begin{bmatrix} X \\ X \\ X \\ X \end{bmatrix} \begin{matrix} (0) \\ (1) \\ (2) \\ (3) \end{matrix} = \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} X \\ X \\ X \\ X \end{bmatrix} \begin{matrix} (0) \\ (1) \\ (2) \\ (3) \end{matrix} \quad (2.1.8.9)$$

donde hemos alterado la matriz  $[W^{nk}]$  en el sentido de sustituir  $W^0$  por su valor, que es 1 y  $W^{nk}$  por  $W^{nk \bmod N}$ , aplicando la propiedad (2.1.8.4).

A continuación vamos a factorizar la matriz de coeficientes en la siguiente forma

$$\begin{bmatrix} X \\ X \\ X \\ X \end{bmatrix} \begin{matrix} (0) \\ (1) \\ (2) \\ (3) \end{matrix} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} X \\ X \\ X \\ X \end{bmatrix} \begin{matrix} (0) \\ (1) \\ (2) \\ (3) \end{matrix} \quad (2.1.8.10)$$

o en forma compacta:

$$[\bar{X}(n)] = [M_1][M_0][X_0(k)] \quad (2.1.8.11)$$

donde  $[\bar{X}(n)]$  es la matriz  $[X(n)]$ , pero con sus elementos cambiados de orden en el sentido de ordenamiento "bit-reverse" (bit-invertido) del que hablaremos posteriormente.

Si llamamos  $[X_1(k)] = [M_0][X_0(k)]$  tendremos, para nuestro ejemplo:

$$\begin{bmatrix} X_1 \\ X_1 \\ X_1 \\ X_1 \end{bmatrix} \begin{matrix} (0) \\ (1) \\ (2) \\ (3) \end{matrix} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} X \\ X \\ X \\ X \end{bmatrix} \begin{matrix} (0) \\ (1) \\ (2) \\ (3) \end{matrix} \quad (2.1.8.12)$$

es decir

$$X_1(0) = X_0(0) + W^0 X_0(2) \quad (2.1.8.13)$$

$$X_1(1) = X_0(1) + W^0 X_0(3) \quad (2.1.8.14)$$

$$X_1(2) = X_0(0) + W^2 X_0(2) = X_0(0) - W^0 X_0(2) \quad (2.1.8.15)$$

$$X_1(3) = X_0(1) + W^2 X_0(3) = X_0(1) - W^0 X_0(3) \quad (2.1.8.16)$$

Ya que por la propiedad (2.1.8.4):

$$W^2 = -W^0 \quad (2.1.8.17)$$

Es decir, sólo necesitamos en total dos multiplicaciones complejas y cuatro sumas complejas para calcular la matriz  $[X_1(k)]$ .

Introduciendo estos resultados en (2.1.8.10) tenemos

$$\begin{bmatrix} X_1(0) \\ X_1(1) \\ X_1(2) \\ X_1(3) \end{bmatrix} = \begin{bmatrix} X_0(0) \\ X_0(1) \\ X_0(2) \\ X_0(3) \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} X_0(0) \\ X_0(1) \\ X_0(2) \\ X_0(3) \end{bmatrix} \quad (2.1.8.18)$$

es decir:

$$X(0) = X_2(0) = X_1(0) + W^0 X_1(1) \quad (2.1.8.19)$$

$$X(2) = X_2(1) = X_1(0) + W^2 X_1(1) = X_1(0) - W^0 X_1(1) \quad (2.1.8.20)$$

$$X(1) = X_2(2) = X_1(2) + W^1 X_1(3) \quad (2.1.8.21)$$

$$X(3) = X_2(3) = X_1(2) + W^3 X_1(3) = X_1(2) - W^1 X_1(3) \quad (2.1.8.22)$$

De nuevo sólo necesitamos dos multiplicaciones complejas y cuatro sumas complejas.

En total sólo requerimos, pues, cuatro multiplicaciones y ocho sumas complejas en lugar de las dieciseis y doce respectivamente que se requerían por el método directo. Es decir, se ha reducido el número de operaciones necesarias, y esto es debido a la introducción de ceros en las matrices por la factorización.

Para  $N=2^\alpha$  el algoritmo consiste en descomponer la matriz de coeficientes  $[W^{Nk}]$ , de orden  $N \times N$ , en  $\alpha$  matrices del mismo orden, de forma que el número total de multiplicaciones complejas requeridas se convierte en  $N\alpha/2$  y el de sumas complejas en  $N\alpha$ .

Es decir, la reducción en operaciones, y por lo tanto, en tiempo de cálculo se puede estimar en

$$\frac{N^2}{N\alpha/2} = \frac{2N}{\alpha} = \frac{2N}{\log_2 N} \quad (2.1.8.23)$$

En la figura 2.1.8-1 se representa la comparación de los métodos directo y FFT para diversos valores de  $N$ .

Por último será necesario reordenar  $[\bar{X}(n)]$  para obtener  $[X(n)]$ , pero éste es un proceso con un tiempo de ejecución proporcional a  $N$ .

### La mariposa

Un método muy útil para ver este desarrollo en forma gráfica es emplear los gráficos de flujo de señal. Por ejemplo en la figura 2.1.8-2 se representa el algoritmo en esta forma pa-

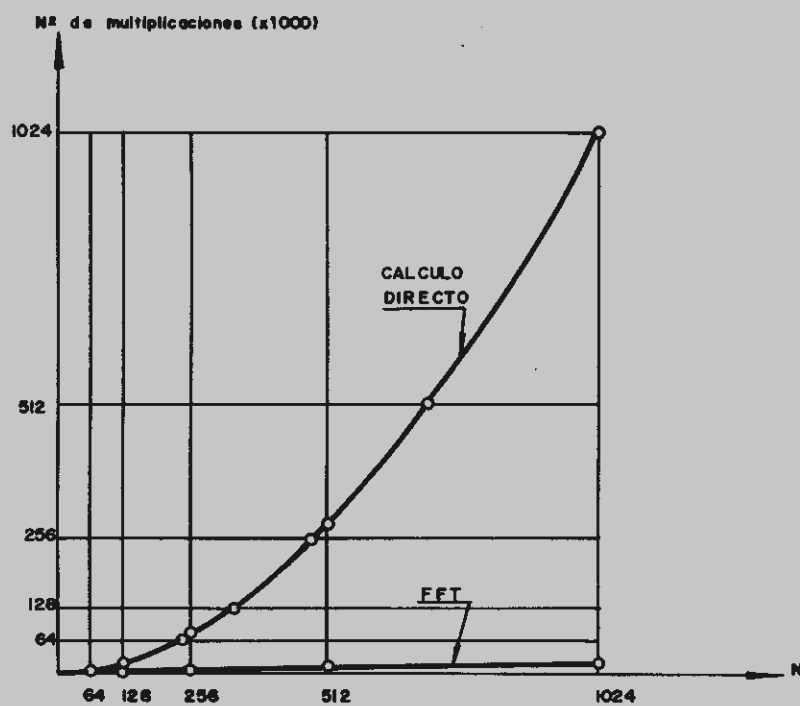


Fig. 2.1.8-1

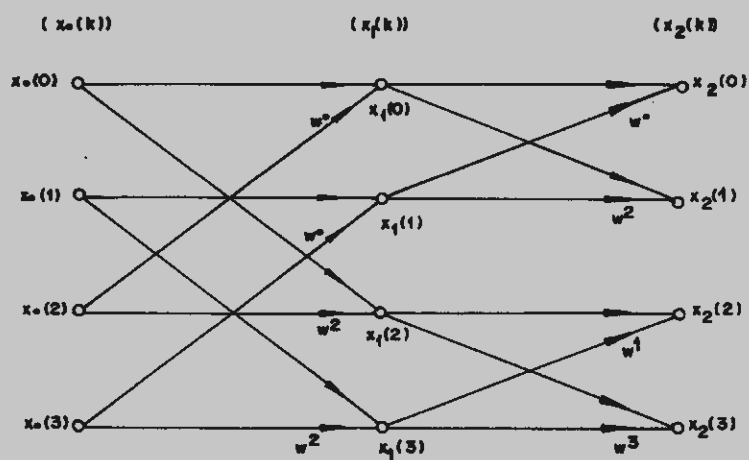
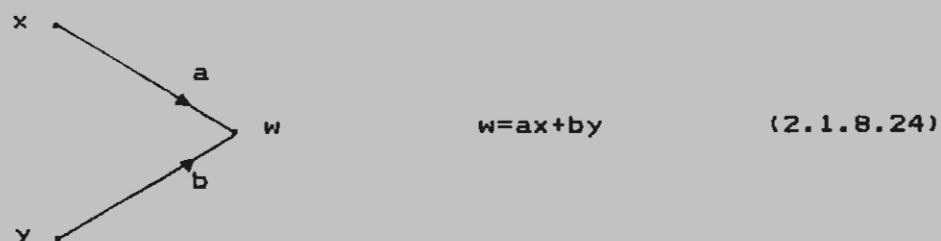


Fig. 2.1.8-2



ra  $N=4$ . En ella se representan las matrices por columnas verticales de puntos, siendo cada punto un elemento de la matriz; y donde las flechas indican operación de multiplicar por 1 si no indican valor o por  $W^p$  si lo indican.



Como ejemplo de este método podemos ver representado el gráfico de flujo de señal para  $N=16$  en la figura 2.1.8-3 donde se aprecia que un elemento situado en la fila  $k$  de la matriz  $[x_m(k)]$  es el resultado de operar con los elementos  $x_{m-1}(k)$  y  $x_{m-1}(k+L)$  de la matriz anterior  $[x_{m-1}(k)]$ , y el elemento  $x_m(k+L)$  tiene también como datos de partida los mismos elementos que la matriz anterior. Siendo

$$L = N/2^m = 2^{d-m} \quad (2.1.8.25)$$

se obtienen los datos de salida en orden normal, requiriéndose los de entrada en orden 'bitreverse'. Si se hace

$$L = 2^{m-1} \quad (2.1.8.26)$$

se pueden dar los datos de entrada en orden normal, pero los de salida se obtienen en orden 'bitreverse'.

Vemos pues que es posible realizar los cálculos 'in situ' es decir, operando dos elementos de una matriz con esta relación (elementos duales), y devolviendo los resultados a sus mismas posiciones de almacenamiento.

Expresando esto analíticamente:

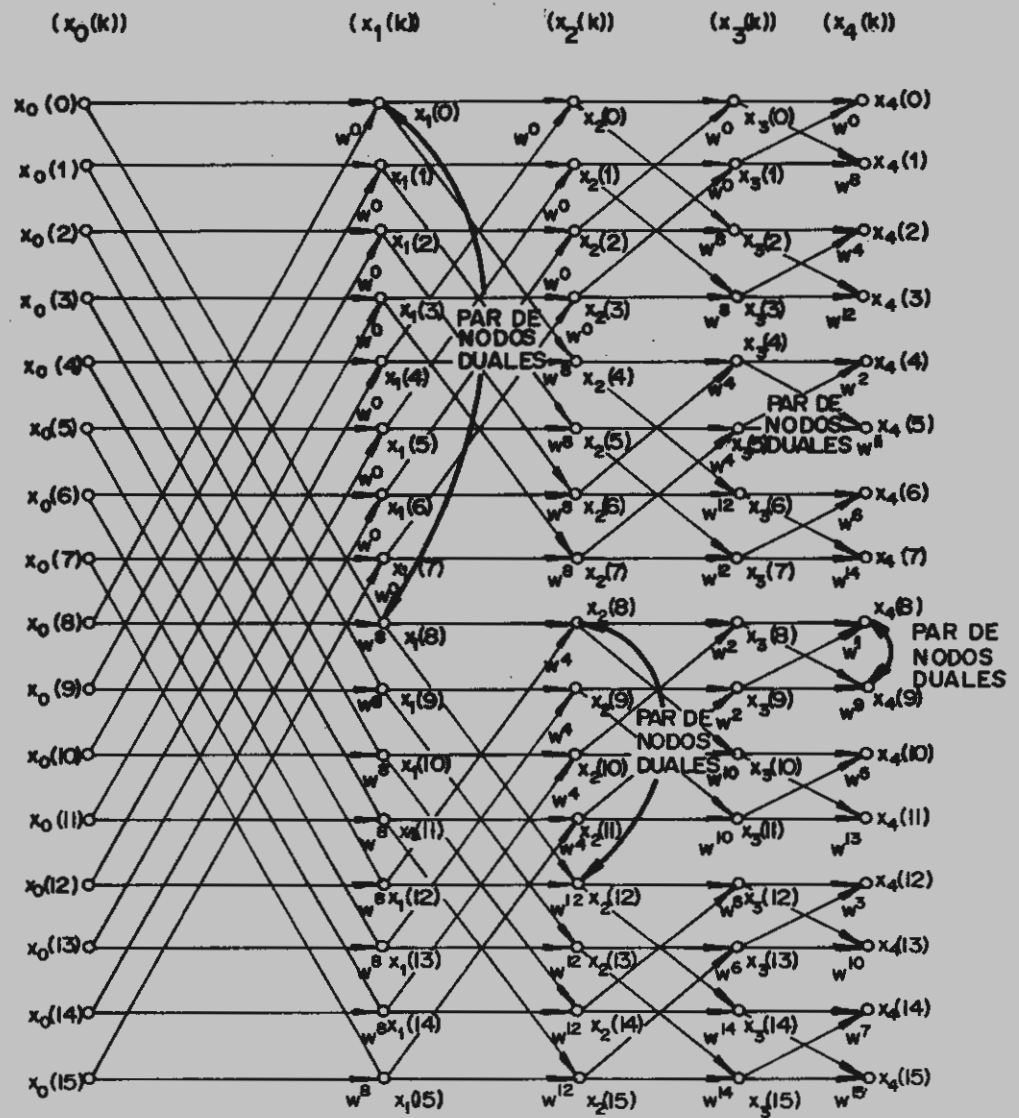


Fig. 2.1.8-3

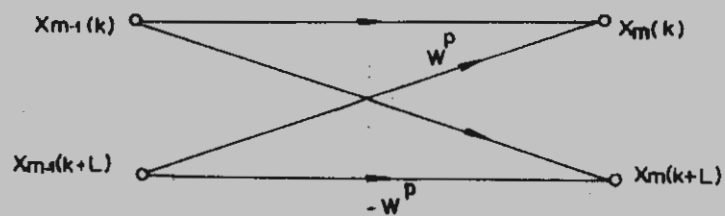


Fig. 2.1.8-4

$$\begin{aligned}x_m(k) &= x_{m-1}(k) + W^p x_{m-1}(k+L) \\x_m(k+L) &= x_{m-1}(k) - W^p x_{m-1}(k+L)\end{aligned}\tag{2.1.8.27}$$

siendo  $p$  el valor  $k$  en orden 'bitreverse'. Se ha utilizado la propiedad (2.1.8.4) para obtener

$$W^{p+N/2} = -W^p \tag{2.1.8.28}$$

A este esquema básico de cálculo de la FFT se le conoce como 'mariposa' por la similitud del gráfico con este animalito. (Ver figura 2.1.8-4).

El método de realización del algoritmo aparece ahora más claro: se trata de realizar sucesivamente  $N/2$  cálculos de mariposas para cada matriz, comenzando por  $[x_0(k)]$  y acabando por  $x_N(k)$ , que es la matriz resultado y a la que se deberá alterar posteriormente el orden de sus elementos. Se observa además que los elementos de la matriz de coeficientes se utilizan en orden bitreverse. Habrá pues que colocarlos previamente en ese orden. También aparece la necesidad del empleo de algún tipo de indexación para el valor de  $k$ , fila del elemento a calcular.

Veamos ahora someramente el proceso de reordenación de los elementos de la matriz resultado y de la matriz de coeficientes (véase la fig. 2.1.8-5).

Si llamamos  $k$  a la fila de un elemento, desde 0 a  $N-1$ , y escribimos este valor en binario, basta escribir este número intercambiando el orden de sus bits, es decir poniendo primero el último, segundo el penúltimo, y así sucesivamente, para obtener el valor  $p$  correspondiente a la fila donde debe estar el

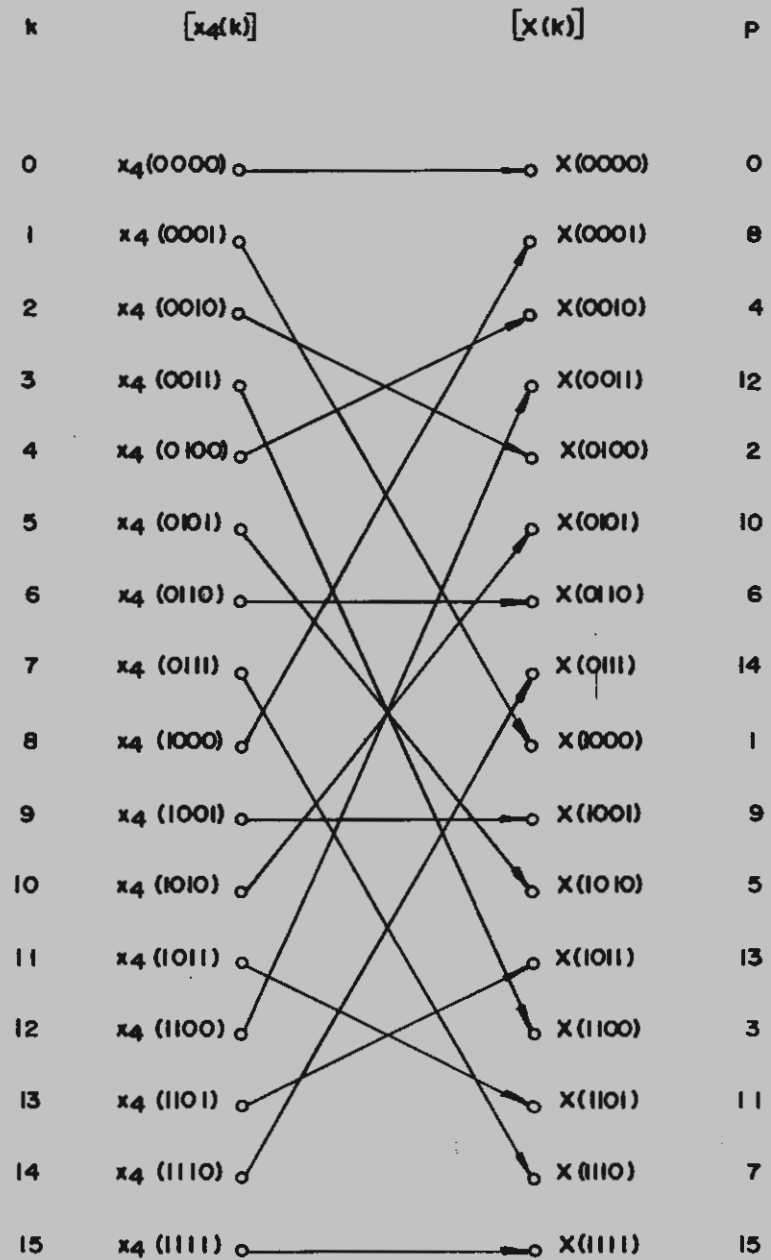


Fig. 2.1.8-5

Ejemplo de operación bit-reversing para N=16.

elemento de la fila  $k$ . De igual forma el elemento allí situado deberá ponerse en la fila  $k$ . Esto se hará para todas las filas mediante un proceso que controle si una fila ha sido ya intercambiada o no. El proceso anterior se denomina 'bitreversing'.

### Desarrollo teórico del algoritmo de Cooley-Tukey

Sea

$$X(n) = \sum_{k=0}^{N-1} x_0(k) W^{nk} \quad n=0,1,2,\dots,N-1 \quad (2.1.8.29)$$

donde

$$W = e^{-j2\pi/N} \quad (2.1.8.30)$$

Hagamos que  $N=2^\alpha$  con  $\alpha$  entero. Representemos  $k$  y  $n$  como números binarios:

$$k = (k_{\alpha-1}, k_{\alpha-2}, \dots, k_1, k_0) \quad (2.1.8.31)$$

$$n = (n_{\alpha-1}, n_{\alpha-2}, \dots, n_1, n_0) \quad (2.1.8.32)$$

o bien

$$k = 2^{\alpha-1}k_{\alpha-1} + 2^{\alpha-2}k_{\alpha-2} + \dots + 2k_1 + k_0 \quad (2.1.8.33)$$

$$n = 2^{\alpha-1}n_{\alpha-1} + 2^{\alpha-2}n_{\alpha-2} + \dots + 2n_1 + n_0 \quad (2.1.8.34)$$

donde  $k_i$  y  $n_i$  sólo pueden ser 1 ó 0.

Usando este tipo de representación, reescribamos (2.1.8.29) en la forma:

$$X(n_{\alpha-1}, n_{\alpha-2}, \dots, n_0) = \sum_{k_0=0}^1 \sum_{k_1=0}^1 \dots \sum_{k_{\alpha-1}=0}^1 x_0(k_{\alpha-1}, k_{\alpha-2}, \dots, k_0) W^p \quad (2.1.8.35)$$

donde

$$p = (2^{\alpha-1} n_{\alpha-1} + 2^{\alpha-2} n_{\alpha-2} + \dots + n_0) (2^{\alpha-1} k_{\alpha-1} + 2^{\alpha-2} k_{\alpha-2} + \dots + k_0) \quad (2.1.8.36)$$

como

$$W^{a+b} = W^a W^b \quad (2.1.8.37)$$

podemos reescribir  $W^p$  así

$$W^p = W(z^{\alpha-1} n_{\alpha-1} + z^{\alpha-2} n_{\alpha-2} + \dots + n_0, z^{\alpha-1} k_{\alpha-1}) * W(z^{\alpha-1} n_{\alpha-1} + \dots + n_0, z^{\alpha-2} k_{\alpha-2}) * \dots * W(z^{\alpha-1} n_{\alpha-1} + z^{\alpha-2} n_{\alpha-2} + \dots + n_0, k_0) \quad (2.1.8.38)$$

Consideremos el primer término de (2.1.8.38)

$$W(z^{\alpha-1} n_{\alpha-1} + \dots + n_0, z^{\alpha-1} k_{\alpha-1}) = W z^{\alpha} (z^{\alpha-2} n_{\alpha-1} k_{\alpha-1}) W z^{\alpha} (z^{\alpha-3} n_{\alpha-2} k_{\alpha-2}) \dots \\ W z^{\alpha} (n_1 k_{\alpha-1}) W z^{\alpha} (n_0 k_{\alpha-1}) = W z^{\alpha-1} (n_0 k_{\alpha-1}) \quad (2.1.8.39)$$

pues

$$W z^{\alpha} = W^N = (e^{-1} z \pi / N) N=1 \quad (2.1.8.40)$$

de igual forma, el segundo término de (2.1.8.38) se convierte en

$$W(z n_1 + n_0, z^{\alpha-2} k_{\alpha-2}) \quad (2.1.8.41)$$

Y siguiendo este proceso hasta el último término se llega a que (2.1.8.38) se puede escribir así:

$$X(n_{\alpha-1}, \dots, n_0) = \sum_{k_0=0}^1 \sum_{k_1=0}^1 \dots \sum_{k_{\alpha-1}=0}^1 X_0(k_{\alpha-1}, \dots, k_0) W^{z^{\alpha-1}(n_0 k_{\alpha-1})} \\ W(z n_1 + n_0) z^{\alpha-2} k_{\alpha-2} \dots W(z^{\alpha-1} n_{\alpha-1} + \dots + n_0) k_0 \quad (2.1.8.42)$$

Y de aquí, obtenemos el conjunto de ecuaciones

$$\left\{ \begin{aligned} x_1(n_0, k_{\alpha-2}, \dots, k_0) &= \sum_{k_{\alpha-1}=0}^1 x_0(k_{\alpha-1}, k_{\alpha-2}, \dots, k_0) W^{z^{\alpha-1}(n_0 k_{\alpha-1})} \\ x_2(n_0, n_1, k_{\alpha-3}, \dots, k_0) &= \sum_{k_{\alpha-2}=0}^1 x_1(n_0, k_{\alpha-2}, \dots, k_0) W(z n_1 + n_0) z^{\alpha-2} k_{\alpha-2} \\ &\dots \dots \dots (2.1.8.43) \\ x_{\alpha}(n_0, n_1, \dots, n_{\alpha-1}) &= \sum_{k_0=0}^1 x_{\alpha-1}(n_0, n_1, \dots, k_0) W(z^{\alpha-1} n_{\alpha-1} + z^{\alpha-2} n_{\alpha-2} + \dots + n_0) k_0 \\ X(n_{\alpha-1}, \dots, n_0) &= x_{\alpha}(n_0, \dots, n_{\alpha-1}) \end{aligned} \right.$$

que constituyen la formulación del algoritmo Radix 2 de Cooley-Tukey.

#### Esquema de una posible implementación del algoritmo

En la figura 2.1.8-6 se representa el diagrama de flujos de una posible implementación del algoritmo Radix 2 de Cooley-Tukey.



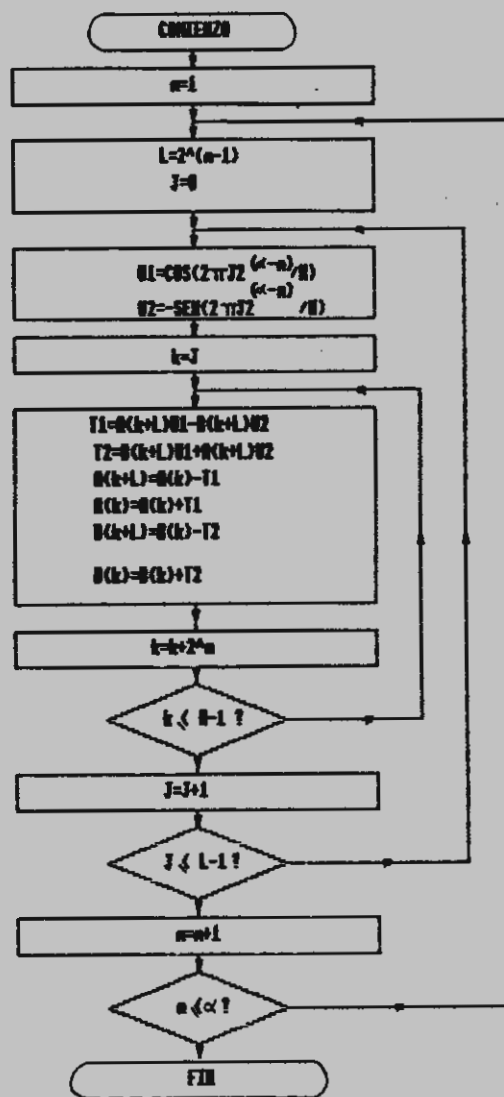


Fig. 2.1.8-6

Tukey.

En este flujograma se utilizan varios punteros:

- m es el número de la iteración, y su valor máximo es  $\alpha = \log_2(N)$ . Por iteración se entiende convertir la matriz  $[x_m(k)]$  en la  $[x_{m+1}(k)]$ .
- L indica la distancia en filas, de un elemento a su dual.
- J es el puntero de los coeficientes  $W_P$ .
- k es el puntero de fila de elemento.

Como el ordenador trabaja con números reales y no con complejos, se descomponen

$$W_P = W(J) = u_1 + ju_2 \quad (2.1.8.44)$$

$$[x_m(k)] = [A_m(k)] + j[B_m(k)] \quad (2.1.8.45)$$

Esta implementación requiere los datos de entrada en orden "bitreverse" y proporciona los datos de salida de orden normal.

### Otros algoritmos

Hasta este momento nos hemos basado en el algoritmo Radix-2 de Cooley-Tukey, encontrando dos posibles implementaciones, según los requerimientos en la presentación de datos. Estos dos algoritmos se conocen como algoritmos de decimación en el tiempo. Y se representan para  $N=8$  en las figuras 2.1.8-7 y 2.1.8-8.

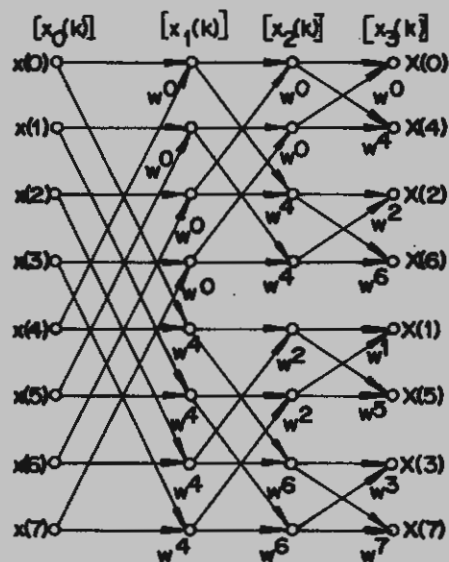


Fig. 2.1.8-7

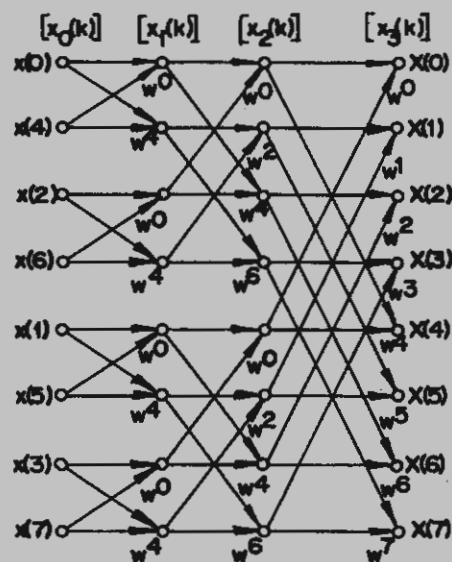


Fig. 2.1.8-8

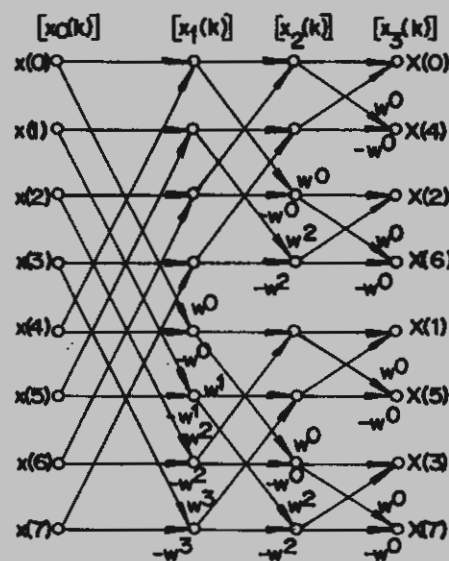


Fig. 2.1.8-9

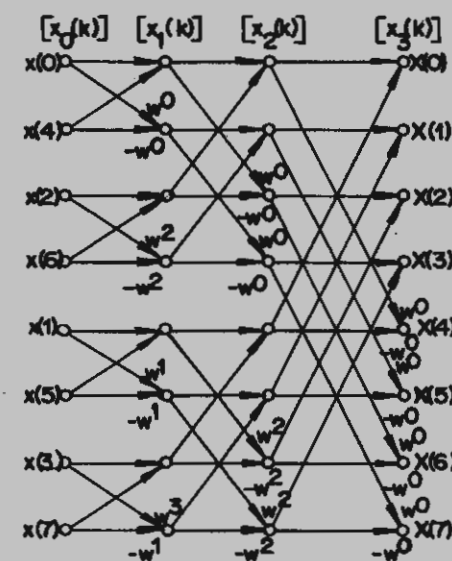


Fig. 2.1.8-10

Sande desarrolló un algoritmo que obtiene descomposiciones cada vez menores de  $X(n)$  en lugar de  $x(k)$  como hacen los algoritmos anteriores, obteniéndose así los algoritmos de decimación en frecuencia, que se muestran en las figuras 2.1.8-9 y 2.1.8-10 para  $N=8$ .

Estos 4 algoritmos se conocen como formas canónicas de la FFT, ya que cada uno de ellos aprovecha alguna propiedad particular de los datos manejados o del computador usado para tener una complejidad de cálculo mínima. En ellos los cálculos se realizan "in situ" y el sistema de indexación requerido es el más sencillo.

Una modificación no canónica consiste, por ejemplo, en tener datos de entrada y datos de salida en orden normal, como se muestra en la figura 2.1.8-11 para decimación en el tiempo y 2.1.8-12 para decimación en frecuencia.

Otra modificación consiste en reordenar el algoritmo en la forma propuesta por Singleton de manera que la geometría de cada etapa es idéntica, cambiando sólo las transmitancias de cada rama. Esto es más útil para memorias de tipo secuencial. Se representa en la fig. 2.1.8-13 para decimación en el tiempo y en la 2.1.8-14 para decimación en frecuencia.

Por último, sólo resta decir que existen algoritmos con raíz distinta de 2, concretamente con  $N=P_1P_2\dots P_m$  que no desarrollaremos aquí, pues no se utilizarán para el presente proyecto.

Otros algoritmos para el cálculo de la DFT, pero que no forman parte de la familia de algoritmos de FFT son el algoritmo de la transformada Z chirp que tiene una aplicación más amplia, y el algoritmo de Winograd, que reduce el número de

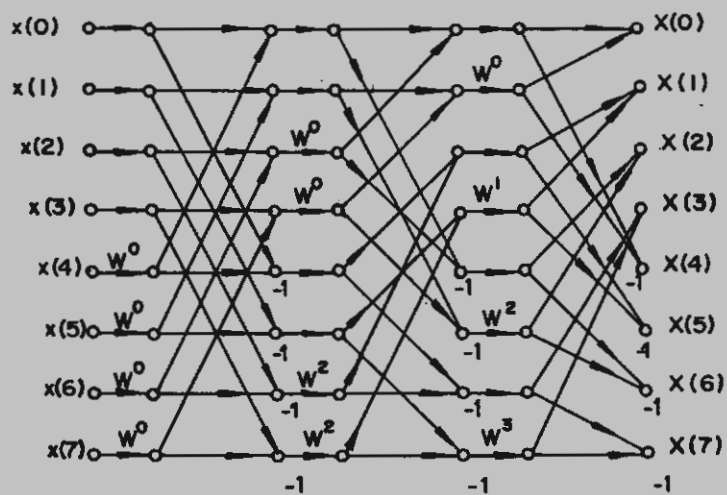


Fig. 2.1.8-II

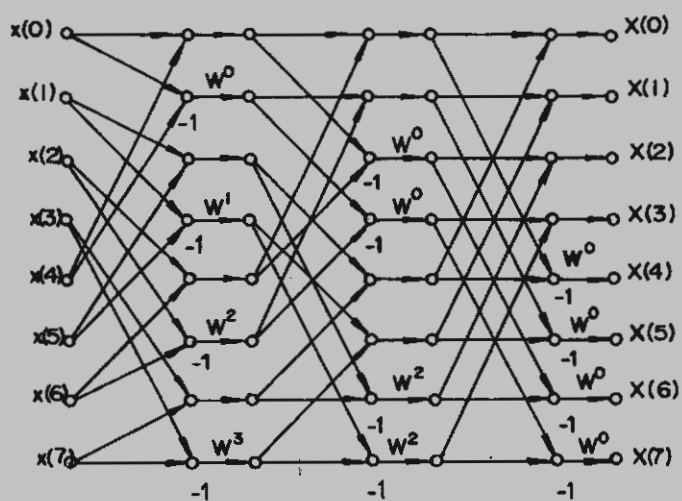


Fig. 2.1.8-12

multiplicaciones a base de incrementar el de adiciones, muy útil para procesadores cuyo tiempo de multiplicación sea mucho mayor que el de la suma.

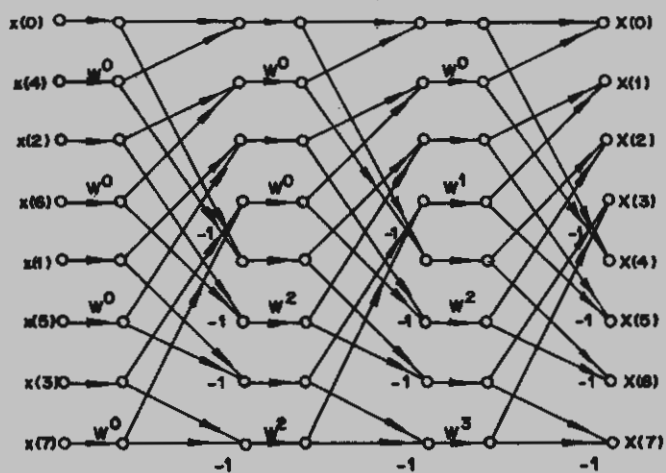


Fig. 2.1.8-13

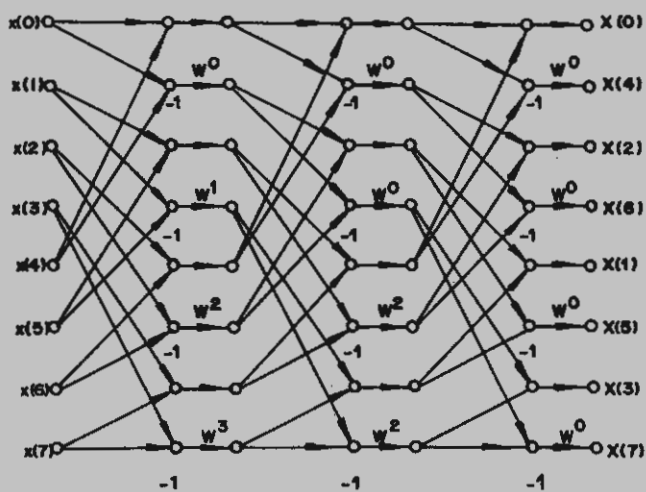


Fig. 2.1.8-14



### 2.1.8.2 Algoritmo de Bergland o algoritmo FIRVI

Cuando la señal de entrada  $x(k)$  es una señal del tiempo de valor real es posible mejorar la eficiencia de cálculo del algoritmo Radix 2 de Cooley-Tukey.

Para ello se pueden seguir dos caminos distintos. El primero de ellos consiste en utilizar el algoritmo convencional de FFT compleja en la siguiente forma:

Descomponemos  $x(k)$  en dos funciones  $h(k)$  y  $g(k)$  definidas así:

$$\begin{cases} h(k) = x(2k) \\ g(k) = x(2k+1) \end{cases} \quad k=0,1,\dots,N-1 \quad (2.1.8.46)$$

y formamos la función compleja:

$$y(k) = h(k) + jg(k) \quad k=0,1,\dots,N-1 \quad (2.1.8.47)$$

Calculamos la FFT de  $y(k)$  por el algoritmo complejo de FFT y obtenemos:

$$Y(n) = \sum_{k=0}^{N-1} y(k) W_N^{kn} = R(n) + jI(n) \quad n=0,1,\dots,N-1 \quad (2.1.8.48)$$

En estas condiciones, se cumple que

$$\begin{cases} X_r(n) = R(n)/2 + R(N-n)/2 + \cos(\pi n/N) [I(n)/2 + I(N-n)/2] - \\ \quad \sin(\pi n/N) [R(n)/2 - R(N-n)/2] \\ X_i(n) = I(n)/2 - I(N-n)/2 - \sin(\pi n/N) [I(n)/2 + I(N-n)/2] - \\ \quad \cos(\pi n/N) [R(n)/2 - R(N-n)/2] \end{cases} \quad (2.1.8.49)$$

para  $n=0,1,\dots,N-1$ , donde

$$X(n) = X_r(n) + jX_i(n) \quad (2.1.8.50)$$

es la DFT de  $x(k)$ .

Es decir, con poco más de tiempo que el de cómputo de la FFT de  $N$  puntos podemos calcular la FFT de  $2N$  puntos. Esto significa una reducción en tiempo de casi el 50%.

El segundo camino a seguir consiste en aprovechar las propiedades de las funciones reales para simplificar el algoritmo de FFT y adaptarlo a este tipo de señales. Este fue el camino propuesto por Edson: eliminar los cálculos que conduzcan a resultados redundantes. Glenn D. Bergland, de los laboratorios de la Bell Telephone Co. desarrolló estas ideas y publicó un algoritmo [3] que no sólo disminuye el tiempo de cálculo, sino que también preserva el orden y simetría que posee el algoritmo original de Cooley-Tukey.

Podemos dar al algoritmo de Cooley-Tukey una interpretación distinta.

Sea  $[x_i(k)]$  la matriz conteniendo los elementos resultado de una iteración intermedia del algoritmo, con  $i=0,1,\dots,\alpha$  donde  $\alpha = \log_2 N$ . Podemos pensar en  $[x_i(k)]$  como un conjunto de coeficientes de Fourier no normalizados formados de conjuntos de matrices  $[x_0(k)], [x_1(k)], \dots$  cada una con  $N$  elementos.

Los elementos de  $[x_0(k)]$  se pueden considerar como  $N$  representaciones distintas en serie de Fourier de un solo término de la componente continua de la función del tiempo. (Ver fig. 2.1.8-15).

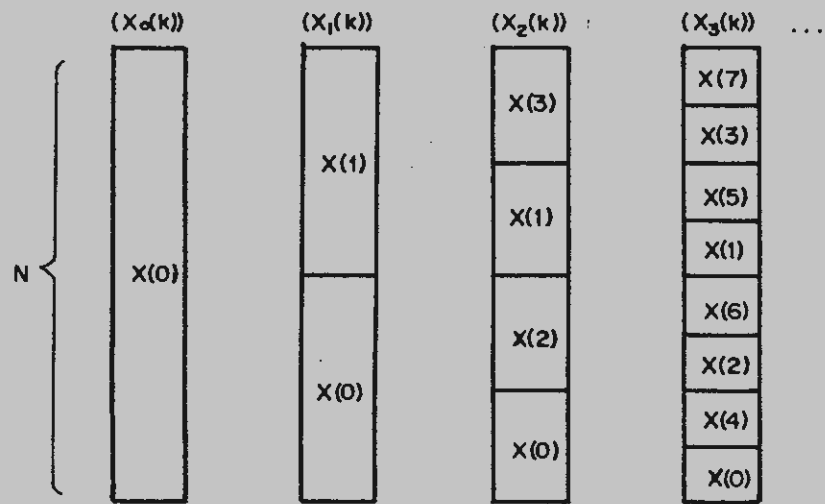


Fig.2.1.8-15

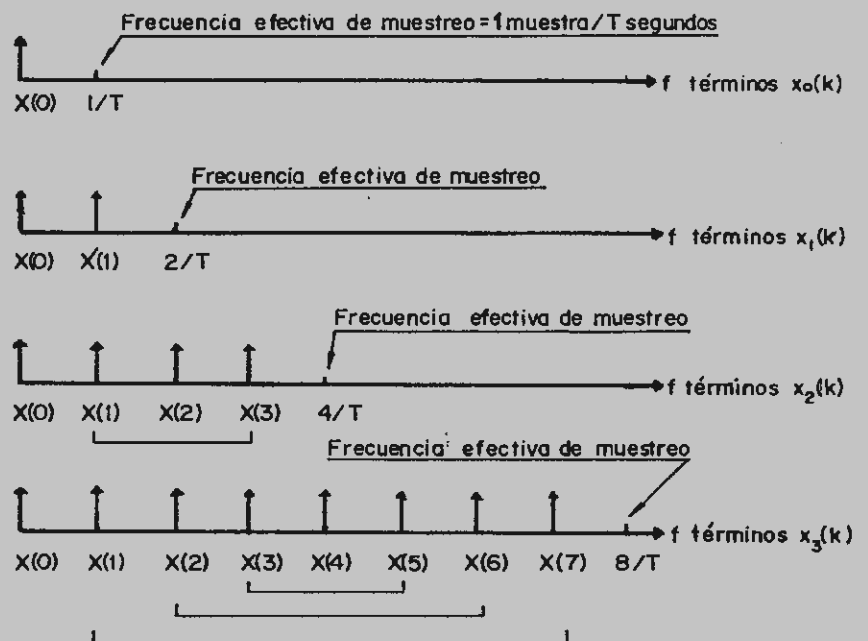


Fig. 2.1.8-16

Como se pueden interpretar como  $N$  estimaciones distintas de la continua, se les ha llamado  $X(0)$ .

Los elementos de  $[x_1(k)]$  son estimaciones de la componente continua y del primer armónico (coeficientes de Fourier  $X(0)$  y  $X(1)$ ) y se evalúan por  $N/2$  series de Fourier distintas de 2 términos.

De forma similar los términos de  $[x_2(k)]$  representan los coeficientes de Fourier  $X(0)$ ,  $X(1)$ ,  $X(2)$ ,  $X(3)$  en orden repetitivo obtenidos a partir de  $N/4$  series de Fourier de 4 términos y así sucesivamente.

Cada iteración da como resultado una matriz de  $N$  términos formada por la combinación de dos conjuntos de muestras intercaladas para formar dos veces el número de coeficientes de Fourier del conjunto inicial (a causa de que la frecuencia efectiva de muestreo se dobla en cada iteración).

Cuando la serie original del tiempo es real, se puede llegar a conclusiones muy interesantes. En la fig. 2.1.8-16 se representan las iteraciones sucesivas  $[x_0(k)]$ ,  $[x_1(k)]$ ,  $[x_2(k)]$  y  $[x_3(k)]$  como coeficientes de Fourier dibujados en función de la frecuencia.  $[x_0(k)]$  y  $[x_1(k)]$  constan sólo de números reales;  $[x_2(k)]$  tiene  $N/2$  números reales ( $X(0)$  y  $X(2)$ ) y  $N/2$  complejos ( $X(1)$  y  $X(3)$ ). Como en  $[x_2(k)]$  los términos del tercer armónico están por encima de la mitad de la frecuencia de muestreo efectiva, y como provienen de una serie real de muestras del tiempo, y basándonos en la propiedad 10 de la tabla 2.1.3-1, el conjunto de términos  $X(3)$  y  $X(1)$  son entre sí complejos conjugados y por lo tanto no es necesario hallarlos separadamente. Se necesita pues almacenar  $N/2$  números reales y  $N/4$  complejos, en total  $N$  lugares de almacenamiento.

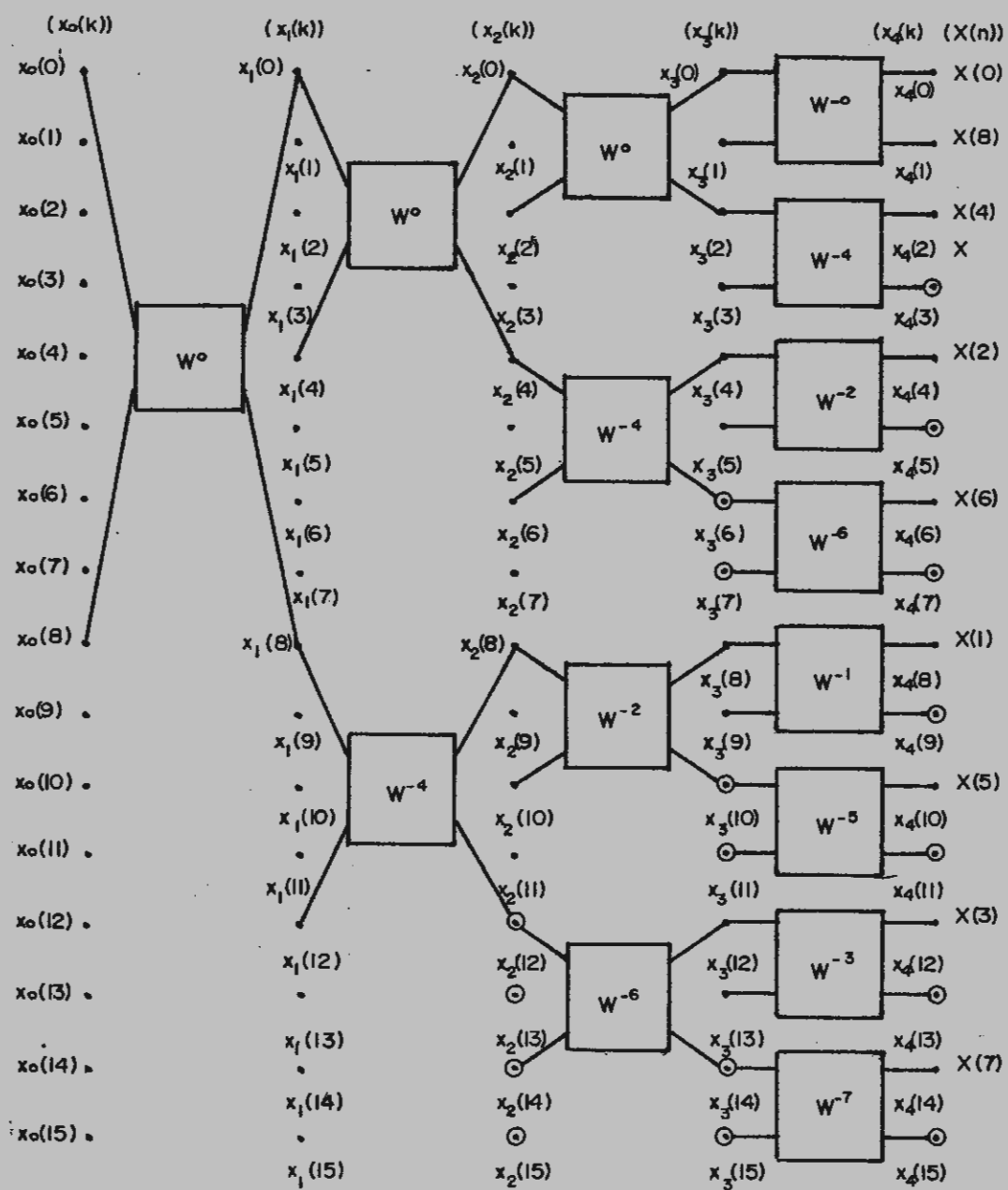


Fig. 2.1.8-18



Análogamente los valores de  $[x_3(k)]$  que representan los armónicos 5º, 6º y 7º son complejos conjugados de los armónicos 3º, 2º y 1º respectivamente. De nuevo sólo se necesita almacenar N valores: dos grupos de N/8 reales, y 3 grupos de N/8 complejos.

Este proceso continúa hasta la última etapa en la que hay N/2-1 coeficientes complejos de Fourier independientes y dos reales, formados por combinación de todas las muestras reales de la señal de entrada. Por ello sólo se necesitarán N lugares de almacenamiento en cada iteración, pues hay sólo N números independientes, N/2-1 complejos y dos reales. Como los resultados intermedios descartados se pueden formar en cualquier iteración por simple conjugación del valor almacenado apropiado, se puede implementar este proceso en un algoritmo.

Podemos partir del esquema del algoritmo complejo de Cooley-Tukey de la fig. 2.1.8-7 para modificarlo en el sentido anteriormente mencionado.

Recordemos la 'mariposa', bloque elemental de cálculo de este algoritmo (fig. 2.1.8-4), expresada por las ecuaciones (2.1.8.27). Si cambiamos la representación de la mariposa por la de la fig. 2.1.8-17, podemos representar el algoritmo complejo de Cooley-Tukey para  $N=16$  tal y como se muestra en la fig. 2.1.8-18, donde por claridad no se han dibujado las mariposas de igual valor de p y k correlativos de cada iteración, y además se han señalado los  $2^{m-1}-1$  términos redundantes en el sentido anteriormente visto, por  $\Theta$ , siendo m el número de la iteración:  $m=0,1,\dots,\log_2 N$ .

Definamos una mariposa para nuestro nuevo algoritmo cuyo diagrama complejo de flujos se representa en la fig. 2.1.8-19, donde \* indica conjugación, y -\* conjugación y cambio de signo.

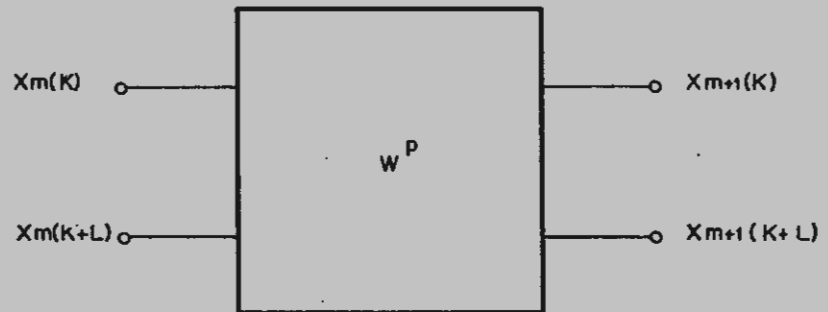


Fig. 2.1.8-17

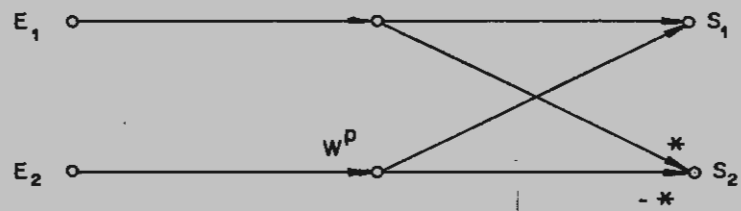


Fig. 2.1.8-19

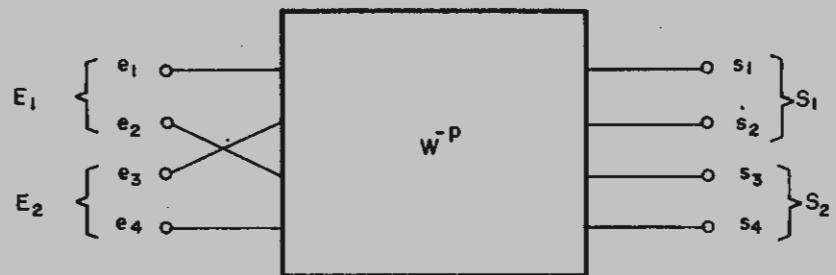


Fig. 2.1.8-20

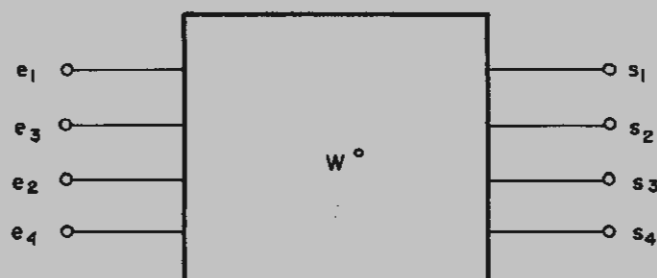


Fig. 2.1.8-22



no.

Las ecuaciones que definen esta nueva mariposa son:

$$\begin{cases} S_1 = E_1 + E_2 W^P \\ S_2 = E_1^* - (E_2 W^P)^* = (E_1 - E_2 W^P)^* \end{cases} \quad (2.1.8.51)$$

Separemos los números complejos en sus partes real e imaginaria

$$\begin{cases} E_1 = e_1 + j e_2 \\ E_2 = e_3 + j e_4 \end{cases} \quad (2.1.8.52)$$

$$\begin{cases} S_1 = s_1 + j s_2 \\ S_2 = s_3 + j s_4 \end{cases} \quad (2.1.8.53)$$

$$\begin{cases} W^P = u_1 + j u_2 \\ u_1 = \cos(2\pi p/N) \\ u_2 = -\sin(2\pi p/N) \end{cases} \quad (2.1.8.54)$$

Podemos dibujar la nueva mariposa como se muestra en la fig.2.1.8-20.

Operando en (2.1.8.51) tenemos:

$$\begin{aligned} s_1 + j s_2 &= (e_1 + j e_2) + (u_1 + j u_2)(e_3 + j e_4) = \\ &= (e_1 + u_1 e_3 - u_2 e_4) + j (e_2 + u_1 e_4 + u_2 e_3) \end{aligned} \quad (2.1.8.52)$$

$$\begin{aligned} s_3 + j s_4 &= (e_1 + j e_2)^* - (e_3 + j e_4)(u_1 + j u_2)^* = \\ &= (e_1 - u_1 e_3 + u_2 e_4) + j (-e_2 + u_1 e_4 + u_2 e_3) \end{aligned} \quad (2.1.8.53)$$

es decir:

$$\begin{cases} S_1 = e_1 + u_1 e_3 - u_2 e_4 = e_1 + \text{AUX1} \\ S_2 = e_2 + u_1 e_4 + u_2 e_3 = e_2 + \text{AUX2} \\ S_3 = e_1 - u_1 e_3 + u_2 e_4 = e_1 - \text{AUX1} \\ S_4 = -e_2 + u_1 e_4 + u_2 e_3 = -e_2 + \text{AUX2} \end{cases} \quad (2.1.8.54)$$

donde

$$\begin{cases} \text{AUX1} = u_1 e_3 - u_2 e_4 \\ \text{AUX2} = u_1 e_4 + u_2 e_3 \end{cases} \quad (2.1.8.55)$$

Transformemos ahora el diagrama 2.1.8-18, aplicando este nuevo tipo de mariposas, en el de la fig. 2.1.8-21.

Se observa que los lugares donde habla términos redundantes se han utilizado para poner la parte imaginaria de los términos complejos no redundantes. Así  $x_2(12)$ ,  $x_2(13)$ ,  $x_2(14)$ ,  $x_2(15)$  que son redundantes, se han sustituido por la parte compleja de  $A_2(8)$ ,  $A_2(9)$ ,  $A_2(10)$  y  $A_2(11)$  respectivamente, y se han representado como  $Ix_2(8)$ ,  $Ix_2(9)$ ,  $Ix_2(10)$  e  $Ix_2(11)$ . En las iteraciones siguientes sucede algo similar, de forma que sólo se almacenan  $N$  valores: los no redundantes. Esto hace que el ordenamiento de los resultados intermedios y final difiera del algoritmo de Cooley-Tukey.

Denominaremos mariposas triviales a aquellas en que  $p=0$  y mariposas no triviales a las demás. Se observa que las mariposas triviales tienen como entradas sólo partes reales, mientras que las mariposas no triviales tienen un par de números complejos a la entrada y otro par a la salida. El orden de las entradas es diferente para cada mariposa. El esquema que vimos en la fig. 2.1.8-20 corresponde a las mariposas no triviales. En las mariposas triviales se intercambian las entradas  $e_2$  y  $e_3$ . Además, como  $W^2=1$ , las ecuaciones (2.1.8.54) se reducen a:

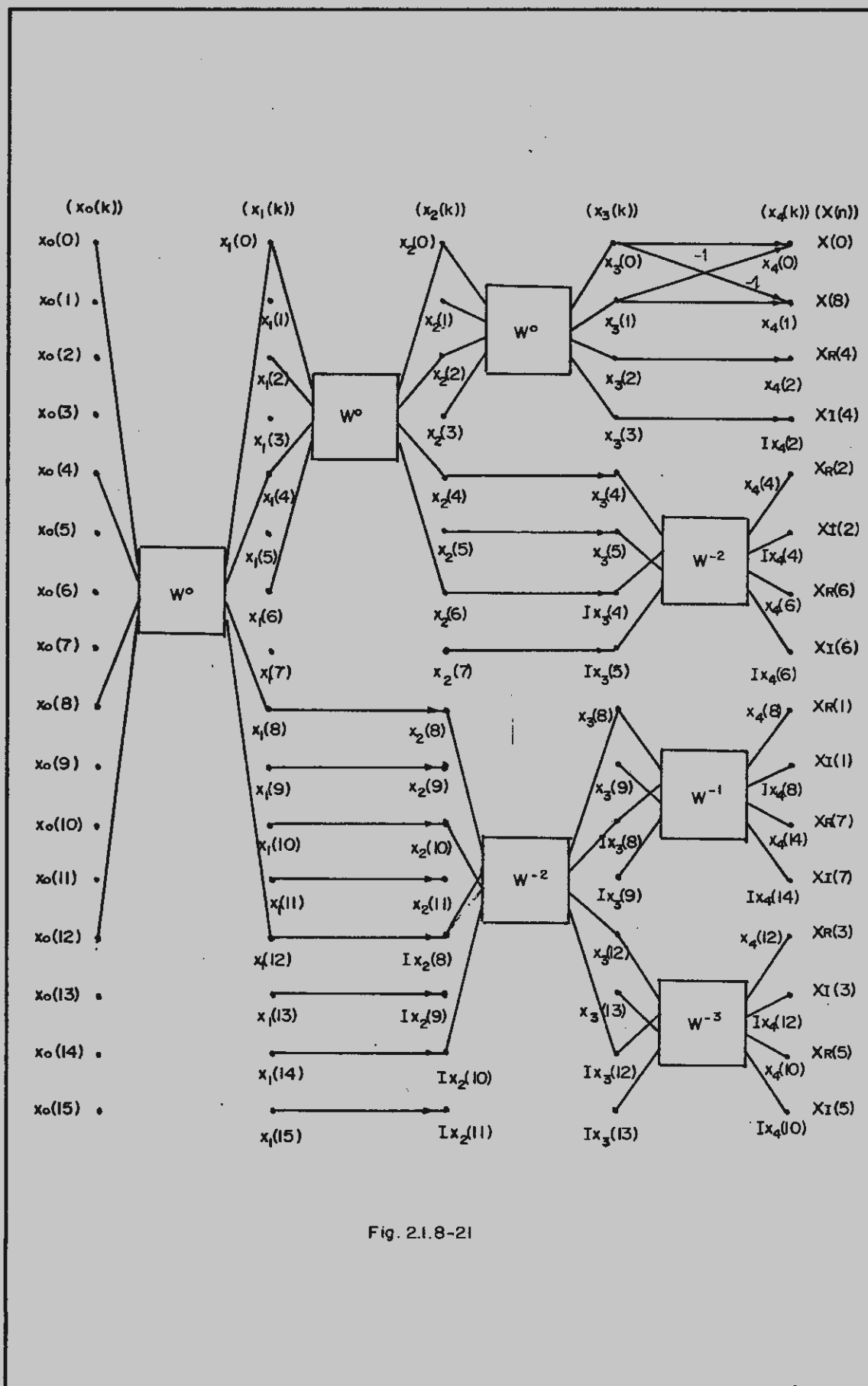


Fig. 2.1.8-21

$$\begin{cases} s_1 = e_1 + e_3 \\ s_2 = e_2 + e_4 \\ s_3 = e_1 - e_3 \\ s_4 = -e_2 + e_4 \end{cases} \quad (2.1.8.56)$$

y el esquema de la mariposa se utiliza como se muestra en la fig. 2.1.8-22.

Tambi n se puede observar que en cada iteraci n posterior a la primera hay resultados que no se alteran, es decir, se pueden adelantar a esas etapas c lculos realizados en iteraciones posteriores. De esta forma al final eliminamos una iteraci n casi por completo, quedandose reducida a una s la suma y una resta. Otra cosa interesante es que, gracias a las mariposas empleadas, los resultados se obtienen con los signos apropiados.

Podemos dibujar ya de forma m s compacta el gr fico del algoritmo FTRVI para  $N=16$ , bas ndonos en las observaciones anteriores, tal y como se representa en la fig. 2.1.8-23. En ella se ha cambiado la notaci n  $x_i(k)$  por  $B_i(k)$  para diferenciar los resultados intermedios de los de Cooley-Tukey.

Este algoritmo tiene las siguientes propiedades:

1. Los coeficientes de Fourier redundantes de cada iteraci n no se calculan ni se almacenan (los que est n por encima de la mitad de la frecuencia efectiva de muestreo).
2. Los resultados intermedios se emplean y almacenan de una forma regular y f cilmente implementable.
3. Las partes real e imaginaria de los coeficientes finales de Fourier quedan situados en posiciones adyacentes.
4. S lo se requieren  $N$  posiciones de almacenamiento real durante el c lculo. En ellos se sit an los puntos de entrada

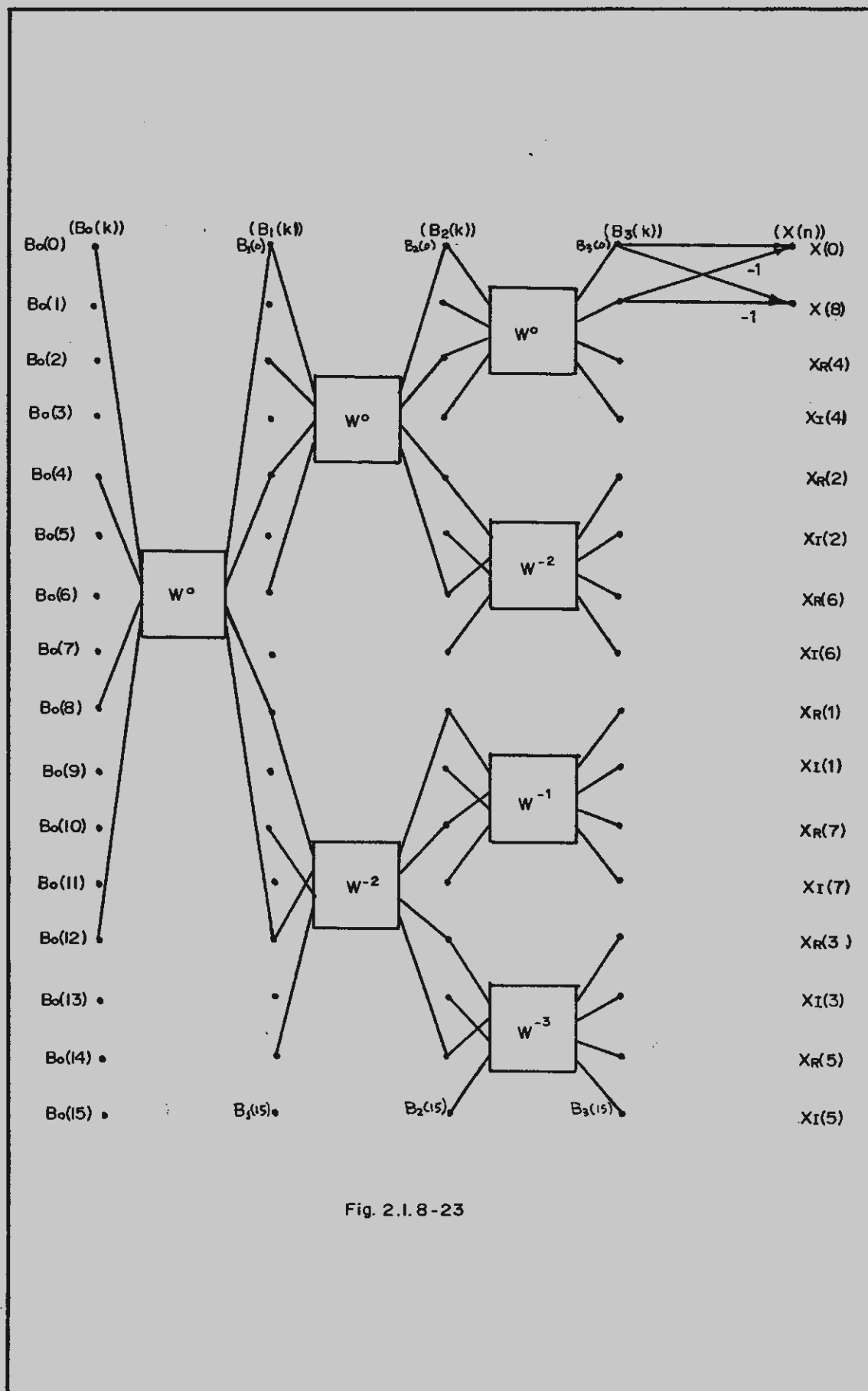


Fig. 2.I.8-23

y se obtienen los resultados finales.

5. El elemento básico de cálculo o 'mariposa' es siempre el mismo a lo largo del algoritmo. Sólo cambia el orden de acceso cuando los operandos son reales.

6. Las potencias de  $W$  se utilizan siempre en el mismo orden para cada iteración.

7. Sólo se requieren  $\alpha-1$  iteraciones completas (siendo  $N=2^\alpha$ ), es decir,  $\log_2(N-1)$ .

8. La única desventaja del algoritmo es que los resultados quedan en un orden no natural ('scrambled order') que hay que modificar bien mediante un algoritmo, bien mediante tablas de reordenamiento (más rápido pero requiere almacenar  $N/2$  valores).

#### Desarrollo analítico del algoritmo FTRVI

Sea la serie compleja de Fourier

$$X(n) = \sum_{k=0}^{N-1} B_0(k) W^{-nk} \quad (2.1.8.57)$$

donde  $W = e^{2\pi j/N}$ ,  $B_0(k)$  es real,  $n=0,1,\dots,N/2$  y  $N=2^\alpha$ .

Si  $k$  se expresa en la forma:

$$k = k_{\alpha-1} 2^{\alpha-1} + \dots + k_1 2^1 + k_0 \quad (2.1.8.58)$$

las  $N$  posiciones originales de almacenamiento de los  $B_0(k)$  se pueden reetiquetar así:

$$B(k_{\alpha-1}, \dots, k_1, k_0) \quad (2.1.8.59)$$

donde los  $k_i$  pueden ser 0 o 1.

Es conveniente definir la siguiente notación:

$$\begin{aligned} \hat{B}_m(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} a_1, a_0 \\ b_1, b_0 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) = \\ = B_m(k_{\alpha-1}, \dots, k_{\alpha-m+1}, a_1, a_0, k_{\alpha-m-2}, \dots, k_1, k_0) + \\ + j B_m(k_{\alpha-1}, \dots, k_{\alpha-m+1}, b_1, b_0, k_{\alpha-m-2}, \dots, k_1, k_0) \end{aligned} \quad (2.1.8.60)$$

ya que a cada mariposa acceden 4 elementos, diferenciados por los bits  $a_1, a_0, b_1, b_0$ . El subíndice  $m$  indica que esos valores son los resultados de la  $m$ -ésima iteración del algoritmo. Vamos a expresar mediante esta notación las ecuaciones de una mariposa trivial:

$$\begin{aligned} \hat{B}_m(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 0, 0 \\ 0, 1 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) = \\ = \hat{B}_{m-1}(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 0, 0 \\ 0, 1 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) + \\ + \hat{B}_{m-1}(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 1, 0 \\ 1, 1 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) W(k_{\alpha-1}, \dots, k_{\alpha-m+1}) \end{aligned} \quad (2.1.8.61)$$

$$\begin{aligned} \hat{B}_m(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 1, 0 \\ 1, 1 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) = \\ = \hat{B}_m^*(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 0, 0 \\ 0, 1 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) - \\ - \hat{B}_m^*(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 1, 0 \\ 1, 1 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) W^*(k_{\alpha-1}, \dots, k_{\alpha-m+1}) \end{aligned} \quad (2.1.8.62)$$

en todas las ecuaciones anteriores se cumple que:

$$k_{\alpha-1} = k_{\alpha-2} = \dots = k_{\alpha-m+1} = 0 \quad \text{donde } m=1, 2, \dots, \alpha-1 \quad (2.1.8.63)$$

Como  $W(0)$  es realmente 1, la multiplicación se puede eliminar, aunque se ha incluido en las ecuaciones por simetría



con las mariposas no triviales.

Las ecuaciones correspondientes no triviales son:

$$\begin{aligned} \hat{B}_m(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 0, 0 \\ 0, 1 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) = \\ = \hat{B}_{m-1}(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 0, 0 \\ 1, 0 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) + \\ + \hat{B}_{m-1}(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 0, 1 \\ 1, 1 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) W(k_{\alpha-1}, \dots, k_{\alpha-m+1}) \end{aligned} \quad (2.1.8.64)$$

$$\begin{aligned} \hat{B}_m(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 1, 0 \\ 1, 1 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) = \\ = \hat{B}_m^*(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 0, 0 \\ 1, 0 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) - \\ - \hat{B}_m^*(k_{\alpha-1}, \dots, k_{\alpha-m+1}, \begin{pmatrix} 0, 1 \\ 1, 1 \end{pmatrix}, k_{\alpha-m-2}, \dots, k_1, k_0) W^*(k_{\alpha-1}, \dots, k_{\alpha-m+1}) \end{aligned} \quad (2.1.8.65)$$

con  $m=1, 2, \dots, \alpha-1$

La transformación de Fourier se completa reemplazando  $B_{\alpha-1}(0)$  y  $B_{\alpha-1}(1)$  por su suma y diferencia respectivamente. Si la componente a la frecuencia de Nyquist es nula, se puede sustituir  $B_{\alpha-1}(0)$  por el doble, y  $B_{\alpha-1}(1)$  por cero. Todos los resultados obtenidos tienen un factor de escala de  $N/2$  respecto a los de la DFT.

Los términos  $B_{\alpha-1}(k_{\alpha-1}, \dots, k_2, k_1, \begin{pmatrix} 0 \\ 1 \end{pmatrix})$  salvo  $B_{\alpha-1}(0)$  y  $B_{\alpha-1}(1)$  representan los coeficientes complejos de Fourier de la serie original  $B_0(k)$ . El término  $B_{\alpha-1}(0)$  es un número real que representa la componente continua y  $B_{\alpha-1}(1)$  representa el armónico  $N/2$ -ésimo.

Nótese que el argumento de  $W$  no representa el exponente a que debe elevarse  $W$ , sino la posición dentro de una tabla de

N :	8	16	32	64	128	256
	0	0	0	0	0	0
	1	2	4	8	16	32
		1	2	4	8	16
		3	1	12	24	48
			7	14	28	56
			3	6	12	24
			5	10	20	40
				1	2	4
				15	30	60
				7	14	28
				9	18	36
				3	6	12
				13	26	52
				5	10	20
				11	22	44
					1	2
					31	62
					15	30
					17	34
					7	14
					23	46
					3	6
					29	58
					13	26
					19	38
					5	10
					27	54
					11	22
					21	42
						1
						63
						31
						33
						15
						49
						17
						47
						7
						57
						25
						39
						9
						55
						23
						41
						3
						61
						29
						35
						13
						51
						19
						45
						5
						59
						27
						37
						11
						53
						21
						43

Fig. 2.1.8-24

de  $N/4$  valores, donde está almacenado el exponente correcto. Recuerdese que en el algoritmo de Cooley-Tukey ocurría algo similar ya que el exponente real era el argumento con sus bits invertidos. En este caso el orden es diferente y además sólo se requieren  $N/4$  coeficientes complejos, los cuales incluso se podrían reducir a  $N/8$ , pero se requiere una indexación extra, lo que alarga el tiempo de ejecución. La tabla de reordenamiento de coeficientes se representa en la fig. 2.1.8-24 para valores de  $N$  de hasta 256, pero es fácil construirla para cualquier valor de  $N$  por el procedimiento siguiente:

1- Los valores de posición impar ( $1^\circ$ ,  $3^\circ$ , etc) son la secuencia anterior.

2- Los valores de posición par se forman restando del número de términos total a obtener,  $(N/4)$ , el valor impar anterior obtenido, salvo para el término segundo, que es igual al segundo término de la secuencia anterior multiplicado por dos.

La tabla así construida se utiliza en todas las iteraciones y de forma secuencial.

Los resultados del algoritmo quedan también desordenados en un orden especial distinto del anterior. El método más fácil de reordenamiento es por una tabla de coeficientes tal y como la que se muestra en la fig. 2.1.8-25.

El método para construirlas es fácil:

1- Se multiplican los coeficientes de la serie anterior por 2 y quedan en los primeros puestos.

N :	2	4	8	16	32	64
	0	0	0	0	0	0
		1	2	4	8	16
			1	2	4	8
				3	6	12
				5	10	20
					1	2
					11	22
					7	14
					15	30
					3	6
					13	26
					5	10
					9	18
						1
						19
						11
						27
						7
						31
						15
						23
						3
						21
						13
						29
						5
						25
						9
						17

Fig. 2.1.8-25

2- El siguiente coeficiente es el 1.

3- El siguiente coeficiente es igual al coeficiente anterior al 1 pero sumándole 1. El siguiente igual al coeficiente anterior al anterior al 1, más 1, y así sucesivamente hasta completar los N coeficientes.

### Extensiones

Se pueden efectuar variaciones al algoritmo anterior, por ejemplo en el sentido de cambiar el orden de las muestras de entrada para tener los coeficientes W en orden ascendente, o bien para obtener los resultados en orden normal, si bien la implementación no es tan eficaz.

También se puede aplicar una versión modificada del algoritmo para realizar la transformación inversa.

Otras modificaciones consisten en tomar un N con raíz distinta de 2 ( $N = \text{Raiz}^m$ ). El método seguido es muy similar.

### Posible implementación del algoritmo

En la fig. 2.1.8-26 se representa un diagrama de flujos de una posible implementación del algoritmo FTRVI. En él se observa una ramificación en dos partes, una encargada de realizar las mariposas no triviales y otra encargada de las más sencillas mariposas triviales, que no incluyen multiplicaciones, lo que reduce enormemente el tiempo de cálculo.

Los valores de los coeficientes W se encuentran almacenados en tablas en el orden en que se van a utilizar en cada i-

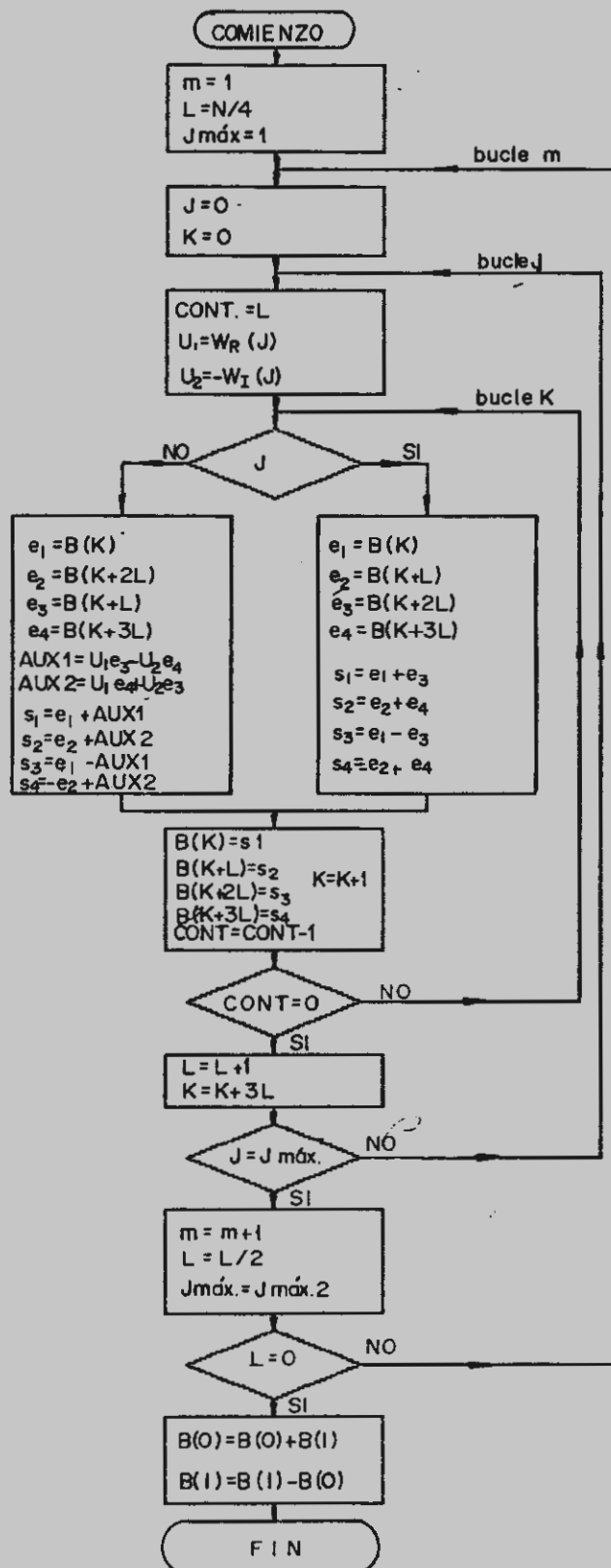


Fig. 2.1.8-26

teración. También se precisan tablas si se desea reordenar los valores de salida. Estas tablas son idénticas a las mencionadas anteriormente.

Se utilizan varios punteros: para señalar la posición de comienzo  $k$  de la mariposa, la distancia  $L$  entre entradas, el valor del coeficiente  $W$  y el número  $m$  de la iteración en que se está.

### Conclusión

Este algoritmo será el que realmente se utilice para el sistema objeto del presente proyecto. Su implementación software se estudiará con mayor detalle posteriormente.

Como se ha podido comprobar anteriormente, la mejora en tiempo de cálculo del algoritmo FTRVI frente al Radix-2 de Cooley-Tukey es del orden del 100%, y si se utiliza el algoritmo con rutinas separadas para mariposas triviales y mariposas no triviales, aún más. Podemos ver la diferencia de tiempos que hay entre estos dos algoritmos para distintos valores de  $N$  en la tabla de la fig. 2.1.8-27.



Tiempos de ejecución				
N	Cooley-Tukey		FTRVI	
	8085	9995	8085	9995
32	16 mseg	7 mseg	6 mseg	2 mseg
64	39 mseg	17 mseg	16 mseg	6 mseg
128	92 mseg	40 mseg	40 mseg	16 mseg
256	209 mseg	92 mseg	95 mseg	37 mseg
512	500 mseg	207 mseg	223 mseg	87 mseg

Fig. 2.1.8-27

### 2.1.9 Efectos de la longitud finita de registros en la FFT

#### Introducción

El procesamiento digital de una señal obliga a trabajar con secuencias de valores numéricos en formato binario, y con una longitud finita de registros.

En un sistema como el propuesto en el presente proyecto, se presentan diferentes manifestaciones de efectos de longitud finita de registros: el convertidor analógico/digital produce un número finito de posibles valores de salida, lo que se traduce en un ruido de cuantificación. El convertidor D/A de salida también introduce ruido de cuantificación si el número de bits es menor que el de la palabra resultado. Los valores manejados tienen una longitud fija de bits (concretamente 16), lo que introduce otro error o ruido de cuantificación. El hecho de realizar un algoritmo con multiplicaciones hace que en cada operación sea necesario redondear o truncar los resultados, ya que se trabajará con aritmética de punto fijo y en formato binario de complemento a dos. También es necesario prevenir el desbordamiento (overflow) en los cálculos, y para ello efectuar algún tipo de escalado previo. Todo ello introduce otro ruido que denominaremos de truncadura de multiplicaciones y escalado.

Por último, tenemos un tercer efecto de ruido de cuantificación debido al empleo de coeficientes  $W$  de precisión finita.

En los siguientes apartados trataremos de todos estos fe-

nómenos de forma separada y estudiaremos el efecto conjunto en que se traduce, que es una disminución del margen dinámico efectivo del procesador de FFT.

### Representación de números y su efecto en la cuantificación.

Un número se representa en un uP en forma de una secuencia de dígitos binarios. Igual que con números decimales se pueden representar números no enteros separando parte entera y parte decimal por el punto o coma decimal. Según este punto ocupe una posición fija o no, tendremos representación por punto fijo o punto flotante, respectivamente.

Nosotros trabajaremos con aritmética de punto fijo por el hecho de usar hardware no especializado en aritmética de punto flotante. Por otra parte, implementar esta última por software haría que se perdiera velocidad de ejecución, y éste es uno de los principales parámetros que se desea optimizar.

La operación de sumar dos números de  $n$  bits da como resultado otro número de  $n$  bits, independientemente del lugar del punto decimal. El único problema que se puede presentar en la suma es que se produzca overflow en el resultado. Para prevenirlo hay que garantizar que el valor absoluto de los sumandos sea menor o igual que la mitad del valor máximo absoluto representable. Si hay varias sumas consecutivas, las entradas deberán ser menores que el valor absoluto máximo de entrada dividido por el número de entradas consecutivas.

La operación de la multiplicación ocasiona problemas diferentes. El producto de dos números de  $b$  bits es un número de

2b bits. Si se trabaja con longitud fija de b bits, es necesario truncar el resultado a b bits, redondeando bien por exceso bien por defecto. Aquí ya sí es importante conocer la posición del punto decimal. Si éste está a la derecha del último bit (números enteros), tendremos que prevenir el overflow en el resultado reduciendo el valor absoluto máximo en cada entrada a la raíz cuadrada del valor absoluto máximo de salida, y si hay n multiplicaciones encadenadas, a la raíz enésima de ese valor. Si los números a multiplicar se mantienen menores o iguales a uno (punto decimal a la izquierda del primer bit no de signo) el resultado nunca podrá exceder al valor absoluto máximo de entrada y no será necesario prevenir el overflow. Se cometerá por supuesto error de truncadura con o sin redondeo.

Dependiendo de la situación del punto decimal será necesario desplazar los bits del resultado, para obtener el valor correcto.

Así por ejemplo, si el punto decimal está tras el bit de signo (ver fig. 2.1.9-1).

Cada bit de los registros a multiplicar se convierte en dos bits del resultado. El bit de signo no es inmune a este proceso y el resultado es que el primer bit será siempre cero, estando el punto decimal tras el siguiente bit, el de signo. Luego antes de truncar es preciso normalizar esta situación, para no perder la precisión de b bits significativos, desplazando lógicamente hacia la izquierda 1 bit.

En general, si el punto decimal está situado a la derecha del bit n-simo (contando el bit de signo) el resultado de la multiplicación habrá que normalizarlo mediante un desplaza-

miento lógico de  $n$  bits hacia la izquierda, para no perder precisión.

En nuestro caso, el punto decimal estará justo a la derecha del bit de signo, así que después de cada multiplicación habrá que efectuar un desplazamiento lógico hacia la izquierda de 1 bit (multiplicación por 2).

Los números negativos se pueden representar en valor absoluto y signo, complemento a 1 o complemento a 2. Se usará este último método por ser más fácil de manejo por el uP.

#### Ruido de cuantificación A/D

Como ya se ha mencionado, el número de valores posibles de salida de un convertidor A/D es finito, así que en la salida vendrá introducido un cierto ruido de cuantificación.

Si la salida del convertidor está en aritmética de complemento a 2, o bien se convierte a ésta, la característica de transferencia del convertidor A/D es la que se presenta en la fig. 2.1.9-2 donde hemos normalizado la entrada a  $\pm 1$  y  $b$  es el número de bits del convertidor, menos uno (signo). La función densidad de probabilidad de error se representa en la fig. 2.1.9-3.

El error medio es:

$$\bar{\epsilon} = \int_{-\infty}^{\infty} f(\epsilon) \epsilon \, d\epsilon = 2^{bx} \int_{-2^{-bx}}^0 \epsilon \, d\epsilon = 2^{bx} \left[ \frac{\epsilon^2}{2} \right]_{-2^{-bx}}^0$$

$$= -2^{bx} (-2^{-bx}) / 2 = -2^{-bx} / 2$$

(2.1.9.1)

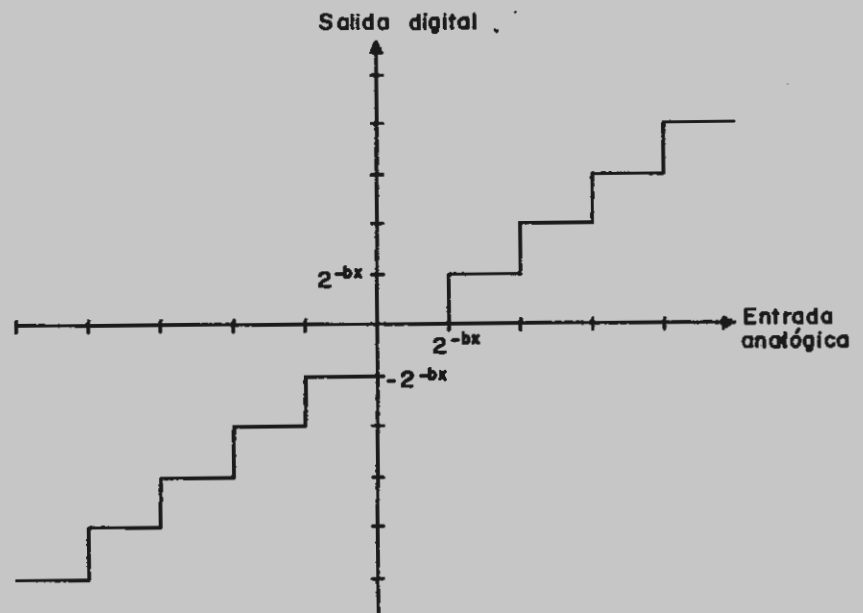


Fig. 2.1.9-2

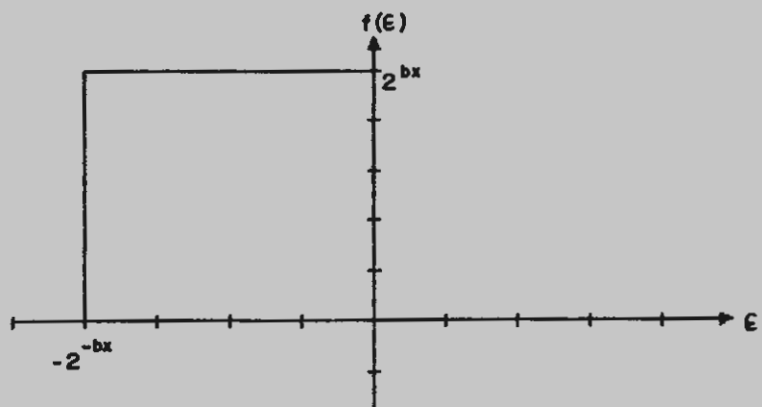


Fig. 2.1.9-3

Vamos a calcular la varianza del ruido de cuantificación

A/D:

$$\begin{aligned}\sigma_{A/D}^2 &= \int_{-\infty}^{\infty} f(\varepsilon) (\varepsilon - \bar{\varepsilon})^2 d\varepsilon = -2^{bx} \int_{-2^{-bx}}^0 (\varepsilon - \bar{\varepsilon})^2 d\varepsilon = \\ &= 2^{bx} \int_{-2^{-b}}^0 \left( \varepsilon + \frac{2^{-bx}}{2} \right)^2 d\varepsilon = 2^{bx} \left[ \frac{\varepsilon^3}{3} + \frac{2^{-bx}}{2} \varepsilon^2 + \frac{2^{-2bx}}{4} \varepsilon \right] \Bigg|_{-2^{-bx}}^0 = \\ &= -2^{bx} \left[ -\frac{2^{-3bx}}{3} + \frac{2^{-bx}}{2} 2^{-bx} - \frac{2^{-2bx}}{4} 2^{-bx} \right] = \\ &= 2^{-2bx} \left[ \frac{1}{3} - \frac{1}{2} + \frac{1}{4} \right] = \frac{2^{-2bx}}{12} \quad (2.1.9.2)\end{aligned}$$

#### Ruido de truncadura de multiplicación y escalamiento

Centrándonos en el caso que nos ocupa, es decir, aritmética de punto fijo en complemento a 2, vamos a formular un modelo estadístico para el ruido de truncadura.

El error absoluto de truncadura,  $\varepsilon$ , será igual al valor después de la truncadura menos el valor antes de la truncadura, lo que siempre será negativo para números positivos y negativos.

Concretamente, si  $b$  es el número de bits (sin contar el bit de signo) después de la truncadura, y  $b_1$  antes de la truncadura, el error será tal que:

$$0 \gg \varepsilon \gg -(2^{-b} - 2^{-b_1}) \quad (2.1.9.3)$$

Si  $b_1 \gg b$ , podemos decir que:

$$0 \gg \varepsilon \gg -2^{-b} \quad (2.1.9.4)$$

La función de respuesta de la truncadura se representa en la fig. 2.1.9-4

$$\xi = Q(x) - x \quad (2.1.9.5)$$

y la función densidad de probabilidad de este error se representa en la fig. 2.1.9-5.

Como se aprecia, esta función es idéntica a la del ruido de cuantificación A/D. Por tanto la varianza del ruido de truncadura de una multiplicación será:

$$\sigma_{\tau^2} = \frac{2^{-2b}}{12} \quad (2.1.9.6)$$

Aplicaremos ahora este resultado al algoritmo de FFT usado, para conocer el efecto total de este ruido.

Ya sabemos que el elemento básico de cálculo del algoritmo FTRVI es la 'mariposa', que en el caso general responde a

$$\begin{aligned} B_{m+1}(i) &= B_m(i) + WPB_m(j) \\ B_{m+1}(j) &= [B_m(i) - WPB_m(j)]^* \end{aligned} \quad (2.1.9.7)$$

donde \* denota conjugación y

$$WP = e^{-j2\pi r/N} \quad (2.1.9.8)$$

En cada iteración de las m que se realizan en el algoritmo, se efectúan N/4 mariposas.



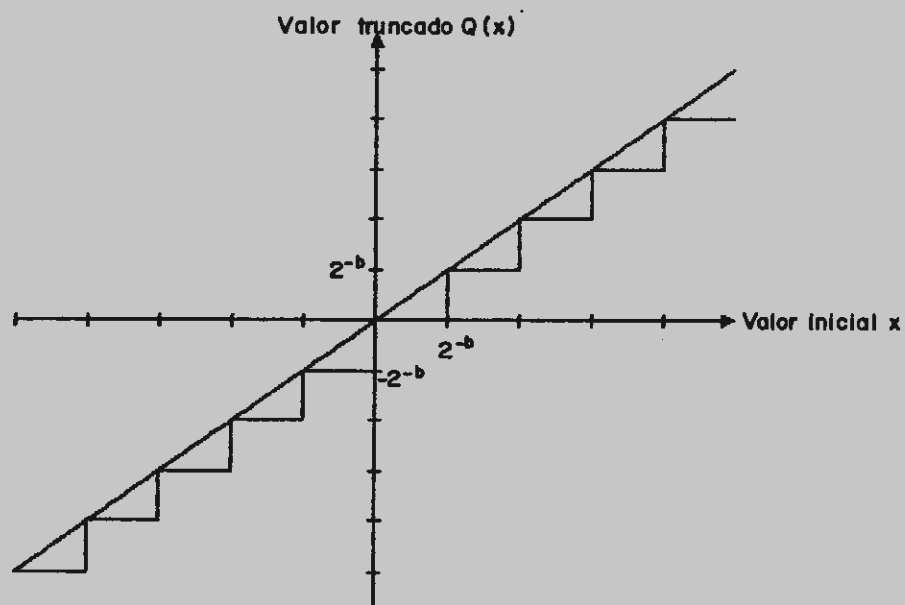


Fig. 2.1.9-4

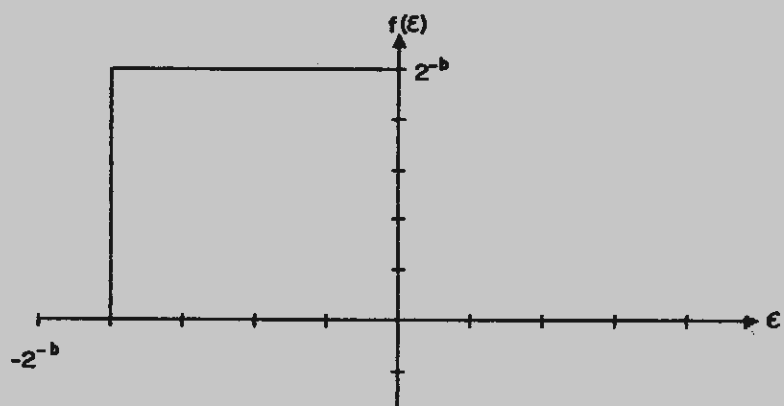


Fig. 2.1.9-5

Construiremos el modelo de ruido de truncadura asociando un generador independiente de ruido blanco por cada multiplicador. Como hay 4 multiplicaciones reales por cada mariposa, la varianza total de ruido de truncadura generado por una mariposa y transmitido a cada uno de sus dos nodos complejos de salida, y suponiendo todas las fuentes de ruido incorreladas, será igual a:

$$\sigma^2_{MAR=4} \sigma^2_{M=4} \frac{2^{-2b}}{12} = \frac{2^{-2b}}{3} \quad (2.1.9.9)$$

De la observación de la fig. 2.1.8-23 se aprecia que en cada iteración una mariposa tiene relación con dos mariposas de la iteración anterior. Como el número de mariposas que introducen ruido en un nodo de salida es  $2^{\alpha-1}-1$ , ( $\alpha-1$  es el número de iteraciones y  $\alpha=\log_2 N$ ), es decir,  $N/2-1$ , la varianza total por nodo de salida será:

$$\sigma^2_T = (N/2-1) \sigma^2_{MAR} = (N/2-1) \frac{2^{-2b}}{3} \quad (2.1.9.10)$$

Luego un aumento de N introduce un aumento de varianza del ruido de truncadura de forma proporcional.

Si tenemos en cuenta que hay mariposas triviales, este valor se reduce, en el caso más desfavorable, a

$$\sigma^2_T = \underset{\text{caso peor}}{(N/2-N/4-1)} \sigma^2_{MAR} = (N/4-1) \frac{2^{-2b}}{3} \quad (2.1.9.11)$$

ya que las multiplicaciones triviales no introducen ruido de truncadura. El introducir multiplicaciones triviales ocasiona

que no todos los generadores tengan igual varianza. En el caso más favorable (salida de continua) el error por truncadura en multiplicación es cero pues todas las mariposas que intervienen en el cálculo son triviales.

Para  $N$  grande podemos suponer que el valor medio del ruido de truncadura de multiplicación en un nodo de salida es

$$\sigma^2_T = (N/8-1) \frac{2^{-2b}}{3} \quad (2.1.9.12)$$

siempre y cuando se conserven  $b$  bits significativos y se emplee algún método de no multiplicar en las mariposas triviales.

Con las suposiciones hechas de generadores de ruido blanco e incorrelados, podemos suponer que el ruido de salida es blanco y proporcional a  $N$  (para  $N$  grande). En realidad las salidas de una mariposa están algo correladas, pero esto no afecta a los resultados anteriores, pues estas salidas se aplican a mariposas diferentes.

Otro ruido muy normal en aplicaciones de tratamiento digital de la señal es el ruido de escalamiento. Cuando hay que someter un número a una serie de operaciones consecutivas (en nuestro caso multiplicaciones y sumas o restas) se debe, bien escalar el valor de entrada con el factor adecuado tal que evite el overflow a la salida, bien escalar en cada operación realizada para eliminar el overflow a su salida.

En el caso de la FFT usando el formato mencionado anteriormente sólo pueden producir overflow las sumas. Si observamos las ecuaciones (2.1.9.7) de una mariposa, podemos deducir

que:

$$|B_{m+1}(l)| \leq |B_m(i)| + |B_m(j)| \quad (2.1.9.13)$$

para cualquier  $l=i, j$  ya que se cumple que  $|W|$  es siempre menor o igual a 1.

Por otra parte:

$$|B_m(l)|_{\max} \leq |B_{m+1}(i)|_{\max}, |B_{m+1}(j)|_{\max} \quad (2.1.9.14)$$

para  $l=i, j$ . Es decir, en cada iteración los elementos pueden llegar a doblar su magnitud. Si el valor de salida lo mantenemos menor o igual a la unidad como así hacemos, entonces los valores de salida de cualquier mariposa de iteraciones intermedias se mantendrán menores que 1, y no habrá problemas de overflow por multiplicación, aunque debemos evitar el overflow por suma.

Podemos expresar la máxima entrada posible en función de la máxima salida posible. Sabemos que la máxima salida posible es:

$$|X(k)|_{\max} \leq \sum_{n=0}^{N-1} |x(n)|_{\max} |W| \leq N |x(n)|_{\max} \quad (2.1.9.15)$$

Luego la máxima entrada deberá reducirse a

$$|x(n)|_{\max} \leq |X(k)|_{\max} / N \quad (2.1.9.16)$$

para prevenir el overflow por suma. Es decir, este ruido de escalamiento se traduce en una reducción del margen dinámico

en N.

Pero como vamos a trabajar con partes real e imaginaria, estudiemos el efecto del escalamiento en ellas:

Sea una secuencia de entrada  $x(n)$  de ruido blanco con una función densidad de probabilidad como la representada en la fig. 2.1.9-6.

El valor de  $x(n)$  estará comprendido entre:

$$-\frac{1}{N} \leq x(n) \leq \frac{1}{N} \quad (2.1.9.17)$$

Si separamos  $x(n)$  en sus partes real e imaginaria.

$$x(n) = x_R(n) + jx_I(n) \quad (2.1.9.18)$$

$$|x(n)| = \sqrt{|x_R(n)|^2 + |x_I(n)|^2} \quad (2.1.9.19)$$

Luego los valores de la secuencia de entrada deben cumplir:

$$|x_R(n)|, |x_I(n)| < \frac{1}{\sqrt{2N}} \quad (2.1.9.20)$$

Y podemos representar sus f.d.p tal y como se representan en la fig. 2.1.9-7.

Vamos a calcular la relación señal/ruido de truncadura y escalamiento a la salida del algoritmo de FFT. Para ello cal-

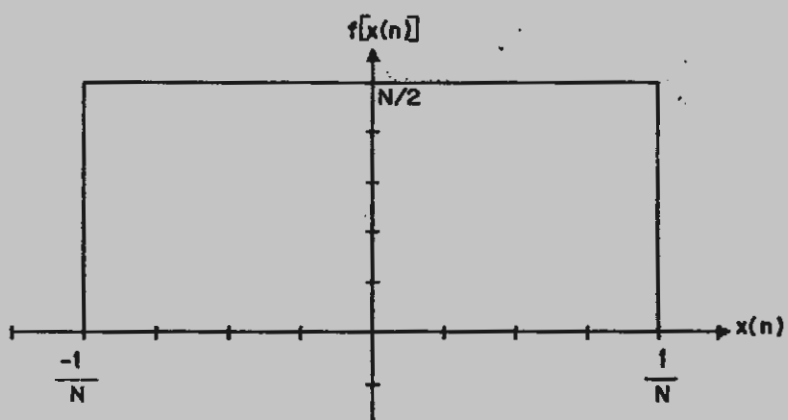


Fig. 2.19-6

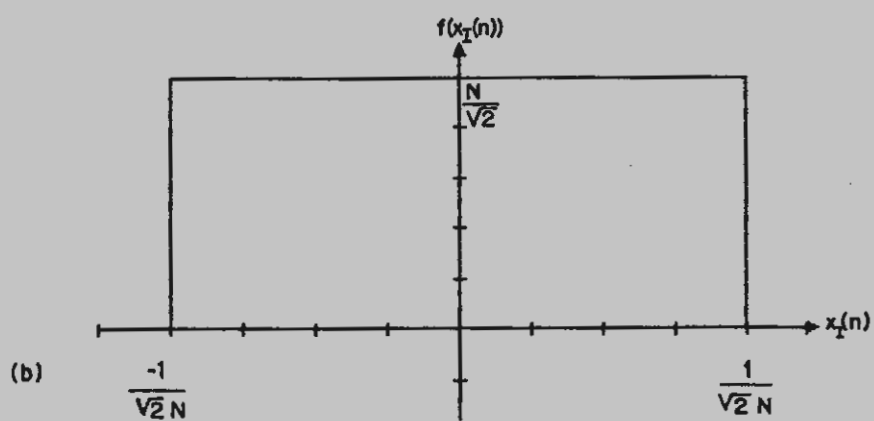
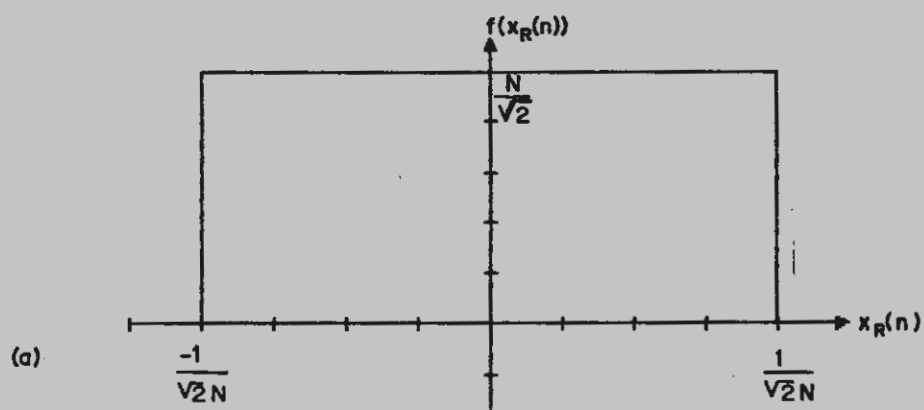


Fig. 2.19-7

cularemos la varianza de la señal en la salida.

Por el teorema de Parseval (2.1.7.73):

$$\sum_{k=0}^{N-1} |x(n)|^2 = 1/N \sum_{n=0}^{N-1} |X(k)|^2 \quad (2.1.9.21)$$

Es decir, la potencia media de la señal muestreada de entrada es igual a  $1/N$  veces la potencia media de la señal de salida de la DFT.

Como hemos supuesto distribuciones uniformes y de valor medio cero, la varianza será igual a la potencia media:

$$\sigma_{X(k)}^2 = N \sigma_{x(n)}^2 \quad (2.1.9.22)$$

$$\sigma_{x(n)}^2 = \int_{-1/N}^{1/N} (x(n) - \bar{x}(n))^2 f(x(n)) dx = \quad (2.1.9.23)$$

$$= \int_{-1/N}^{1/N} x^2(n) N/2 dx(n) = (N/2) (x^3/3) \Big|_{-1/N}^{1/N} = N/6 (1/N^3 + 1/N^3) = 1/3N^2$$

$$\sigma_{X(k)}^2 = N \sigma_{x(n)}^2 = 1/3N \quad (2.1.9.24)$$

Luego la relación señal a ruido de truncadura y escalamiento es:

$$\sigma_{X(k)}^2 / \sigma_T^2 = \frac{1/3N}{(N/8-1)2^{-2b}/3} = \frac{2^{2b}}{N(N/8-1)} \quad (2.1.9.25)$$



Es decir, la relación señal ruido decrece como una función de  $N^2$ , para un  $b$  dado.

Esta relación se verifica cuando se escala el valor de los datos de entrada por  $1/N$  (para obtener la DFT).

Otro modo de proceder es incorporar un escalamiento de  $1/2$  en cada mariposa lo que equivale al final a escalar por  $1/2^m$ , donde  $m$  es el  $n^\circ$  de iteraciones, que para un algoritmo de Cooley-Tukey es precisamente  $\log_2 N$ , con lo que el factor de escala sigue siendo  $1/N$ . Para el algoritmo de Bergland FTRVI,  $m$  vale  $\log_2 N/2$ , con lo que el factor de escala obtenido es  $2/N$  y es necesario preescalar por  $1/2$  los datos de entrada para obtener los mismos resultados que con la DFT.

Este método tiene la ventaja de que el nivel de la señal no se atenúa desde el principio, sino gradualmente, empeorando la relación señal a ruido con cada nueva iteración, pero mejorando la total, ya que el ruido generado por cada iteración se atenúa conjuntamente con la señal en la siguiente iteración. El hecho de dividir por dos (desplazamiento lógico de un bit hacia la derecha) hace que la varianza de ruido presente a la entrada sea la cuarta parte. Como cada iteración ocasiona que el nivel cuadrático medio aumente en un factor de 2, el ruido a la salida de cada iteración será la mitad del ruido de entrada más el ruido generado en la propia iteración como consecuencia del truncamiento.

Veamos esto detenidamente para  $m$  iteraciones:

Varianza del ruido en la  $1^\circ$  iteración =  $\sigma_n^2$

$$\begin{aligned} \text{Varianza del ruido en la } 2^{\text{a}} \text{ iteraci3n} &= 2\sigma_{\text{n}}^2/4 + \sigma_{\text{n}}^2 = \sigma_{\text{n}}^2/2 + \sigma_{\text{n}}^2 \\ \text{Varianza del ruido en la } 3^{\text{a}} \text{ iteraci3n} &= 1/2(\sigma_{\text{n}}^2/2 + \sigma_{\text{n}}^2) + \sigma_{\text{n}}^2 \\ . . . . . \\ \text{V. del ruido en la m}^{\text{a}} \text{ iter.} &= \sigma_{\text{n}}^2 + 1/2(\sigma_{\text{n}}^2 + 1/2(\sigma_{\text{n}}^2 + 1/2(\dots))) \end{aligned}$$

(2.1.9.26)

que será la varianza de ruido a la salida:

$$\sigma_m^2 = \sigma_B^2 (1 + 1/2 + 1/4 + \dots + 1/2^m) = \sigma_B^2 \sum_{k=0}^m 1/2^k \quad (2.1.9.27)$$

Para un  $m$  suficientemente grande

$$\lim_{m \rightarrow \infty} \sigma_m^2 = 2\sigma_0^2 \quad (2.1.9.28)$$

En cualquier caso, para  $m$  menor, el valor de la varianza será menor.

Vamos a ver cual es la relación señal a ruido para una secuencia de entrada de ruido blanco, como en el caso de escalamiento directo.

El hecho de escalar en cada iteración y tener que conservar el número de bits hace que se cometa un error de redondeo que se sumará como ruido al generado por una mariposa por truncadura a  $b$  bits:

$$\sigma_B^2 = \sigma_{MAR}^2 + \sigma_{red}^2 \quad (2.1.9.29)$$

El error de redondeo cometido es 0 si el bit menos signi-

ficativo es 0 y  $\pm 2^{-2b}$  si el bit menos significativo es 1, siendo  $b$  la longitud de registro sin contar el bit de signo, luego su función densidad de probabilidad es la representada en la fig. 2.1.9-7.

La varianza será:

$$\sigma_{red}^2 = \int_{-\infty}^{\infty} (\xi - \bar{\xi})^2 f(\xi) d\xi = \int_{-\infty}^{\infty} \xi^2 [1/4\delta(\xi + 2^{-2b}) + 1/2\delta(\xi) + 1/4\delta(\xi - 2^{-2b})] d\xi$$

$$= 1/4( [-2^{-2b}]^2 + [2^{-2b}]^2 ) = 2^{-2b}/2 \quad (2.1.9.30)$$

ya que  $\bar{\xi} = 0$ .

La varianza total de ruido generado en la primera iteración será pues:

$$\sigma_B^2 = \sigma_{MAR}^2 + \sigma_{red}^2 = 2^{-2b}/3 + 2^{-2b}/2 = (5/6)2^{-2b} \quad (2.1.9.31)$$

Luego la varianza de ruido a la salida es, para escalamiento paso a paso de

$$\sigma_T^2 \leq 2\sigma_B^2 = (5/3)2^{-2b} \quad (2.1.9.32)$$

y la relación señal ruido a la salida es

$$\sigma_{x(n)}^2 / \sigma_T^2 \leq \frac{1/3N}{(5/3)2^{-2b}} = \frac{2^{2b}}{5N} \quad (2.1.9.33)$$

Si comparamos este valor con el obtenido en (2.1.9.25) vemos que la relación señal ruido ha mejorado ya que ahora es función de  $1/N$  en vez de  $1/N^2$ .

Podemos sacar la conclusión de que la relación señal a ruido se deteriora en medio bit por iteración.

Es importante notar que el hecho de suponer ruido blanco a la entrada no es esencial para llegar a estas conclusiones, variando los resultados sólo en un factor de escala.

Para la ejecución del presente proyecto se utilizará el escalamiento paso a paso ya que introduce menos ruido y por lo tanto tiene una mejor relación señal a ruido. Deberá introducirse en el esquema propuesto en la fig. 2.1.8-26.

#### Ruido del convertidor D/A

Si el convertidor D/A tiene un número de bits  $b_D$  menor que el número de bits  $b$  del resultado, introducirá un error de truncadura de  $b$  a  $b_D$  bits, cuya varianza de ruido está dada por (2.1.9.6)

Se puede suponer que este ruido está incorrelado con los demás, así que a la varianza de ruido total a la salida se le deberá sumar la varianza de ruido del convertidor D/A.

#### Ruido de cuantificación de coeficientes

Para calcular el ruido introducido por la cuantificación de los coeficientes en un algoritmo de FFT emplearemos el método seguido por Weinstein, que consiste en emplear un análisis estadístico partiendo de un modelo aproximado.

Vamos a suponer que cada coeficiente de la DFT se reem-

plaza por su valor más una secuencia de ruido blanco. Esto es así porque en la FFT cada  $W^{nk}$  se descompone en un producto de  $m$  factores  $W^i$ , cada uno con error de cuantificación.

El resultado que obtengamos será solamente aproximado pues el modelo no representa totalmente la realidad.

Sea  $[X(k)]$  la DFT de  $[x(n)]$ . Se cumplirá que:

$$X(k) = \sum_{n=0}^{N-1} x(n) W^{nk} \quad (2.1.9.34)$$

Sea  $[\tilde{X}(k)]$  la FFT de  $[x(n)]$  usando coeficientes cuantizados.

$$\tilde{X}(k) = \sum_{n=0}^{N-1} x(n) \Omega_{nk} \quad (2.1.9.35)$$

donde cada elemento  $\Omega_{nk}$  será un producto de  $m$  coeficientes cuantizados:

$$\Omega_{nk} = \prod_{i=1}^m (W^{n_i} + \nu_i) \quad (2.1.9.36)$$

Se cumplirá que

$$W^{nk} = \prod_{i=1}^m W^{n_i k_i} \quad (2.1.9.37)$$

Y  $\nu_i$  es el error de cuantificación de cada coeficiente  $W^{n_i}$ , y será un valor complejo.

$$V_i = V_{Ri} + j V_{Ii} \quad (2.1.9.38)$$

$$|V_i| = \sqrt{V_{Ri}^2 + V_{Ii}^2} \quad (2.1.9.39)$$

Como

$$|V_{Ri}|, |V_{Ii}| \leq 2^{-b} \quad (2.1.9.40)$$

se cumplirá que

$$|V_i| \leq \sqrt{2^{-2b} + 2^{-2b}} = \sqrt{2} \cdot 2^{-b} \quad (2.1.9.41)$$

donde  $b$  es el número de bits excluyendo el signo, de la parte real e imaginaria. Si suponemos que  $V_{Ri}$  y  $V_{Ii}$  están incorreladas, y su función densidad de probabilidad es la representada en la fig. 2.1.9-8, podemos representar la función densidad de probabilidad de  $|V_i|$  tal y como se muestra en la fig. 2.1.9-9.

La varianza de  $|V_i|$  será

$$\begin{aligned} \sigma_{|V_i|}^2 &= \int_{-2^{-b}/\sqrt{2}}^{2^{-b}/\sqrt{2}} (|V_i| - \overline{|V_i|})^2 f(|V_i|) d|V_i| = \\ &= \int_{-2^{-b}/\sqrt{2}}^{2^{-b}/\sqrt{2}} x^2 \frac{1}{\sqrt{2}} 2^{-b} dx = \frac{2^{-b}}{\sqrt{2}} \cdot \frac{x^3}{3} \bigg|_{-2^{-b}/\sqrt{2}}^{2^{-b}/\sqrt{2}} = \\ &= \frac{2^{-b}}{3\sqrt{2}} (2^{-3b}/2\sqrt{2} + 2^{-3b}/2\sqrt{2}) = 2^{-2b}/6 \end{aligned} \quad (2.1.9.42)$$

Definimos el error cometido en el cálculo de la DFT mediante la FFT debido a la cuantificación de coeficientes como:

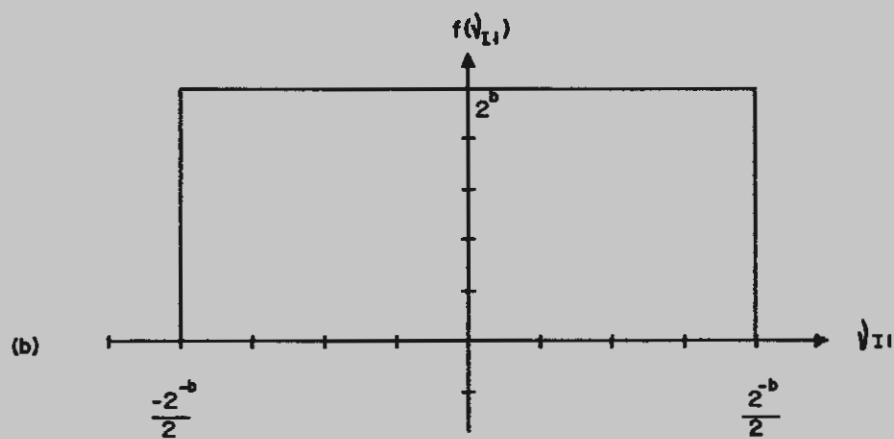
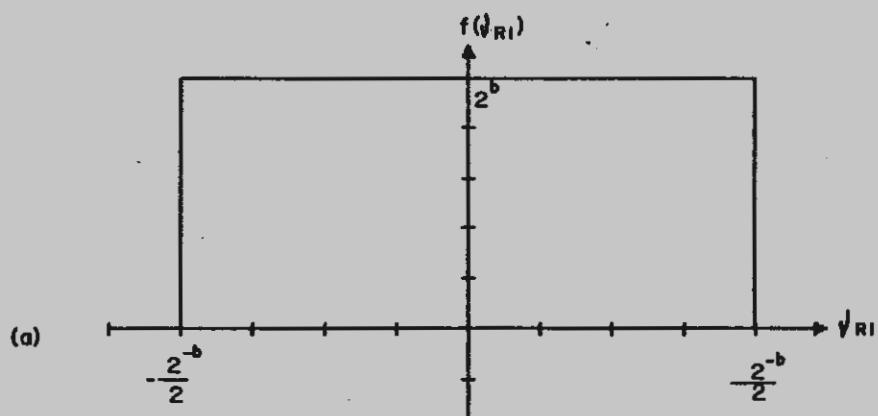


Fig.2.1.9-8

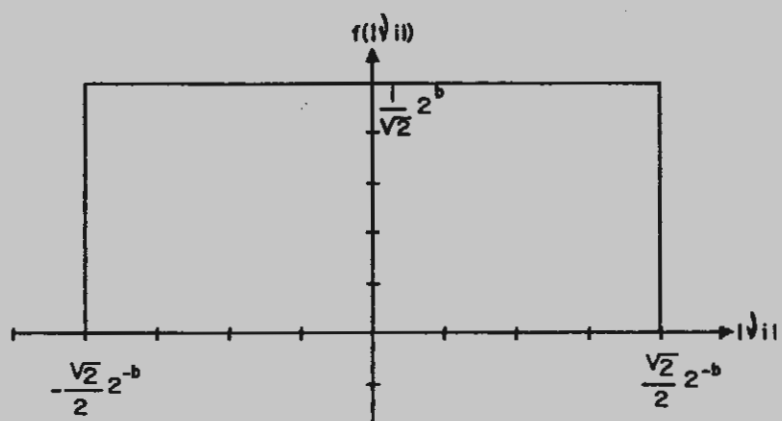


Fig.2.1.9-9



$$E(k) = \tilde{X}(k) - X(k) = \sum_{n=0}^{N-1} x(n) [\Omega_{nk} - W^{nk}] \quad (2.1.9.43)$$

Podemos escribir que

$$\begin{aligned} \Omega_{nk} - W^{nk} &= \prod_{i=1}^m (W^{a_i} + \nu_i) - \prod_{i=1}^m W^{a_i} = \sum_{i=1}^m \nu_i \prod_{\substack{j=1 \\ j \neq i}}^m W^{a_j} + \\ &+ \sum_{\substack{i,j=1 \\ i \neq j}}^m \nu_i \nu_j \prod_{\substack{k=1 \\ k \neq i,j}}^m W^{a_k} + \dots + \prod_{i=1}^m \nu_i \end{aligned} \quad (2.1.9.44)$$

Si despreciamos los infinitésimos de orden superior, podemos escribir:

$$\Omega_{nk} - W^{nk} = \sum_{i=1}^m \nu_i \prod_{\substack{j=1 \\ j \neq i}}^m W^{a_j} \quad (2.1.9.45)$$

si suponemos que los  $\nu_i$  están incorrelados entre si la varianza de  $|\Omega_{nk} - W^{nk}|$  será igual a

$$\begin{aligned} \sigma^2_{|\Omega_{nk} - W^{nk}|} &= \sum_{i=1}^m \sigma_{|\nu_i|}^2 \left| \left[ \prod_{\substack{j=1 \\ j \neq i}}^m W^{a_j} \right] \right|^2 = \sum_{i=1}^m \sigma_{|\nu_i|}^2 (W^{nk} / W^{a_i})^2 = \\ &= |W^{nk}| \sum_{i=1}^m \sigma_{|\nu_i|}^2 / |W^{a_i}| \leq m \sigma_{|\nu_i|}^2 \end{aligned} \quad (2.1.9.46)$$

pues

$$|W^{a_i}| \leq 1 \quad (2.1.9.47)$$

para cualquier  $\alpha$ . Luego, según (2.1.9.42):

$$\sigma_{\Omega_{nk}-w^nk}^2 \leq m2^{-2b}/6 \quad (2.1.9.48)$$

Si suponemos que todos los elementos  $\Omega_{nk}$  están incorrelados entre si y con la señal de entrada, la varianza del error de salida será:

$$\sigma_{\epsilon(k)}^2 = \sum_{n=0}^{N-1} |x(n)|^2 \sigma_{\Omega_{nk}-w^nk}^2 \quad (2.1.9.49)$$

pues:

$$\sigma^2(kx) = k^2 \sigma^2(x) \quad (2.1.9.50)$$

$$\sigma^2(\sum_i x_i) = \sum_i \sigma^2(x_i) \quad (2.1.9.51)$$

Por tanto

$$\sigma_{\epsilon(k)}^2 \leq m2^{-2b}/6 \sum_{n=0}^{N-1} |x(n)|^2 \quad (2.1.9.52)$$

y según (2.1.9.21):

$$\sigma_{\epsilon(k)}^2 \leq m2^{-2b}/6 \cdot 1/N \sum_{k=0}^{N-1} |X(k)|^2 \quad (2.1.9.53)$$

Podemos expresar la relación señal a ruido de cuantificación de coeficientes a la salida como:

$$S/N = \sigma_{x(n)}^2 / \sigma_{\epsilon(k)}^2 \geq \frac{1/N \sum_{k=0}^{N-1} |X(k)|^2}{m2^{-2b}/6 \cdot 1/N \sum_{k=0}^{N-1} |X(k)|^2} = 6 \cdot 2^b/m \quad (2.1.9.54)$$

Para ruido de entrada blanco, cuya varianza es, como vimos en (2.1.9.24),  $1/3N$ , el ruido a la salida será:

$$\sigma_{1E(k)} = \frac{\sigma_{1X(k)}}{S/N} = \frac{1/3N}{6 \cdot 2^{2b}/m} = \frac{m2^{-2b}}{18N} \quad (2.1.9.55)$$

Como se dijo previamente, este resultado es sólo una primera aproximación. Si se calculan los errores experimentalmente se obtiene que los errores son efectivamente proporcionales a  $m$  pero con una constante de proporcionalidad menor.

Como se aprecia en la figura 2.1.9-10, los resultados experimentales son ligeramente menores que los teóricos. Pero recordemos que el valor hallado es una cota superior del error.

El error debido a la cuantificación de los coeficientes es proporcional a  $m$  y por tanto a  $\log_2 N$  para el algoritmo de Cooley-Tukey y a  $\log_2(N/2)$  para el logaritmo FTRVI.

#### Ruido total a la salida producido por la longitud de registros finita

Sea  $b_x+1$  la longitud de palabra del convertidor analógico digital,  $b+1$  la del CP usado y de todos los registros de éste, y  $N$  el tamaño del algoritmo de FFT usado.

Si suponemos que todas las fuentes de ruido son independientes, y por lo tanto están incorreladas, el ruido total presente en cualquiera de los puntos de salida del algoritmo de FFT tendrá una varianza total de ruido dada por :

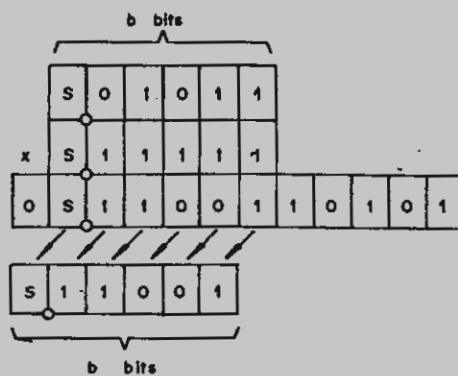


Fig. 2.1.9-1

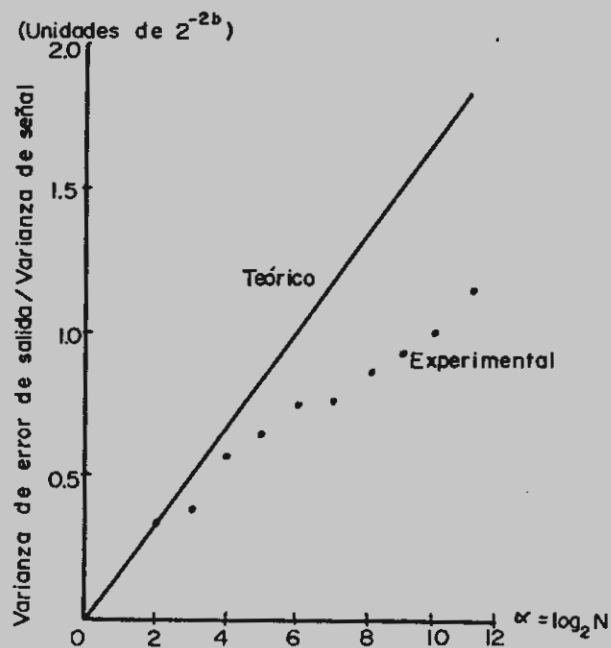


Fig. 2.1.9-10

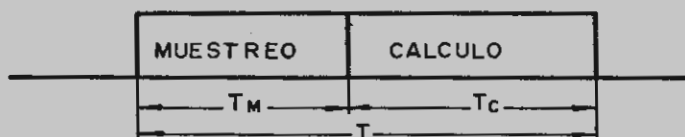


Fig. 2.2-1

$$\sigma_{\text{ruido FFT}}^2 = \sigma_{A/D}^2 + \sigma_T^2 + \sigma_E^2 \quad (2.1.9.56)$$

donde

$$\sigma_{A/D}^2 = 2^{-2b}/12 \quad (2.1.9.57)$$

es la varianza del ruido debido al convertidor A/D.

$$\sigma_T^2 = 5/3 \cdot 2^{-2b} \quad (2.1.9.58)$$

es el ruido debido a la truncadura y escalamiento, y

$$\sigma_E^2 = m2^{-2b}/18N = \log_2(N/2)2^{-2b}/18N \quad (2.1.9.59)$$

el ruido debido a la cuantificación de coeficientes.

El ruido total tendrá pues una varianza de

$$\sigma_{\text{ruido FFT}}^2 = (5/3 + \log_2(N/2)/18N)2^{-2b} + 2^{-2b}/12 \quad (2.1.9.60)$$

El valor medio del ruido es cero, así que su valor eficaz será  $\sigma_{\text{ruido FFT}}$ . De aquí se puede determinar el margen dinámico conseguible para distintos valores de N, b y  $b_x$ . Para ello se supondrá que el ruido es gaussiano con media cero y varianza dada por (2.1.9.60). Entonces la función densidad de probabilidad de este ruido será:

$$f(x) = (1/\sqrt{\pi}\sigma) \exp\{-(x-\bar{x})^2/2\sigma^2\} \quad (2.1.9.61)$$

donde  $\bar{x}$  es el nivel de ruido medio (cero) y  $\sigma$  es la desviación standard ( $\sigma_{\text{ruido FFT}}$ ).

A partir de esta función, representada en la fig.2.1.9-11 es posible evaluar el nivel de ruido esperado en el caso peor, para un cierto nivel de confianza de, digamos, el 99%. El margen dinámico será:

$$MD = 20 \log ( \text{señal eff./ruido eff.} ) = 20 \log (V_{\text{eff}}/X) \quad (2.1.9.62)$$

siendo X el valor eficaz máximo de ruido presente durante un 99% del tiempo, para una señal de ruido gaussiano con una varianza igual a  $\sigma_{\text{ruido FFT}}^2$ .

#### Corrección de errores por cálculo de potencia en lugar de tensiones RMS.

La salida de un algoritmo de FFT da un espectro de voltaje complejo, con simetría compleja conjugada, cuando los datos de entrada son reales, como vimos en el capítulo 2.1.8. Vamos a ver la relación del espectro de potencias con el espectro de amplitudes. La DFT de una señal del tipo :

$$x(t) = V \cos(2\pi f_1 t + \phi) = V_R \cos(2\pi f_1 t) + V_I \sin(2\pi f_1 t) \quad (2.1.9.63)$$

donde

$$V_R = V \cos \phi \quad \text{y} \quad V_I = -V \sin \phi \quad (2.1.9.64)$$

se representa en la fig. 2.1.9-12. En ella se aprecia que la amplitud de la salida se reduce a la mitad por repartirse la energía entre las frecuencias negativas y las positivas. Luego para obtener valores de amplitudes de pico de las componentes real e imaginaria es necesario doblar las amplitudes de salida. Para obtener el valor de pico de la amplitud de  $x(t)$ , como

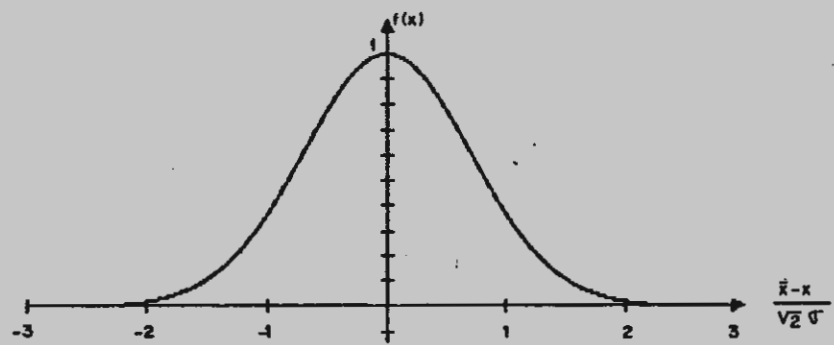


Fig. 2.1.9-11

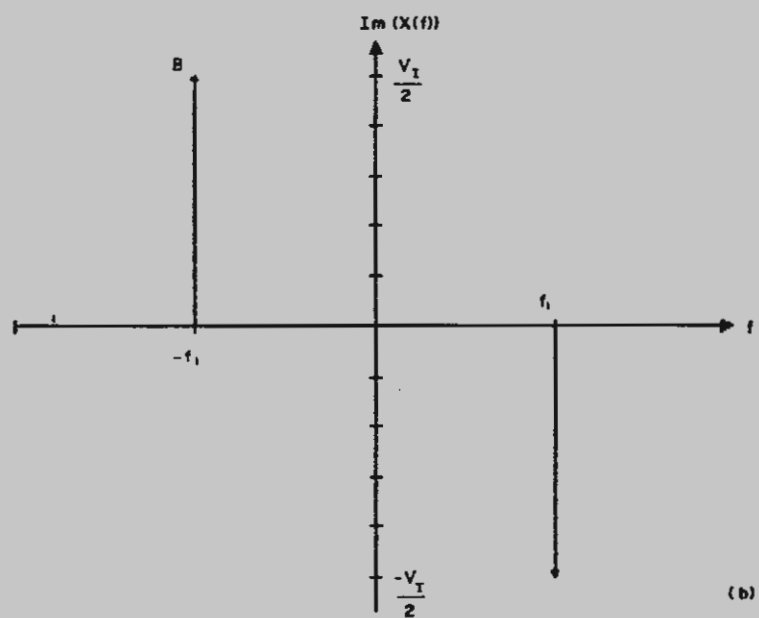
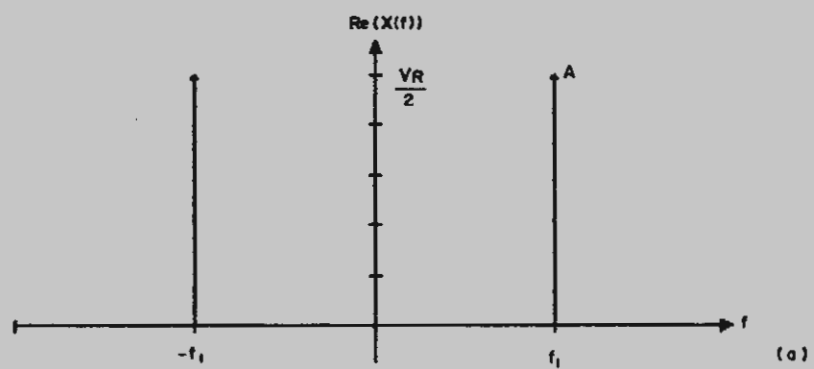


Fig. 2.1.9-12

$$V_R^2 + V_I^2 = V^2 \Rightarrow V = \sqrt{V_R^2 + V_I^2} = 2 \sqrt{A^2 + B^2} \quad (2.1.9.65)$$

es necesario multiplicar por dos las amplitudes de salida, elevarlas al cuadrado, sumarlas y efectuar la raíz cuadrada.

Si deseamos el espectro de amplitudes eficaces, deberemos dividir el valor anterior por  $\sqrt{2}$ .

$$V_{RMS} = \sqrt{2} \sqrt{A^2 + B^2} = \sqrt{2(A^2 + B^2)} \quad (2.1.9.66)$$

Si deseamos calcular el espectro de potencia normalizado, bastará con obtener  $V_{RMS}^2$ , es decir

$$|P| = 2(A^2 + B^2) \quad (2.1.9.67)$$

Basta pues con sumar parte real al cuadrado y parte imaginaria al cuadrado de salida, y multiplicar por dos.

Vamos a ver que ocurre con la relación señal a ruido. Si diferenciamos (2.1.9.67) tenemos

$$\partial |P| = 2[2A\partial A + 2B\partial B] \quad (2.1.9.68)$$

La relación nivel de ruido a nivel de señal de las componentes real e imaginaria es

$$\partial A/A = \partial B/B \quad (2.1.9.69)$$

$$\frac{\partial |P|}{|P|} = \frac{2A\partial A + 2B\partial B}{A^2 + B^2} = 2 \left[ \frac{\partial A/A}{1 + (B/A)^2} + \frac{\partial B/B}{1 + (A/B)^2} \right] = 2 \frac{\partial A}{A} \quad (2.1.9.70)$$



Es decir, la relación ruido a señal (valor numérico de ruido máximo entre valor numérico de señal máximo) se multiplica por dos por el hecho de calcular potencias en vez de amplitudes.

Además, a la salida habrá presente un ruido adicional: el de truncadura de las dos multiplicaciones efectuadas, lo que equivale a una varianza de ruido adicional de  $2^{-20}/6$ , y el ruido de truncadura del convertidor D/A que introduce una varianza de ruido adicional de  $2^{-20}/12$ .

Vamos a ver que ocurre con la señal:

El nivel numérico de señal a la salida de la FFT puede ser como máximo de 1/2, cuando el valor numérico de entrada se mantiene menor o igual a 1.

Si calculamos potencias, el máximo valor numérico de  $|P|$  será también 1/2, pues el máximo valor de  $2(A^2+B^2)$  es 1/2, y se produce para señal de entrada de valor numérico 1:

$$V_{\max} = 1 = \sqrt{V_R^2 + V_I^2} \Big|_{\max} = \sqrt{(2A)^2 + (2B)^2} \Big|_{\max} = 2 \sqrt{A^2 + B^2} \Big|_{\max} \Rightarrow \\ \Rightarrow A^2 + B^2 \Big|_{\max} = 1/4 \Rightarrow |P|_{\max} = 1/2 \text{ Watios normalizados.}$$

(2.1.9.71)

Es decir, el máximo valor numérico de señal se mantiene igual. Como la relación señal a ruido numérica es ahora la mitad quiere decir que el ruido tendrá un valor numérico teóricamente doble al que tendríamos sin calcular  $|P|$ .

Su varianza será pues el cuádruple de la previa, más  $2^{-20}/6$

$$\sigma_P^2 = 4\sigma_{\text{ruido FFT}}^2 + 2^{-2b}/6 + 2^{-2b}/12 \quad (2.1.9.72)$$

y la relación S/N será peor que la cuarta parte de la anterior.

Si a partir del valor de la potencia calculamos el valor eficaz mediante la aplicación de la raíz cuadrada, el valor de potencia de ruido se hará la cuarta parte, más el ruido generado por la truncadura y redondeo de la operación de la raíz cuadrada. Esta operación se efectuará por tabla de  $b_r$  bits significativos sin signo, y por lo tanto se tendrá una varian-za de ruido de cuantificación:

$$\sigma_{\text{rate}}^2 = 2^{-2b_r}/6 \quad (2.1.9.73)$$

Si suponemos que esta fuente de ruido y el ruido de entrada están incorrelados, tendremos que la varianza del ruido al final del proceso de cálculo de valores eficaces será:

$$\sigma_{\text{RMS}}^2 = \sigma_{\text{ruido FFT}}^2 + 2^{-2b}/16 + 2^{-2b}/48 + 2^{-2b_r}/6 \quad (2.1.9.74)$$

El máximo valor de señal es  $1/\sqrt{2}$  voltios eficaces normaliza-dos.

Si transformamos la magnitud de salida a valores logarit-micos (dB) también por tabla

$$D = 20 \log V_{\text{RMS}} = 10 \log |P| = 10 \log [Z(A^2 + B^2)] \quad (2.1.9.75)$$

$$\partial D = 10 / \ln 10 \partial |P| / |P| = 10 / \ln 10 \cdot 2 \partial A / A \quad (2.1.9.76)$$

$$\partial D / D = 2 / (10 \log |P|) \partial A / A \quad (2.1.9.77)$$

Se ve que el valor de la relación señal a ruido depende

del nivel de la señal de entrada. A menor nivel, peor relación señal a ruido. Para el mayor valor de  $|P|$ , y suponiendo un factor de escala tal que  $D_{\max} = 1$ ,  $\log|P| = 0.1$ , ya que el valor de  $\partial D/D$  es 8.69 veces mayor que  $\partial A/A$ . El error absoluto es un valor 8.69 veces el error relativo de  $A$ .

## 2.2 Diseño

### 2.2.1 Determinación de N

Para calcular los parámetros de diseño más importantes: N (tamaño de la transformada FFT),  $f_s$  (frecuencia de muestreo),  $\Delta f$  (resolución espectral de frecuencia),  $f_p$  (frecuencia de presentación) y ciclo de trabajo (tiempo de muestreo entre tiempo total), es necesario conocer al menos de forma aproximada el tiempo de ejecución del algoritmo de FFT.

Los parámetros N,  $f_s$  y  $f$  están relacionados por

$$\Delta f = f_s / N \quad (2.2.1)$$

así que uno de estos tres parámetros no es independiente. A mayor N, mejor resolución (menor  $\Delta f$ ) y también mayor tiempo de ejecución, lo que implica una  $f_p$  menor para una  $f_s$  fija, un peor ciclo de trabajo.

Para conseguir una resolución del 2% en frecuencia, el número de canales útiles debe ser como mínimo 50.

Esto obliga a  $N \geq 100$  pues según el teorema de muestreo

$$f_s \geq 2 f_{\max} \quad (2.2.1.1)$$

$$f_{\max} = \Delta f \times \text{número de canales útiles} \quad (2.2.1.2)$$

$$\text{así que } N \geq 2 \times \text{número de canales útiles} \quad (2.2.1.3)$$

Por otra parte, el algoritmo de FFT que se usará requiere

que  $N = 2^d$ , luego su valor mínimo será 128, pudiendo ser 256, 512, 1024, ... etc.

El valor máximo de N lo impondrá la velocidad de presentación deseada.

Con un Z8002B el tiempo de ejecución del algoritmo FTRVI de N puntos viene dado por la expresión (3.2.4.6), aunque para un N lo suficientemente grande se puede aproximar por la expresión (3.2.4.7). Con un TMS320, el tiempo se puede reducir a aproximadamente

$$T_{TMS320} \approx \log_2(N/2) [4.4N + 2.8] + 8.8 \mu \text{ seg.} \quad (2.2.1.4)$$

y con un Z8003 tiempos aún menores.

A continuación se da una tabla de tiempo de ejecución del algoritmo de función de N para diferentes microprocesadores.

<u>N</u>	<u>Z8002A</u>	<u>Z8002B</u>	<u>TMS320*</u>	<u>Z8003*</u>
32	1.913 mseg	1.168 mseg	0.583 mseg	0,2 mseg
64	4.966 mseg	3,031 mseg	1.43 mseg	0,5 mseg
128	12.27 mseg	7,49 mseg	3,4 mseg	1,2 mseg
256	29,29 mseg	17,88 mseg	7,91 mseg	2,8 mseg
512	68,16 mseg	41,6 mseg	18,1 mseg	6,4 mseg
1024	155,5 mseg	94,94 mseg	40,6 mseg	14,4 mseg

Nota: \* indica valores sólo aproximados

Tabla 2.2.1-1

Vamos a establecer ahora el modelo del software para poder calcular velocidades de presentación y dimensionar N adecuadamente.

En primer lugar se presentan dos formas de efectuar el proceso: la primera de ellas en verdadero tiempo real (muestreo al 100% del tiempo) y la otra con un ciclo de trabajo (un % del tiempo dedicado a muestreo y el resto a cálculo). Analicemos separadamente cada una de estas posibilidades:

La primera de ellas requiere efectuar los cálculos en el tiempo existente entre la recogida de una muestra y la siguiente, y por tanto una gran velocidad de proceso. Para  $f_{max} = 20\text{KHz}$ ,  $f_s$  debe ser mayor o igual a 40KHz y el periodo de muestreo menor o igual a 25  $\mu\text{seg}$ . Suponiendo un tiempo necesario para la conversión A/D y la recogida de la muestra de 5 a 10  $\mu\text{seg}$ , queda un tiempo de cálculo de unos 15  $\mu\text{seg}$ , lo que para N muestras da en total 15N  $\mu\text{seg}$ . Podemos expresar esto con la tabla:

<u>N</u>	<u>T<sub>c max</sub></u>
32	0,48 mseg.
64	0,96 mseg.
128	1,92 mseg.
256	3,84 mseg.
512	7,68 mseg.
1024	15,36 mseg.

Tabla 2.2.1-2

Los valores anteriores dan idea de que el único microprocesador de los citados con el que quizá se podría resolver el

problema siguiendo este método es el 28003, quedando los demás muy lejos de esta posibilidad. La frecuencia de presentación en este caso es igual a

$$f_p = f_m / N \quad (2.2.1.6)$$

Para el caso más favorable ( $f_m = 40\text{KHz}$ ) se obtiene:

<u>N</u>	<u>f<sub>p</sub></u>
32	1250 Hz
64	625 Hz
128	312,5 Hz
256	156 Hz
512	78,1 Hz
1024	39 Hz

Tabla 2.2.1-3

El segundo método consiste en muestrear primero y a continuación operar (Ver fig. 2.2-1).

Para el hipotético mejor de los casos, de  $f_m = 40\text{KHz}$  el  $T_m$  es:

<u>N</u>	<u>T<sub>m</sub></u>
32	0,8 mseg.
64	1,6 mseg.
128	3,2 mseg.
256	6,4 mseg.
512	12,8 mseg.
1024	25,6 mseg.

Tabla 2.2.1-4

Si el tiempo de cálculo es fundamentalmente el tiempo de ejecución del algoritmo FFT (hipótesis válida para N grande), el tiempo total de ejecución y por tanto, la velocidad o frecuencia de presentación  $f_p$  se puede obtener en función de N para este segundo método y para el Z8002B.

N	<u>T(ms)</u>	<u><math>f_p</math>(Hz)</u>	<u><math>T_m/T</math> %</u>
32	1,97	508	40,65
64	4,63	216	34,55
128	10,69	94	29,93
256	24,28	41	26,36
512	54,4	18	23,53
1024	120,54	8,3	21,24

Tabla 2.2.1-5

Para poder determinar cual de los dos métodos seguir, y el valor máximo de N, así como justificar la factibilidad del empleo de la CPU Z8002B es necesario tener en cuenta algunos conceptos.

Se ha llamado velocidad o frecuencia de presentación  $f_p$  a la velocidad con que el sistema actualiza su salida para un canal cualquiera de salida.

Un punto importante a tomar en consideración es que la información que entrega el sistema va destinada a ser recibida y procesada por un ser humano y no por un procesador, registrador o cualquier otro dispositivo electrónico o electromecánico; y más concretamente, será recibida por el sistema visual del hombre y procesado por su cerebro. La consecuencia más importante de esto es que no tiene sentido proporcionar al conjunto ojo-cerebro una cantidad de información tal que éste no



sea capaz de procesarla en su totalidad a la velocidad que le va llegando.

Podemos evaluar la capacidad de resolución visual-temporal del ojo humano en unos 50mseg. [11] es decir, que si la información visual cambia con una rapidez mayor que este valor, el cerebro integra temporalmente la información visual recibida (luminancia y crominancia), obteniéndose la llamada mezcla aditiva temporal de la información presentada. Esta propiedad se aprovecha en el cinematógrafo y televisión para dar sensación de movimiento al presentar al ojo imágenes discretas distintas a una frecuencia superior a unos 16 a 20 Hz. El conseguir dar sensación de continuidad en la información presentada es uno de los requerimientos de este proyecto, así que  $f_p > 20$  Hz. será otro requerimiento. Por otra parte, ¿donde poner el máximo de  $f_p$ ? Podemos suponer la respuesta del ojo como de un filtro paso bajo para la información de luminancia. En realidad, ante un primer impulso de luminancia tendría un tiempo de respuesta casi instantáneo, pero el tiempo de bajada tendría una constante de tiempo de unos 50mseg., y durante ese tiempo reaccionaría ante nuevos impulsos de forma aditiva, integrándolos, así que en régimen permanente podemos suponer que también hay un tiempo de subida con una constante similar.

En la fig. 2.2-2 podemos ver que como consecuencia de estas propiedades del conjunto ojo-cerebro no se aprecia apenas variación en la sensación recibida cuando se entrega una información que tenga una frecuencia muy superior a los 20 Hz.

Estas conclusiones permiten justificar el método de proceso con un ciclo de trabajo distinto del 100%.

Ya estamos en condiciones de establecer el valor máximo

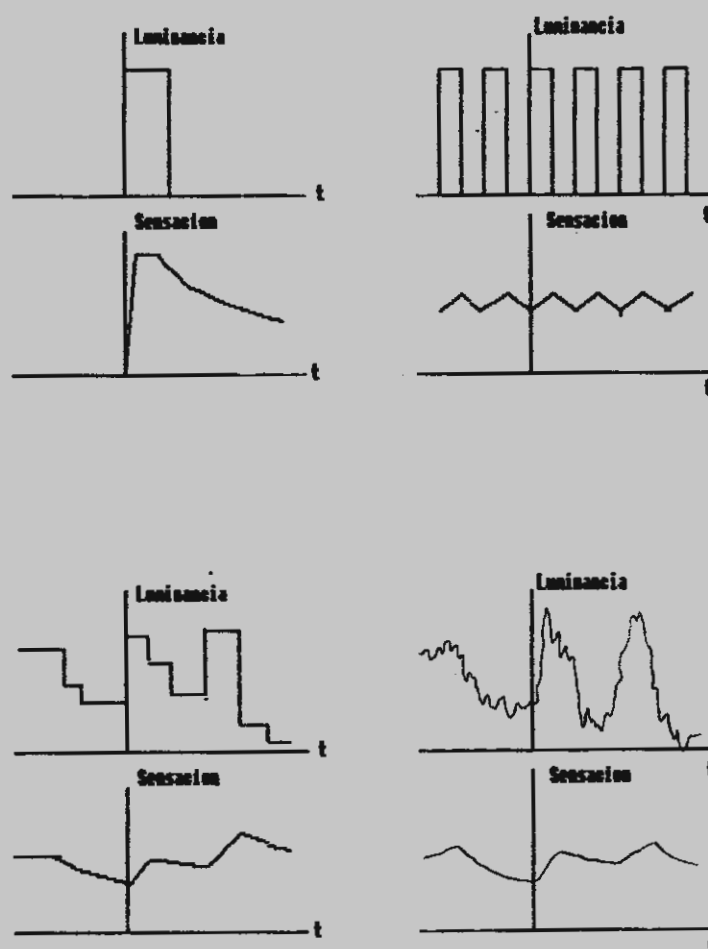


FIG. 2.2-2

de N para el Z8002B, que será de 512 en el caso ideal, quedando un poco justo ( $f_s = 18$  Hz) y de 256 para un caso más real.

También queda plenamente justificado el empleo de este microprocesador y el sistema de ciclo de trabajo distinto al 100%.

El valor de N podría ser pues 128 o 256, así que se elegirá el mayor de ellos (256) para obtener las mejores características de resolución en frecuencia, cumpliéndose el resto de los requerimientos.

#### 2.2.2 Determinación de $f_s$

Partiendo de  $N = 256$  y  $f_s \gg 40$  kHz estamos ya en condiciones de determinar  $f_s$  y  $\Delta f$ .

Cuanto mayor sea  $f_s$  tendremos un menor tiempo de muestreo, pero también un menor número de canales útiles. Por otra parte, a menor  $f_s$ , mayor dificultad en la realización del filtro antialiasing (véase 2.2.4). Además interesa adecuar la información presentada al osciloscopio a su velocidad de barrido para que coincidan los canales con las divisiones horizontales de la pantalla y si el método de temporizar la información de salida está relacionado con  $f_s$ , también influirá (y de forma crítica) en el valor óptimo de  $f_s$ .

Las velocidades de barrido (bases de tiempo) más usuales de un osciloscopio convencional y para un tiempo de duración de la señal útil de salida (máximo  $N/2$  canales) del orden de 2 a 5 mseg. son de 0,1 mseg/cm, 0,2 mseg/cm y 1 mseg/cm (es decir, 1 kHz., 500 Hz. y 100 Hz. ).

Se debe cumplir que en la pantalla del osciloscopio el 0Hz coincida con el extremo izquierdo y el  $f_{max}$  (20kHz) coincida con el extremo derecha. En total 10 cm de recorrido, lo que supone 2kHz/cm. para ese ancho de banda.

Si sacamos valores de salida al mismo régimen de muestreo (lo que simplifica el hardware), el tiempo transcurrido desde que se comienza a sacar el primer canal hasta que se saca el último canal será:

$$T_p = N_{\text{cuerpos}} * T_s \quad (2.2.2.1)$$

y deberá coincidir con

$$T_p = l(\text{cm}) * k_1 (\text{s/cm}) = 10 k_1 \text{ seg.} \quad (2.2.2.2)$$

siendo  $k_1$  el valor de la base de tiempos elegida. Para  $K_1 = 0,2 \text{ mseg/cm.}$  se verifica que  $T_p = 2 \text{ mseg.}$

Por otra parte, de (2.2.1) se deduce

$$f_s = N \Delta f \quad (2.2.2.3)$$

y para  $N = 256$  tenemos

$$f_s = 256 \Delta f \quad (2.2.2.4)$$

Además se verifica que

$$f_{max} = N_{\text{cuerpos}} * \Delta f \quad (2.2.2.5)$$

siendo  $f_{max}$  la máxima frecuencia de interés de la banda de

frecuencia mayor, por ser ésta la que impondrá las mayores restricciones. Para bandas de frecuencia menores se puede disminuir  $f_m$ , mejorando el ciclo de trabajo, al aumentar el tiempo de muestreo  $T_M$  sin variar el de cálculo,  $T_c$ . Por tanto

$$N_{\text{útiles}} \cdot \Delta f = 20.000 \text{ Hz} \quad (2.2.2.6)$$

Tenemos pues un sistema de tres ecuaciones con tres incógnitas:

$$\begin{aligned} N_{\text{útiles}} / f_m &= 2 \cdot 10^{-3} \\ f_m &= N \Delta f \\ N_{\text{útiles}} \Delta f &= 2 \cdot 10^4 \end{aligned} \quad (2.2.2.7)$$

que resolviéndolo nos da

$$\begin{aligned} N_{\text{útiles}} &= 101,193 \\ f_m &= 50596,445 \text{ Hz} \\ \Delta f &= 197,64 \text{ Hz} \end{aligned} \quad (2.2.2.8)$$

Los resultados son bastante buenos, pues el número de canales útiles es aproximadamente 100, y la resolución nominal espectral (anchura de canal  $\Delta f$ ) es de aproximadamente 200Hz, resultando la escala horizontal de frecuencias de 2kHz/cm. (con un error de +1.2%).

Para otros valores de  $k_1$  se obtienen valores menos favorables de  $f_m$ ,  $N_{\text{útiles}}$  y  $\Delta f$ .

Otra posibilidad bastante interesante es utilizar el mando de calibrado de la sensibilidad horizontal (base de tiempos) del osciloscopio para descalibrarlo de tal manera que consigan el  $k_1$  que más nos interese: De esta forma podemos conseguir

por ejemplo que  $N_{util}$  sea exactamente 100 y  $\Delta f = 200\text{Hz}$ . Para efectuar el ajuste del osciloscopio se dotará al sistema de una posición de calibrado tal que proporcione al osciloscopio una señal de amplitud máxima en todos los canales útiles, y nula en el resto.

Partiendo pues de  $N_{util} = 100$  y  $\Delta f = 200\text{Hz}$  se obtiene:

$$f_s = 256 \Delta f = 51200\text{Hz} \quad (2.2.2.15)$$

$$k_1 = (N_{util}/f_s)(1/10\text{cm}) = 0,1953 \text{ mseg/cm} \quad (2.2.2.16)$$

Es decir, habría que descalibrar el osciloscopio en un 2.3%.

Esta solución es más elegante en valores obtenidos que la anterior, y es el procedimiento que se seguirá:

### 2.2.3 Cálculo del margen dinámico y de la longitud apropiada de registros

Como se menciona en el capítulo 1.2, el sistema puede proporcionar los resultados de salida expresados en tres magnitudes distintas: potencia, voltios eficaces y decibelios. En función de la magnitud elegida se tendrá un diferente margen dinámico, relacionado con la varianza de ruido total a la salida, inherente a cada uno de los distintos procesos de cálculo. Así para salida en watios, la relación a emplear es la (2.1.9.72), mientras que para valores eficaces, corresponde la relación (2.1.9.74). Para valores en dB el ruido depende del valor de la señal, y en todo caso, es mayor que en las otras dos magnitudes.

Conocemos ya el valor de N, (256). Nos falta determinar los valores más adecuados de longitud de registros del convertidor A/D,  $(b_x+1)$ , del D/A,  $(b_D)$ , de registro del  $\mu P$ ,  $(b+1)$  y de las tablas de raíz cuadrada y decibelios  $(b_r)$  y para ello nos basaremos en el margen dinámico que se obtiene para cada uno de los casos posibles más usuales.

El margen dinámico se calcula en la forma indicada en el capítulo 2.1.9, es decir, será igual a la relación entre la máxima señal obtenible a la salida y el máximo nivel de ruido posible para un determinado nivel de confianza, que escogemos sea del 99%.

Haremos la hipótesis de suponer que el ruido tiene una distribución gaussiana (ruido blanco gaussiano) y por lo tanto tiene una función densidad de probabilidad de:

$$f(x) = 1/(\sigma\sqrt{2\pi}) \exp[-(x-\bar{x})^2/2\sigma^2] \quad (2.2.3.1)$$

donde en nuestro caso,  $\bar{x} = 0$  y  $\sigma^2$  será  $\sigma_p^2$  o  $\sigma_{RMS}^2$  o  $\sigma_{dB}^2$  según la magnitud de salida escogida. Esta función está representada en la fig. 2.1.9-11.

La probabilidad de que el ruido sea menor que x vendrá dada por:

$$\begin{aligned} P[-x < X < x] &= 2F(x) = 2 \int_0^x f(x) dx = \\ &= 2/(\sqrt{2\pi}\sigma) \int_0^x \exp[-(x-\bar{x})^2/2\sigma^2] dx \end{aligned} \quad (2.2.3.2)$$

Si efectuamos el cambio de variable:

$$y = (x - \bar{x}) / (\sqrt{2} \sigma) \quad dy = dx / (\sqrt{2} \sigma) \quad (2.2.3.3)$$

y queda

$$2F(x) = 2F(y) = 2 \int_0^y f(y) dy = 2/\sqrt{\pi} \int_0^y \exp[-y^2] dy = \text{erf}(y) \quad (2.2.3.4)$$

donde erf(y) es la función error complementario de y, que se encuentra perfectamente tabulada (ver A3).

Como queremos que

$$P[-x < X < x] = 0.99 = \text{erf}(y) \quad (2.2.3.5)$$

y consultando en las tablas se obtiene:

$$y = 1.82 = x / (\sqrt{2} \sigma) \Rightarrow x = 2,574 \sigma \quad (2.2.3.6)$$

Es un requerimiento mínimo (véase pliego de condiciones) que el margen dinámico supere los 30 dB, así que dimensionaremos  $b_x$ ,  $b$  y  $b_r$  de acuerdo con este requisito.

Para potencias  $\sigma^2$  vale, según (2.1.9.72):

$$\sigma_p^2 = 6.8394 2^{-2b} + 0.333 2^{-2b_x} + 0.0833 2^{-2b_r} \quad (2.2.3.7)$$

Se obtiene la siguiente tabla:



$b_{x+1}$	$b+1$	$b_D$	$\sigma_F^2$	$\sigma_F$	$N_{eff}(99\%T)$	Pot.ruido	M.D.
8	8	8	$4.39 \times 10^{-4}$	$2.10 \times 10^{-2}$	$5.395 \times 10^{-2}$	$2.91 \times 10^{-3}$	22.35dB
8	16	8	$2.16 \times 10^{-3}$	$4.65 \times 10^{-2}$	$1.20 \times 10^{-2}$	$1.43 \times 10^{-4}$	35.41dB
12	16	12	$8.58 \times 10^{-3}$	$2.93 \times 10^{-1}$	$7.54 \times 10^{-4}$	$5.69 \times 10^{-7}$	59.44dB
16	16	16	$6.68 \times 10^{-2}$	$8.17 \times 10^{-1}$	$2.10 \times 10^{-4}$	$4.43 \times 10^{-9}$	70.53dB

Para valores eficaces  $\sigma^2$  vale, según (2.1.9.74)

$$\sigma_{RMS}^2 = 1.7307 \cdot 2^{-2b_D} + 0.0833 \cdot 2^{-2b_x} + 0.1666 \cdot 2^{-2b_r} + 0.020833 \cdot 2^{-2b_D} \quad (2.2.3.8)$$

se obtiene la siguiente tabla:

$b_{x+1}$	$b+1$	$b_r$	$b_D$	$\sigma_{RMS}^2$	$\sigma_{RMS}$	$N_{eff}(99\%T)$	M.D.
8	8	8	8	$7.696 \times 10^{-3}$	$8.772 \times 10^{-2}$	$2.258 \times 10^{-2}$	29.92dB
8	16	8	8	$7.188 \times 10^{-3}$	$8.478 \times 10^{-2}$	$2.182 \times 10^{-2}$	30.21dB
12	16	8	12	$2.813 \times 10^{-3}$	$1.677 \times 10^{-1}$	$4.317 \times 10^{-3}$	44.29dB
16	16	8	16	$2.544 \times 10^{-3}$	$1.595 \times 10^{-1}$	$4.106 \times 10^{-3}$	44.72dB
16	16	16	16	$1.169 \times 10^{-2}$	$3.420 \times 10^{-1}$	$8.802 \times 10^{-4}$	78.10dB

La primera solución (todo 8 bits) está descartada por permitir un margen dinámico menor que los 30dB requeridos. Esto nos obliga ya a escoger una longitud de registro del microprocesador de 16 bits.

El valor de  $b_r$  elegido será de 8 bits ya que un número mayor de bits requeriría tablas de cálculo excesivamente largas.

El valor de  $b_D$  conviene que sea igual a  $b_{x+1}$ , ya que una mayor resolución a la salida mejora muy poco el margen dinámico.

Sólo nos queda elegir la longitud de registro del convertidor A/D. Cuanta menor resolución en un convertidor A/D, mayor velocidad de conversión, para la misma tecnología. Ya sabemos por (2.2.2.15) que la mayor frecuencia de muestreo será de 51200Hz., lo que supone que el convertidor A/D debe tener un tiempo de conversión menor que 19.53 $\mu$ seg., preferiblemente del orden de 15 $\mu$ seg. o menor, para dar tiempo a la recogida del valor de salida por parte del uP.

Con un convertidor A/D de 8 bits conseguiremos un margen dinámico de 35.41dB, lo que supone una mejora de casi el cuádruple en resolución de nivel de salida; por otra parte, mejorar excesivamente el margen dinámico requeriría el empleo de componentes circuitales de tolerancias reducidísimas, y el diseño de un filtro antialiasing mucho más abrupto y con mayor atenuación y menor rizado. Por lo tanto se elegirá un convertidor A/D de 8 bits y tiempo de conversión menor o igual que 15 $\mu$ seg.

El convertidor A/D elegido es concretamente el ZN427 de Ferranti, por sus excelentes características.

#### 2.2.4 Diseño del filtro antialiasing

Como ya se mencionó en el capítulo 2.1.6, debido al muestreo realizado en la señal de entrada, el espectro de frecuencias de la señal muestreada es periódico de periodo  $f_s$  e ilimitado en banda, siendo por lo tanto necesario limitar en banda la señal muestreada, para evitar el solapamiento ('aliasing') espectral, que daría lugar a estimaciones erróneas del espectro de la señal original. Por otra parte, y según el teorema de muestreo demostrado en el capítulo 2.1.6. la frecuen-

cia de muestreo  $f_s$  deberá ser al menos dos veces la frecuencia máxima de la señal original. Todo esto queda puesto de manifiesto en la fig. 2.2.4-1. También se deduce fácilmente de la fig. 2.2.4-2 que es preciso atenuar las componentes de frecuencia superior a  $f_s - f_{max}$ . Ya se vió en el capítulo 2.1.9 el concepto de margen dinámico del sistema. El valor del nivel de ruido presente a la entrada de la FFT deberá estar como mínimo a un valor igual al margen dinámico por debajo del nivel máximo de la señal. Es decir, las componentes espectrales que cumplan  $|f| \geq |f_s - f_{max}|$ , que son las únicas que entrarían en la banda de 0 a  $f_{max}$  por 'aliasing', deberán atenuarse al menos 35.7dB con respecto a la banda de 0 a  $f_{max}$  (véase 2.2.4).

En cuanto al rizado en la banda de paso, interesa que éste sea menor que el nivel de ruido máximo  $V_N$  presente a la salida de la FFT. Este valor es en tensión de 0.0116 Voltios eficaces (véase 2.2.4)

$$r < 20 \log[V_{RMS}/(V_{RMS}-V_N)] \quad (2.2.4.1)$$

donde  $V_{RMS}$  es el máximo valor de salida en voltios eficaces. Operando sale que  $r < 0.14\text{dB}$ . Se elige el valor más normalizado de 0.1dB.

En la figura 2.2.4-3 está representado el gálibo de la respuesta en frecuencia del filtro antialiasing para la banda de 20kHz. Para la banda de 5kHz. se requiere un filtro de características casi idénticas : basta cambiar la escala del eje de frecuencias dividiendo éstas por cuatro.

Este filtro se puede implementar con elementos activos (amplificadores operacionales) y puede ser de Tchebyscheff.

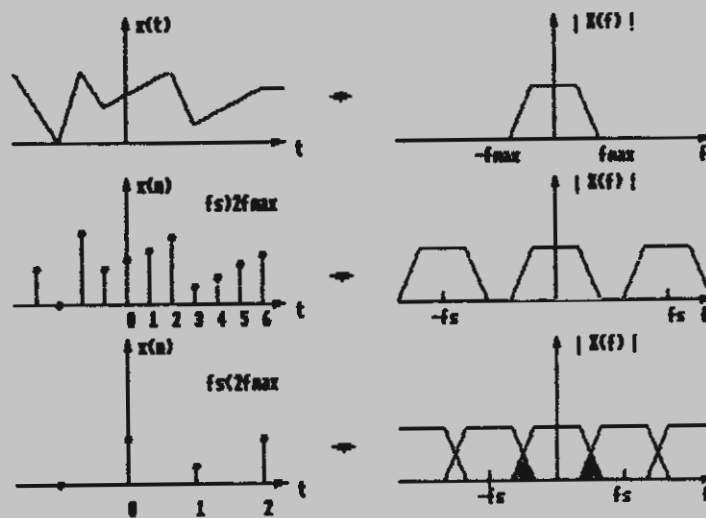


Fig. 2.2.4-1

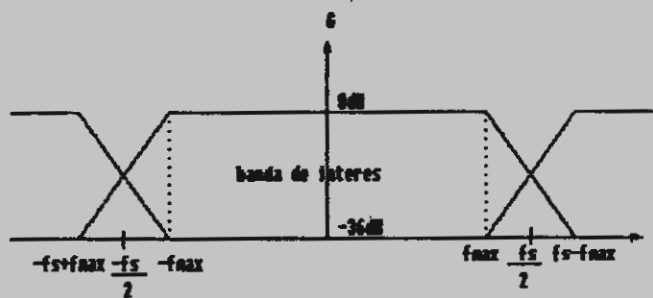


Fig. 2.2.4-2

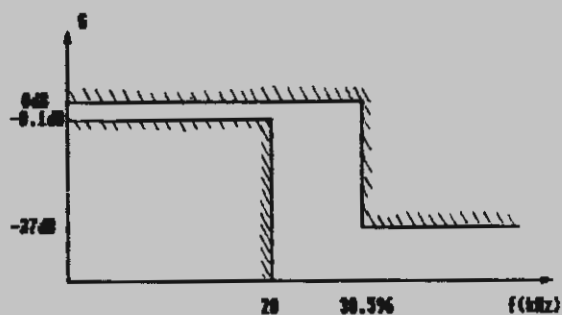


Fig. 2.2.4-3

Consultando el Abaco de orden de filtros de Tchebyscheff [4] en función de la selectividad, el rizado y la atenuación mínima, se obtiene que el orden es 7.

Una posible implementación de este filtro se puede realizar con un circuito que tenga la función de transferencia:

$$F(s) = \frac{1}{F_1(s)F_2(s)F_3(s)F_4(s)} \quad (2.2.4.2)$$

donde

$$F_1(s) = 0.9153s^2 + 0.1534s + 1 \quad (2.2.4.3)$$

$$F_2(s) = 3.0283s^2 + 2.0560s + 1 \quad (2.2.4.4)$$

$$F_3(s) = 1.3276s^2 + 0.6237s + 1 \quad (2.2.4.5)$$

$$F_4(s) = 2.654s + 1 \quad (2.2.4.6)$$

Una función del tipo

$$F(s) = \frac{1}{as^2 + bs + 1} \quad (2.2.4.7)$$

se puede implementar mediante el circuito representado en la fig. 2.2.4-4.

Si expresamos  $F(s)$  en función de los valores de los elementos del circuito, se obtiene:

$$F(s) = \frac{V_2}{V_1} = \frac{k}{R_1 R_2 C_1 C_2 s^2 + [R_1 C_2 + R_2 C_2 + (1-k) R_2 C_1] s + 1} \quad (2.2.4.8)$$

En la fig. 2.2.4-5 se representa gráficamente esta función.

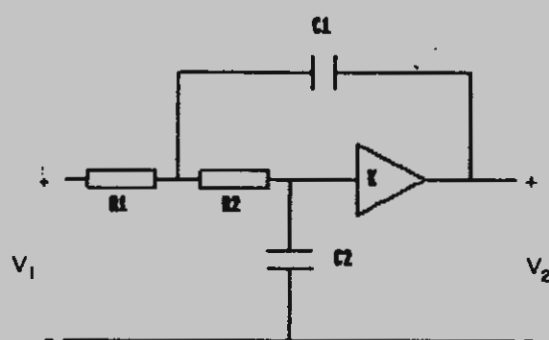


Fig. 2.2.4-4

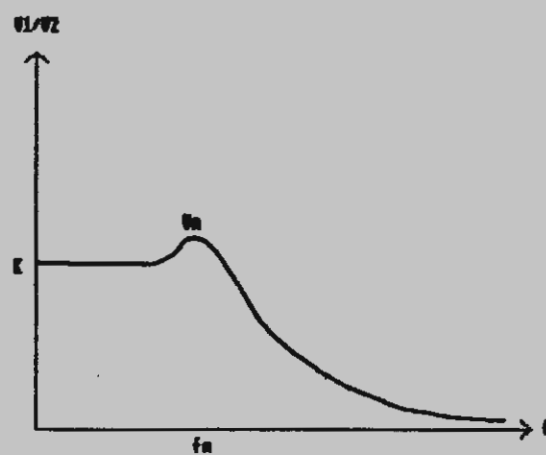


Fig. 2.2.4-5

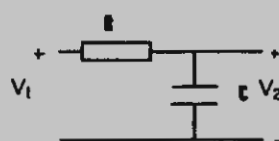


Fig. 2.2.4-6

Los parámetros más importantes de este filtro son:

$$W_o = 1/\sqrt{R_1 R_2 C_1 C_2} \quad (2.2.4.9)$$

$$Q = \frac{\sqrt{R_1 R_2 C_1 C_2}}{R_1 C_2 + R_2 C_2 + (1-K) R_2 C_1} \quad (2.2.4.10)$$

$$V_m = \frac{Q}{\sqrt{1 - (1/4Q^2)}} \quad (2.2.4.11)$$

$$f_m = f_o \sqrt{1 - (1/2Q^2)} \quad (2.2.4.12)$$

Si  $R_1 = R_2 = R$  y  $C_1 = C_2 = C$  se simplifica la función y queda:

$$F(s) = \frac{k}{R^2 C^2 s^2 + RC(3-k)s + 1} \quad (2.2.4.13)$$

con

$$W_o = 1/RC \quad (2.2.4.14)$$

$$Q = \frac{1}{3-k} \quad (2.2.4.15)$$

Se implementarán las tres primeras funciones con tres circuitos de este tipo:

a) Primer circuito

Igualando (2.2.4.3) a la inversa de (2.2.4.13) se obtiene

$$0.9153s^2 + 0.1534s + 1 = (RC)^2 s^2 + RC(3-k)s + 1 \quad (2.2.4.16)$$

y operando se obtiene:

$$\begin{array}{lll} RC=0.9567 & k=2.8397 & w_o=1.0453 \\ Q=6.24 & V_m=6.257 & w_m=1.0385 \end{array} \quad (2.2.4.17)$$

b) Segundo circuito

Igualando (2.2.4.4) a la inversa de (2.2.4.13) se tiene

$$3.0283s^2 + 2.0560s + 1 = (RC)^2 + RC(3-k)s + 1 \quad (2.2.4.18)$$

y operando se tiene

$$\begin{array}{lll} RC=1.7402 & k=1.8185 & w_o=0.5746 \\ Q=0.8464 & V_m=1.049 & w_m=0.3158 \end{array} \quad (2.2.4.19)$$

c) Tercer circuito

Igualando (2.2.4.5) a la inversa de (2.2.4.13) se tiene

$$1.3276s^2 + 0.6237s + 1 = (RC)^2 + RC(3-k)s + 1 \quad (2.2.4.20)$$

y operando se obtiene:

$$\begin{array}{lll} RC=1.1522 & k=2.4587 & w_o=0.8679 \\ Q=1.8474 & V_m=1.919 & w_m=0.8018 \end{array} \quad (2.2.4.21)$$

La función  $F(s) = 1/(as+1)$  se implementa mediante el circuito reflejado en la fig. 2.2.4-6 cuya función de transferencia es:

$$\frac{V_z}{V_1} = \frac{1}{1+RCs} \quad (2.2.4.22)$$



e identificando (2.2.4.6) con la inversa de (2.2.4.22) tenemos

$$2.65s+1 = RCs+1 \quad (2.2.4.23)$$

Operando se obtiene:

$$RC = 2.654 \quad (2.2.4.24)$$

Todos los valores anteriores están normalizados respecto de la frecuencia de normalización  $f_n$ , que será de 20kHz. para un filtro y de 5kHz. para el otro. Desnormalizando se obtiene:

<u>circuito</u>	<u>RC</u>	<u>k</u>	<u>Q</u>	<u>V<sub>m</sub></u>	<u>f<sub>m</sub></u>
1	$7.6132 \times 10^{-6}$	2.8397	6.24	6.257	20770 Hz
2	$1.3848 \times 10^{-6}$	1.8185	0.8464	1.049	6316 Hz
3	$9.1689 \times 10^{-6}$	2.4587	1.8474	1.919	16036 Hz
4	$2.112 \times 10^{-6}$	-	-	-	-

Estos valores son para el filtro de 20kHz. Para el de 5kHz serán 4 veces mayores los RC y 4 veces menores las  $f_m$ .

El circuito 1, con un coeficiente de sobretensión elevado, necesita componentes de la mayor precisión posible y su amplificador operacional deberá tener una ganancia en bucle abierto mayor que  $4Q^2$ , es decir, 156, a 20kHz. Los componentes que se emplearán serán del 0.5% para resistencias y 1% para condensadores.

Los otros dos circuitos no requieren tanto cuidado, pero de todas formas se emplearán componentes del 1% de tolerancia.

Los circuitos 1 y 3 deberán ser ajustables en ganancia para conseguir a cada frecuencia  $f_m$  una ganancia  $V_m$ . El circuito 2 se puede dejar con ganancia 1.

Como la señal de entrada al filtro será elevada, se colocará en primer lugar el circuito 2 seguido del 3, del 1 y del 4, para no saturar el circuito 1.

Elegiremos unos valores de R y C tales que C sea mucho mayor que las capacidades parásitas y R sea mucho mayor que la impedancia de salida de los operacionales y mucho menor que su impedancia de entrada. R debe estar comprendida entre 1 y 20k y C debe ser mayor de 1nF. Los valores elegidos son:

Circuito	20kHz		5kHz	
	R	C	R	C
1	1620	4.7nF	6490	4.7nF
2	2940	4.7nF	11k8	4.7nF
3	1960	4.7nF	7k87	4.7nF
4	4530	4.7nF	18k (2%)	4.7nF

#### 2.2.5 Elección del tipo de memorias

Como la frecuencia de reloj del sistema es del orden de 10MHz, y la velocidad es un parámetro trascendental para este sistema, surge la necesidad de disponer de una circuiteria capaz de funcionar correctamente a estas frecuencias. Concretamente en cuanto a las memorias se refiere, son necesarias memorias con tiempos de accesos menores de 100nseg que es el periodo de la señal de reloj del sistema. Aquí surge el primer problema: la tecnología actual aún no es capaz de posibilitar la fabricación comercial de memorias EPROM de estas velocidades, siendo estas memorias la solución habitual y más útil para almacenar el programa de aplicación y control del sistema.

Quedando descartada la utilización de memorias EPROM, al menos respetando el ciclo normal de funcionamiento del sistema existen al menos dos posibles soluciones al problema. La pri-

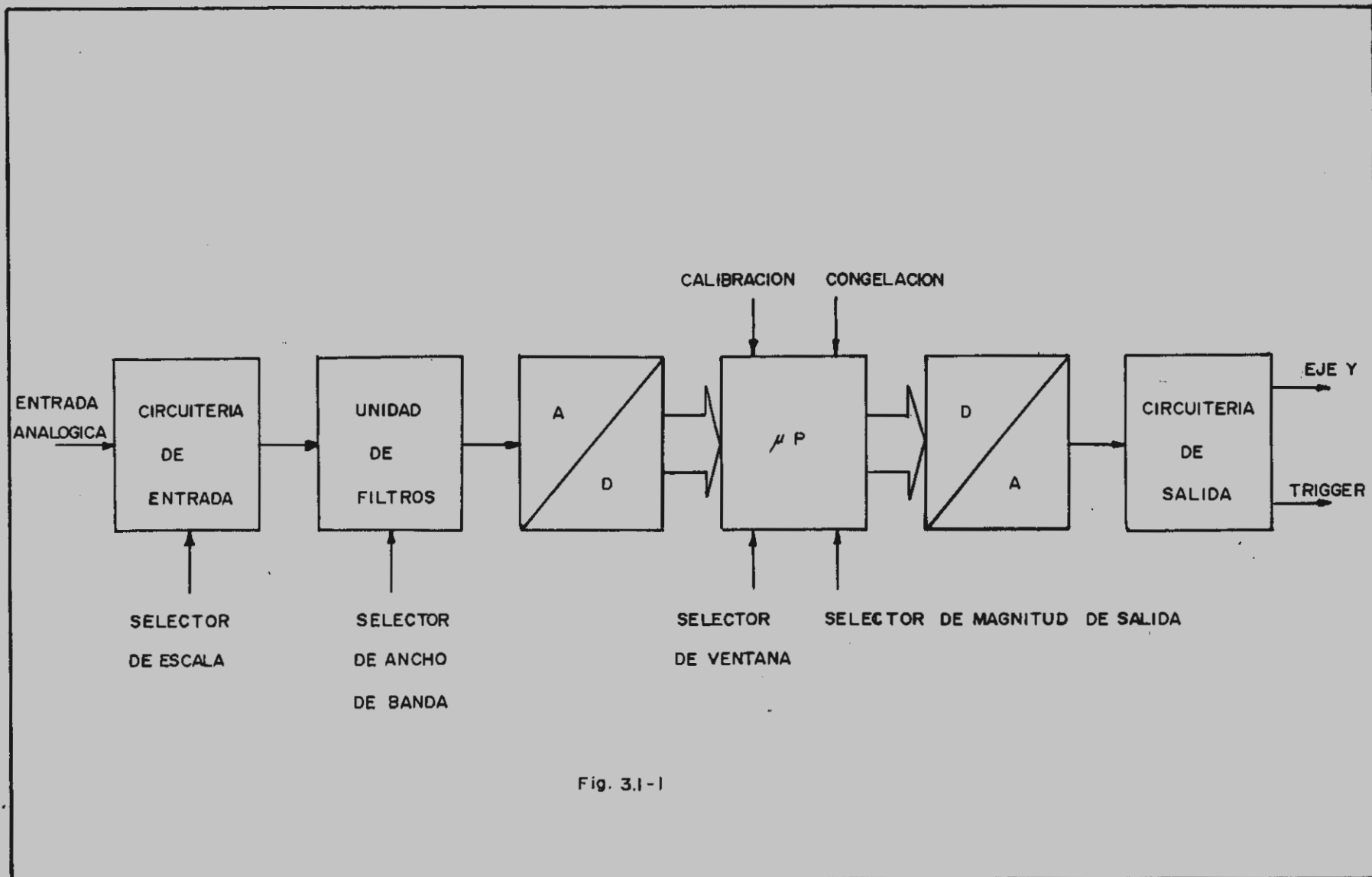
mera de ellas es utilizar memorias PROM (no borrables) rápidas de tipo fuse-link, con tiempos de ciclo de lectura de menos de 100nseg. Esta solución es relativamente fácil, siendo su principal inconveniente la dificultad de realizar modificaciones en el software a no ser a base de programar nuevas memorias. La segunda solución consiste en utilizar memorias EPROM normales añadiendo circuiteria generadora de estados de espera, pero de forma que esta memoria actúa como programa bootstrap, es decir, carga el programa objeto en RAM (rápida) cada vez que se inicialice el sistema, para luego dejar de funcionar hasta una nueva reinicialización. La ventaja de esta segunda solución consiste en la posibilidad de reprogramar las memorias EPROM en caso de fallo de grabación o simplemente cambio o ampliación de las características del sistema, de forma relativamente fácil y económica. Su desventaja consiste en la necesidad de añadir hardware de generación de estados de espera y de mayor cantidad de RAM.

Para este proyecto se ha elegido la primera solución por implicar un hardware más sencillo y por lo tanto más económico y por disponer de la posibilidad de uso de un sistema de desarrollo con el que elaborar el software hasta obtener una versión definitiva de éste.

### 3 DESCRIPCION DETALLADA

El sistema visualizador de espectros, al ser un sistema basado en un microprocesador, consta de software y del hardware asociado necesario para la implementación física del sistema. Ambos están íntimamente relacionados y son mutuamente imprescindibles.

Comenzaremos describiendo el hardware y seguiremos con el software.



### 3.1 Hardware

El diagrama funcional de bloques del sistema se representa en la fig. 3.1-1. Se comentarán separadamente cada uno de los bloques.

#### 3.1.1 Circuitería de entrada

Es la parte del sistema destinada a adaptar la señal de entrada a los requerimientos de nivel del sistema. El diagrama de bloques se representa en la fig. 3.1-2 y el diagrama eléctrico en el plano 1.

El atenuador variable es un atenuador resistivo doble con cuatro posibles atenuaciones seleccionables mediante conmutador: 0dB, 20dB, 40dB y 80dB. Las escalas son:

<u>Escala</u>	<u>Z<sub>ent</sub></u>	<u>Pot.normalizada</u>	<u>dB</u>
10mV <sub>pico</sub>	1k $\Omega$	50 $\mu$ W	0
100mV <sub>pico</sub>	10k $\Omega$	5mW	-20
1V <sub>pico</sub>	100k $\Omega$	0.5W	-40
10V <sub>pico</sub>	1M $\Omega$	50W	-60

La impedancia de entrada es de 100k $\Omega$ /V. La salida del atenuador doble está protegida frente a sobretensiones por diodos zener y frente a sobrecorrientes por fusibles.

En esta etapa está incluido el conmutador selector de sensibilidad SK1 y los indicadores, a diodos led, de escala de tensión de entrada. Existe una posición llamada de calibrado en la que el sistema genera una salida para ajuste de los mandos del osciloscopio: sensibilidades vertical y horizontal y calibrado de la base de tiempos. Está previsto un indicador a led de esta posición.

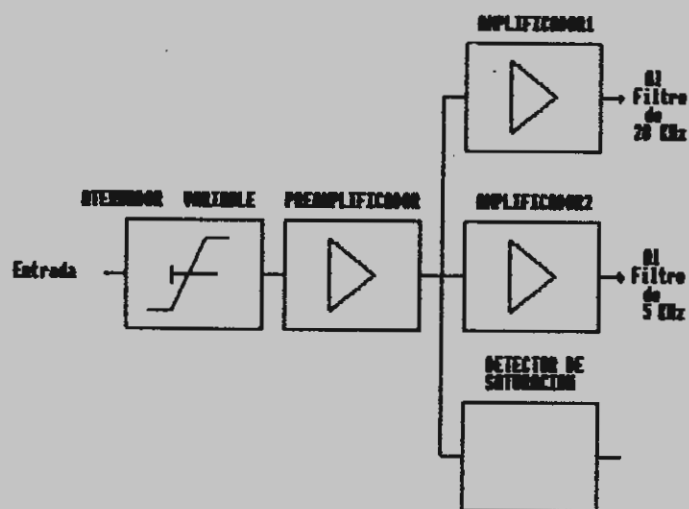


Fig. 3.1-2

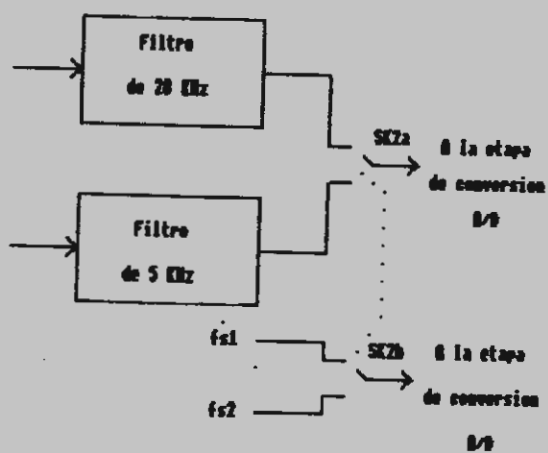


Fig. 3.1.2-1

En la posición de calibrado, además, el microprocesador evaluará el nivel de ruido presente en el sistema, y si es superior a un determinado valor, se indicará exceso de ruido por medio del correspondiente diodo led.

El preamplificador es una etapa diferencial de ganancia 25 de forma que la máxima tensión de pico a su salida es de 250mV. Está constituida por un amplificador operacional. Las etapas amplificadoras 1 y 2 son idénticas y su finalidad es doble: por una parte aumentar el nivel de la señal a  $\pm 2.5V_{pico}$  como máximo y por otra conseguir una separación entre la etapa preamplificadora y los filtros. La ganancia de estas etapas es de 10 y su impedancia de entrada es muy elevada mientras que la de salida es baja.

El detector de saturación consta de otro amplificador que conduce dos diodos led en antiparalelo, de forma que cuando la tensión de pico a la entrada del convertidor supere los  $\pm 2.5V_{pu}$ , los diodos led conducirán y se iluminarán. Su ganancia es del orden de 6.5 para diodos led rojos.

### 3.1.2 Unidad de filtros

Su finalidad quedó explicada en el apartado 2.2.3. Consta de 2 filtros independientes (ver fig. 3.1.2-1), uno de banda de paso hasta 20kHz y otro hasta 5kHz. Ambos filtros son de estructura idéntica: paso bajo activos de Tchebyscheff de 7 polos.

La estructura utilizada de etapas de segundo orden en cascada permite un fácil ajuste. Por otra parte los valores de los componentes usados son comerciales (de la gama del 1% para



condensadores y de la del 0.5% para resistencias) y la sensibilidad del filtro a las tolerancias en estos valores no es muy elevada.

Esta etapa incluye el conmutador de dos posiciones y dos circuitos que constituye el selector de ancho de banda de análisis deseado: 20kHz o 5kHz.

La salida de cada filtro va a parar al primer circuito del conmutador y de ahí, la señal de salida del filtro elegido a la etapa de conversión A/D.

El segundo circuito del conmutador se utiliza para seleccionar la frecuencia de muestreo apropiada de las dos que suministra la etapa de reloj y contadores.

El diagrama eléctrico completo se representa en el plano 2.

### 3.1.3 Conversión A/D

Esta etapa consta de los bloques siguientes:

- a) limitador
- b) muestreo y retención
- c) convertidor A/D

como se puede apreciar en la fig. 3.1.3-1. El primer bloque es una etapa de  $G=1$  en tensión, de alta impedancia de entrada, cuya finalidad es doble: sirve de separador entre la unidad de filtros y la etapa conversora y además actúa como limitador de tensión cuando la tensión a su entrada sobrepasa el

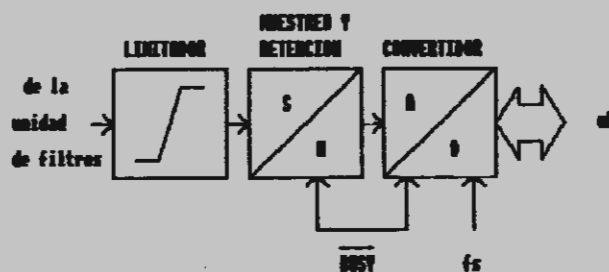


Fig. 3.1.3-1

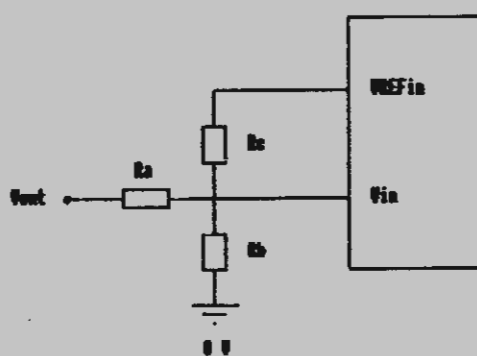


Fig. 3.1.3-2

valor nominal de fondo de escala ( $\pm 2.5V$ ).

La etapa de muestreo y retención está basada en el integrado LF298 que muestrea y retiene de forma controlada por la línea BUSY procedente del convertidor A/D. Cuando en esta línea hay un nivel bajo (convertidor convirtiendo), la salida se mantiene constante y se aísla de la entrada. De esta forma se evitan errores debidos a la variación de la señal mientras el convertidor está en proceso de conversión.

El tercer bloque es el más importante de esta etapa: se trata del convertidor A/D de 8 bits ZN448J, capaz de convertir el valor analógico presente a su entrada en un valor digital en código binario que entrega directamente a la parte alta del bus de datos cada vez que le llega una orden de lectura por la línea CONVAD, activa a nivel bajo. Este convertidor funciona realmente con tensiones de entrada entre 0V y  $+V_{REF}$  (que, si se utiliza la tensión de referencia interna, es  $+2.5V$ ), así que para que funcione con niveles de entrada más altos es necesario colocar un atenuador resistivo a la entrada. Si además se desea trabajar con señales bipolares, como es el caso, es necesario proporcionar un offset de la mitad de la tensión de referencia (en este caso  $1.25V$ ), para que con una tensión de  $0.5V$  la salida sea la mitad del valor máximo binario posible. Este código de salida será necesario modificarlo via software para conseguir una representación en complemento a dos.

Las resistencias  $R_a$ ,  $R_b$  y  $R_c$  representadas en la fig. 3.1.3-2 proporcionan la atenuación (en nuestro caso deberá reducir la señal a la mitad) y el offset necesarios. En nuestro caso se deberá cumplir:

$$R_a = R_c = 8k \quad y \quad R_b = 0 \quad (3.1.3.1)$$

En la práctica  $R_a$  y  $R_c$  constan de una resistencia fija en serie con otra ajustable, para poder cubrir las tolerancias de los componentes y del propio convertidor. El proceso de ajuste se describe en el pliego de condiciones.

El convertidor tiene su propio reloj interno, al que únicamente es necesario proporcionarle un condensador externo, el cual se ha elegido de forma que la frecuencia sea la máxima posible, concretamente 1MHz.

La conversión está gobernada por la señal  $\overline{FS}$  proveniente de la etapa de reloj del sistema. Esta señal tendrá la frecuencia (de muestreo) adecuada al ancho de banda elegido.

El convertidor genera una salida denominada  $\overline{BUSY}$  que indica que está convirtiendo. Esta señal no sólo controla la etapa de muestreo y retención, como ya se mencionó anteriormente, sino que también sirve para que el  $\mu P$  sepa en cada momento el estado del convertidor A/D.

El régimen de funcionamiento del convertidor es en modo libre, es decir, está convirtiendo continuamente el ritmo marcado por la frecuencia de muestreo aplicada en  $\overline{FS}$ , y es el  $\mu P$  quien decide si le interesa o no leer la salida del convertidor, activando, si lo precisa, la línea  $\overline{CONVAD}$ .

Las características de este convertidor se adjuntan en el pliego de condiciones.

El diagrama eléctrico de la etapa conversora completa se

representa en el plano 3.

#### 3.1.4 Subsistema microprocesador

El subsistema microprocesador engloba los siguientes bloques funcionales: reloj y generador de frecuencias de muestreo, CPU, controladores de bus, lógica de direccionamiento y memorias. A continuación se describirá cada uno de estos bloques funcionales.

##### 3.1.4.1 Reloj y generador de frecuencias de muestreo

Este bloque se encarga de generar la frecuencia de reloj necesaria para el funcionamiento de la CPU (menor o igual a 10MHz), y las dos frecuencias de muestreo que se podrán usar, una para cada banda de análisis (20kHz o 5 kHz).

Las frecuencias de muestreo son:

$$f_{20} = 51200\text{Hz}$$

$$f_{5} = 12800\text{Hz}$$

(3.1.4.1)

Para simplificar el hardware, estas frecuencias se obtienen por división de la señal de reloj del sistema por un número entero mediante contadores programables, así que la frecuencia de reloj del sistema deberá tener un valor tal que cumpla esta condición.

Los divisores de frecuencia empleados son: el circuito 74LS160A como divisor por 3, y el 74LS393, como divisor por 64 y por 16. Con ello, la frecuencia de reloj del sistema es:

$$f_{20 \times 3 \times 16} = f_{8 \times 3 \times 64} = 9830400\text{Hz} \quad (3.1.4.2)$$

y se obtiene por medio de un oscilador a cristal de cuarzo para conseguir la necesaria estabilidad en frecuencia.

Esta frecuencia de reloj se entrega a la entrada correspondiente de la CPU a través de un circuito a transistores, que adapta los niveles TTL a los requerimientos de reloj de la CPU, que son mucho más estrictos.

Por último, la frecuencia de muestreo apropiada se selecciona por medio del conmutador SK2b para entregarla a la etapa convertidora A/D.

El diagrama eléctrico se representa en el plano 4.

#### 3.1.4.2 CPU

Este bloque es el alma del sistema. En él está el circuito integrado Z8002B, microprocesador de 16 bits, de excelentes características, descritas más detalladamente en el anexo A1.

Las salidas de control usadas se conectan a un buffer LS365 para eliminar problemas de fan-out.

Al no usarse ningún tipo de interrupción, todas las entradas de interrupción (vectorizada, no vectorizada y no enmascarable) se inhiben colocándose a nivel alto. Asimismo se inhiben las entradas  $\overline{\text{BUSREQ}}$  y  $\overline{\text{STOP}}$  colocándolas a nivel alto.

A la entrada de  $\overline{\text{RESET}}$  se le conecta una red RC que garantiza el retardo en la desactivación de la señal de reset, el

tiempo suficiente para que se estabilice el valor de la tensión de alimentación. Tras ese retardo la señal de  $\overline{\text{RESET}}$  queda inhibida (a nivel alto) y permanecerá así hasta una nueva puesta en marcha del sistema, o una solicitud de reset por medio del pulsador de reset.

La CPU Z8002B tiene la característica de tener el bus de datos y el de direcciones compartidos físicamente, aunque multiplexados en el tiempo. Por ello, es necesario mantener la información de dirección (que es la primera que se manda) durante cierto tiempo, lo que se efectúa por medio de buffers bidireccionales tristate (dos LS245), controlados por las líneas  $\overline{\text{DS}}$  (Data select) y  $\text{R}/\overline{\text{W}}$  (read/write) de la CPU.

El diagrama eléctrico del bloque se representa en el plano 5.

#### 3.1.4.3 Lógica de direccionamiento

Este bloque está compuesto por un decodificador de direcciones 74LS138 de 3 entradas y 8 salidas tal y como se representa en el plano 6.

La selección de direcciones se realiza por medio de las líneas A12 a A15 del bus de direcciones, permitiendo mapear la memoria en 8 bloques de 4kbytes cada uno, con la siguiente distribución:

<u>A<sub>15</sub></u>	<u>A<sub>14</sub></u>	<u>A<sub>13</sub></u>	<u>A<sub>12</sub></u>	<u>Direcciones</u>	<u>Señal</u>	<u>Uso</u>
0	0	0	0	0000H 0FFFH	EPROMCS	Memoria EPROM
0	0	0	1	1000H 1FFFH	Libre 1	Ampliaciones futuras
0	0	1	0	2000H 2FFFH	RAMCS	Memoria RAM
0	0	1	1	3000H 3FFFH	Libre 2	Ampliaciones futuras
0	1	0	0	4000H 4FFFH	CONVAD	Convertidor A/D
0	1	0	1	5000H 5FFFH	SAL	Port de salida
0	1	1	0	6000H 6FFFH	OSCILOS	Convertidor A/D
0	1	1	1	7000H 7FFFH	PROGRAM	Port de entrada
1	X	X	X	Ninguna	-	No debe usarse

Las direcciones de 8000H a FFFFH no se emplean.

#### 3.1.4.4 Memoria

El Z8002B es un microprocesador de 16 bits, es decir, esa es la longitud de sus registros y la longitud de palabra de datos y palabra de direcciones. Por lo tanto, y aunque puede funcionar direccionando bytes, su modo normal de funcionamiento emplea direccionamiento de palabras de 16 bits, aunque el bus de direcciones representa la dirección en bytes.

Las memorias PROM usadas son las TBP 28S166 de Texas Instrument, con un tiempo de acceso inferior a 35nseg, y organización 2kx8bit. Se necesitan por tanto dos memorias, una para el byte bajo y otra para el byte alto. La zona ocupada por la PROM se extiende desde 0000H hasta 0FFFH, es decir, ocupa 2kpalabras (4kbytes).

La memoria RAM la forman 4 chips Texas Instruments TMS2149-7 de 1kx4bits y de acceso mejor que 70nseg, dos para la parte baja de la palabra (byte bajo) y dos para la parte alta (byte alto). Se podía haber usado chips de 1kx8bits o 2kx8bits, pero son de más difícil adquisición para estos tiempos de acceso tan reducidos.



Como existe la posibilidad de direccionamiento al byte, es necesario poder acceder individualmente a cada pareja de las dos que componen la palabra a la hora de escribir, ya que al leer no hay problema, pues la CPU sólo lee la parte que le interesa de los dos bytes.

Este acceso al byte se consigue con un circuito combinatorial que detecta si la instrucción utiliza direccionamiento al byte o a palabra (señal  $B/\overline{W}$ ) y direcciona la pareja de chips apropiada cuando corresponde.

En cambio, con la memoria PROM no es necesario direccionar individualmente cada chip, pues sólo se necesita leer esta memoria. Por ello  $A_0$  no interviene en su direccionamiento.

La RAM instalada corresponde las direcciones entre 2000H y 27FFH, es decir, 2kbytes.

El diagrama eléctrico de la memoria se representa en el plano 7.

### 3.1.5 Señales de control del sistema

El sistema recibe información del exterior y del propio sistema mediante un buffer octal triestado que se direcciona leyendo cualquier dirección comprendida entre 7000H y 7FFFH y que proporciona un byte, cuyo significado es el siguiente:

Bit	Señal	Significado (activa)
0	<u>CONG</u>	Se desea congelar la imàgen
1	<u>CAL</u>	Se desea calibraciòn
2	<u>VRMS</u>	Se desea representaciòn en valores eficaces
3	<u>WATIOS</u>	Se desea representaciòn en warios normalizados
4	<u>DB</u>	Se desea representaciòn logaritmica
5	<u>HANNING</u>	Se desea aplicar ventana de hanning
6	<u>RECTANGULAR</u>	No se desea aplicar ventana
7	<u>BUSY</u>	Convertidor convirtiendo

Todas las se~ales anteriores se activan por interruptores salvo la se~al BUSY que procede del convertidor A/D. El diagrama elèctrico de esta etapa se representa en el plano 8.

### 3.1.6 Dispositivos de salida

El sistema posee dos dispositivos de salida. Uno de ellos es la etapa conversora digital-analògica, que consta de un latch octal LS273 y un convertidor D/A formado por el convertidor AD7523 y un amplificador operacional. Su se~al de salida servirà para excitar el eje Y del osciloscopio. Se direccionarà escribiendo en una direcciòn entre 6000H y 6FFFFH.

El otro dispositivo de salida està formado por otro latch octal LS273 junto con el bus driver octal 74LS241, y se encarga de excitar la entrada de trigger del osciloscopio, asì como de controlar los indicadores a led del sistema: Hannning, dB, VRMS, Watios, exceso de ruido, calibraciòn y congelaciòn. Se direcciona al escribir en una direcciòn entre 5000H a 5FFFFH.

El diagrama elèctrico se representa en el plano 9.

### 3.1.7 Fuente de alimentación

La fuente de alimentación debe ser capaz de proporcionar las tensiones de +5V y -5V, con corrientes del orden de 1A y 100mA respectivamente.

Se ha diseñado de forma que puede proporcionar holgadamente 2A y 300mA respectivamente. Se representa en el plano 10

Consta de un transformador de tensión de 220 a 7.5 V<sub>ac</sub>, con punto central de secundario a 0V, un rectificador en puente, un estabilizador a base de condensadores para cada salida, y dos circuitos reguladores de tensión, a base de sendos circuitos integrados reguladores de tensión. Se emplean los conocidos uA7805 y uA7905. Para suministrar la corriente de 1A a la tensión de +5V, se ha realizado un montaje a base de un transistor de potencia 2N2955, controlado por el regulador de tensión positivo. Cuando la corriente de salida es superior a 70mA, el transistor conduce la mayor parte de la corriente (es decir, en condiciones normales).

El rizado a la salida es muy reducido y la regulación es del orden del 0.1%.

Tanto el transistor de potencia como los dos reguladores integrados deben llevar radiador disipador de calor.

En bornas de las entradas de alimentación de todos los circuitos integrados, se sitúan condensadores de desacople cerámicos, para reducir los ruidos parásitos inducidos.

### 3.2 Software

El software del sistema es el conjunto de datos almacenados o almacenables en la memoria del sistema, que incluyen procedimientos para control del hardware en forma de instrucciones codificadas digitalmente, y datos, que pueden ser fijos (constantes del sistema) o variables (datos recogidos, resultados intermedios, y datos suministrados al hardware).

El lenguaje empleado para la elaboración de los programas es el ensamblador propio del microprocesador usado (Z8002), lenguaje asimilable por éste una vez 'ensamblado', es decir, escrito en forma de valores numericos representativos de las instrucciones y datos. Con ello se consigue optimizar al máximo la velocidad de ejecución, aunque se dificulta la fase de elaboración de los programas.

En primer lugar se comenta el flujograma de control del software de forma general y a continuación se detalla cada bloque de éste. Después se hace un resumen de los datos manejados y por último se da un listado del software completo, a nivel ensamblador y se hace un estudio de los tiempos de ejecución.

#### 3.2.1 Flujograma de control

En la fig. 3.2.1-1 se representa el flujograma de control. El primer bloque se ha denominado INICIALIZACION, y como su nombre indica, se encarga de inicializar ciertos parámetros del sistema.

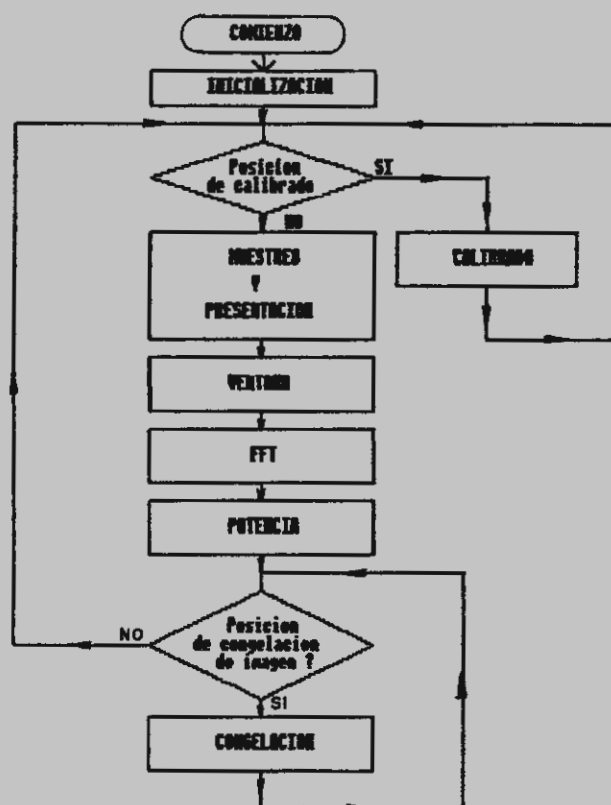


Fig. 3.2.1-1

A continuación, se investiga si el conmutador de entrada está en posición de calibrado, en cuyo caso se pasa el control al bloque CALIBRADO, o bien está en otra posición, siguiendo en este caso el flujo normal.

El bloque CALIBRADO investiga el ruido presente en el sistema y actúa el indicador de 'exceso de ruido' si el ruido es excesivo. Además se encarga de proporcionar al hardware de salida una señal que servirá para calibrar el osciloscopio. Se seguirá en el bucle de calibrado hasta cambiar el conmutador de calibrado de posición.

El bucle formado por los bloques MUESTREO y PRESENTACION, VENTANA, FFT y POTENCIA, es el que se seguirá en condiciones normales, consistiendo en recogida de nuevos datos y salida de los anteriores, aplicación de ventana temporal de Hanning o rectangular, algoritmo de transformada rápida de Fourier, y cálculo de las potencias correspondientes, respectivamente.

Al final de este bucle se investiga siempre si se ha activado la solicitud de congelación de imagen, en cuyo caso se pasará el control al bloque CONGELACION, que manda los últimos datos de salida al osciloscopio de forma reiterativa hasta que el mando de congelación pase a la situación normal, volviéndose entonces al bucle principal.

Como se puede apreciar, no existe un bloque de salida del programa, de forma que la única manera de reinicializar la ejecución es reseteando el sistema o rearrancándolo (apagando y conectando la alimentación de nuevo).

### 3.2.1.1 Bloque INICIALIZACION

Este bloque inicializa el valor de los punteros de stack del sistema y normal con la dirección 2100H, y el puntero de área de estado de programa en la dirección 2600H.

El puntero de stack en este microprocesador se decrementa en valor cada vez que se introduce un nuevo dato en el stack. Por ello se ha situado el valor inicial del puntero en una dirección de RAM inferior a la zona de datos y dejando margen suficiente para la máxima utilización posible del stack.

En cambio el puntero de área de estado del programa define la dirección de comienzo de una tabla de vectores de atención a interrupciones y a traps. Como no se usará ningún tipo de interrupción, no será necesario rellena esta tabla. Su posición será a continuación de los últimos datos, es decir, comenzando en 2600H (véase mapa de memoria en la fig. 3.2.2 1).

### 3.2.1.2 Bloque MUESTREO y PRESENTACION

En la fig. 3.2.1-2 se representa el flujograma de este bloque. Aunque es autoexplicativo, sin embargo procede hacer algunos comentarios.

- Este subprograma se encarga de mandar el impulso de disparo del osciloscopio momentos antes (microsegundos) de comenzar o sacar resultados.

- La temporización de salida de muestras es la misma que la de muestreo: se aprovecha la misma frecuencia patrón.

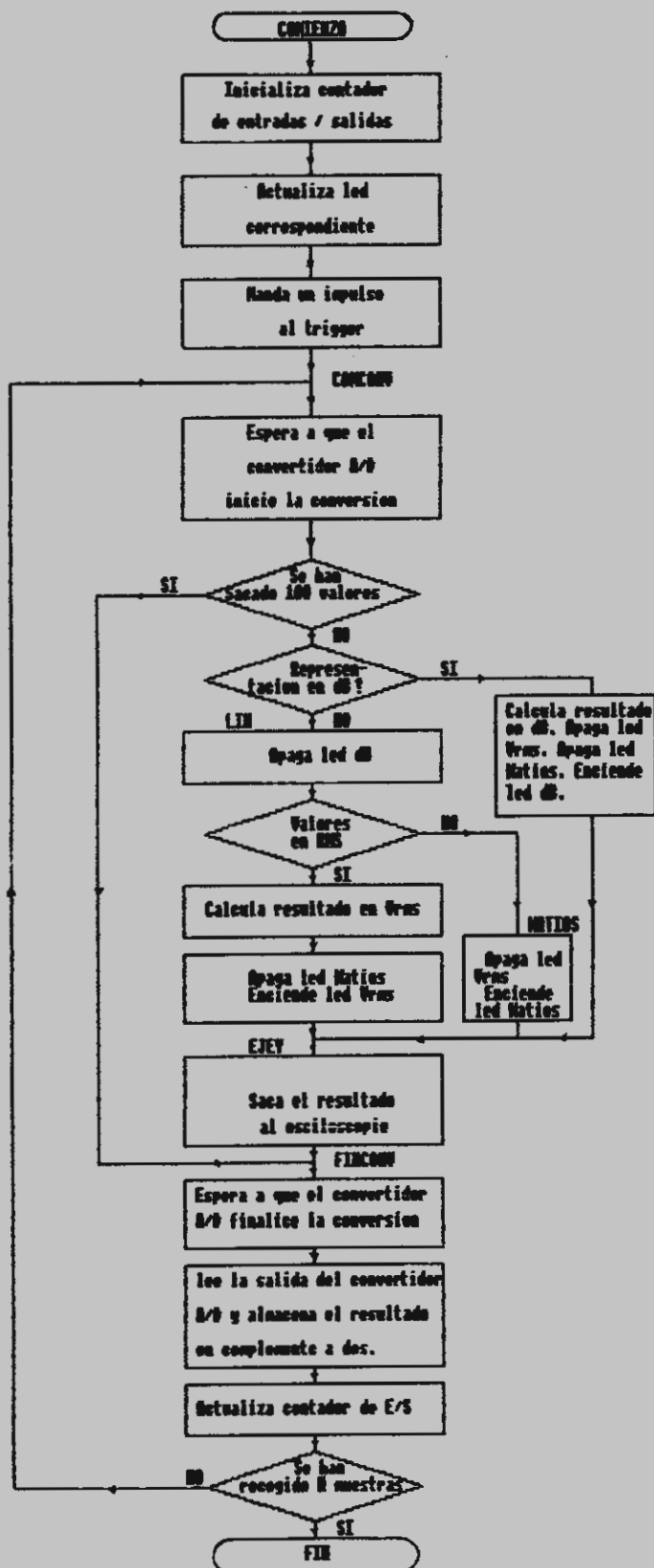


Fig. 3.2.1-2



- Se efectúa en primer lugar la salida de un resultado nada más detectarse el comienzo de conversión, de forma casi coincidente con un flanco de la señal de frecuencia de muestreo. Como se sabe que el tiempo de conversión es del orden de 9  $\mu$ seg., se aprovecha este intervalo para sacar el resultado, y se sigue haciendo hasta que se hayan sacado 100 resultados. Después se investiga si se desea representación lineal o en decibelios, y si es lineal, si es en watios o en voltios eficaces; se activan los led correspondientes y se saca el resultado. Por último se espera a que el convertidor A/D indique el fin de conversión, momento en el cual se lee su salida.

- La salida del convertidor A/D no está en complemento a dos, sino en binario y con un offset, siendo por lo tanto necesario convertir su salida a complemento a dos.

- Se recogen 256 (N) valores de entrada (muestras) mientras que sólo se obtienen 100 valores de salida (N<sub>salidas</sub>) en cada ciclo.

### 3.2.1.3 Bloque VENTANA

Este bloque efectúa la aplicación de la ventana temporal solicitada, a las muestras de entrada.

En primer lugar se investiga si la ventana deseada es la rectangular, en cuyo caso no se modifican las muestras y se vuelve al programa principal. Si la entrada correspondiente a ventana de Hanning es la activada, se efectúa una rutina que multiplica cada muestra por el coeficiente de Hanning apropiado. Además, este bloque enciende el diodo led correspondiente al tipo de ventana elegido y apaga el otro.

#### 3.2.1.4 Bloque FFT

Este bloque es la implementación software del algoritmo de FFT mencionado en el capítulo 2.1.8.2. Su flujograma se representa en la fig, 3.2.1-3. Es de reseñar lo siguiente:

- La variable  $m$  nos indica el número de la iteración; la variable  $L$  equivale a la separación entre las entradas en cada mariposa;  $J$  indica el coeficiente  $W$  a utilizar;  $J_{\max}$  es el valor máximo de  $J$  en cada iteración;  $CONT$  es una variable auxiliar de valor inicial igual a  $L$  para cada grupo de mariposas con el mismo coeficiente  $J$ .

- Los coeficientes  $W$  se encuentran almacenados en el orden en que se utilizan en el algoritmo, en las tablas  $W_N(J)$ ,  $W_I(J)$

- Los datos de entrada, los resultados de cada iteración y los resultados finales se guardan en el array  $B$ .

- Los resultados del algoritmo se obtienen en un orden revuelto, así que será necesaria una ulterior reordenación.

- Los datos de entrada no se han escalado por  $1/2$ , así que los resultados de salida corresponden a un valor doble del correspondiente a la Transformada Discreta de Fourier, es decir, la parte real y la parte imaginaria del resultado tienen un valor máximo igual a 1 en lugar de  $1/2$ . El valor de potencia resultante tendría un valor máximo de 2 en lugar de  $1/2$ , pero se escala convenientemente para prevenir el overflow (en realidad se pasa a aritmética sin signo para enviar los datos de salida, de forma que el máximo valor numérico representable se duplica). El valor de la componente continua se saca directamente por ser ya de valor doble.

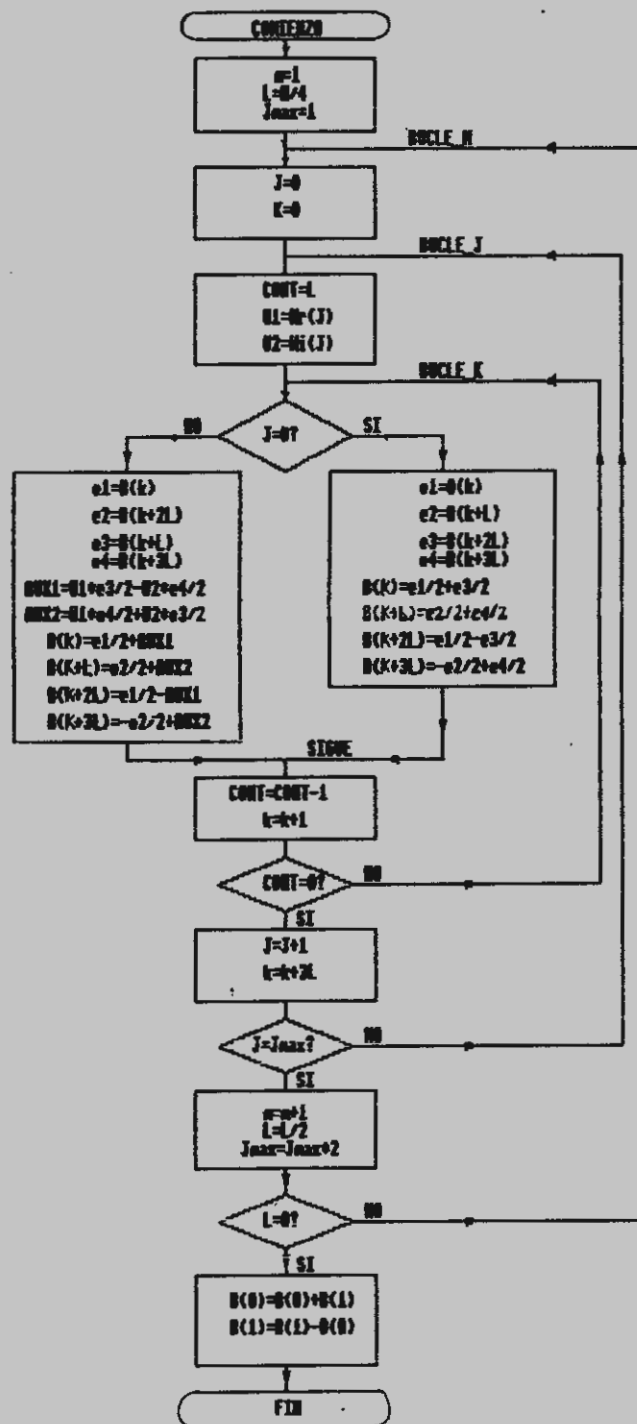


Fig. 3.2.1-3

#### 3.2.1.5 Bloque POTENCIA

Este bloque efectúa el reordenamiento de las muestras de salida y calcula la potencia de los canales útiles (los 100 primeros). Su flujograma se representa en la fig. 3.2.1-4. Nótese que:

- Sólo se calcula la potencia en los canales útiles para ahorrar tiempo de cálculo.

- Se utiliza una tabla para la conversión de orden revuelto a orden normal. En ella están almacenadas las posiciones alteradas de los canales en orden normal.

- Los resultados de salida se almacenan en TABRES.

#### 3.2.1.6 Bloque CALIBRADO

Este bloque utiliza otros bloques como subprogramas para calcular, en primer lugar, el nivel de potencia de ruido inherente al sistema, es decir, para entrada nula. A continuación genera una salida de nivel máximo de potencia para todos los canales, de forma que permite calibrar el osciloscopio. El flujograma se representa en la fig. 3.2.1-5. Nótese que:

- Si el nivel de ruido es superior al umbral indica normalmente la existencia de algún fallo en el hardware.

#### 3.2.1.7 Bloque CONGELACION

Este bloque ocasiona que se saquen los últimos resultados de forma reiterativa, de modo que la información presentada al

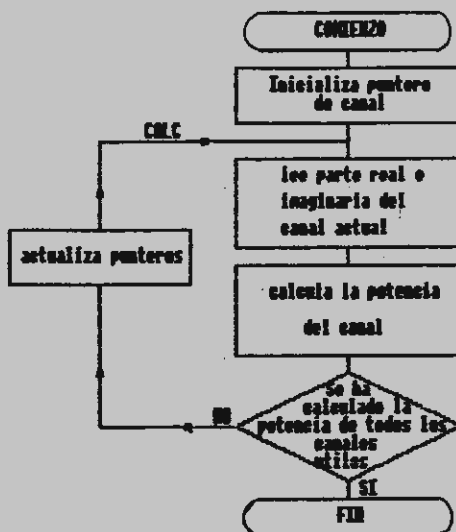


Fig. 3.2.1-4

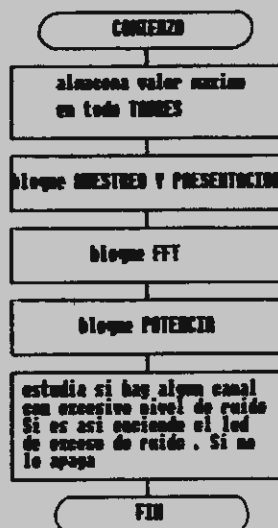


Fig. 3.2.1-5

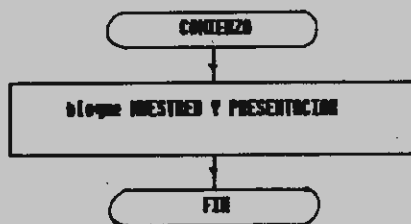


Fig. 3.2.1-6



osciloscopio no cambiará en el tiempo hasta que se vuelva el conmutador de congelación a la posición normal. El flujograma es muy sencillo y se representa en la fig. 3.2.1-6. Nótese que

- Como los datos de salida no resultan afectados por el muestreo se puede utilizar el mismo bloque MUESTREO Y PRESENTACION como subrutina.

### 3.2.2 Datos manejados

Los datos manejados se pueden dividir en dos grandes grupos: datos variables y datos constantes. Los variables son los datos de entrada, los resultados intermedios y los datos de salida mientras que los constantes son los coeficientes y tablas de reordenamiento y conversión de magnitudes.

Los datos de entrada proceden del convertidor A/D y se almacenan en memoria en una zona denominada TABLA, ocupando en total 256 palabras de 16 bits, ya que éste es el número de muestras de entrada.

Como el convertidor A/D es de 8 bits y la longitud de palabra es de 16 bits, el byte bajo de cada dato de entrada será 0 y el byte alto será el valor de la muestra en complemento a dos.

El algoritmo de FFT usado efectúa los cálculos 'in situ' y por lo tanto los resultados intermedios y el resultado final (128 partes reales y 128 imaginarias) quedan en las mismas posiciones de memoria, es decir, en TABLA, aunque en orden revuelto y ocupando posiciones adyacentes la parte real e imaginaria de cada canal. Estos resultados se reordenan y se calcu-

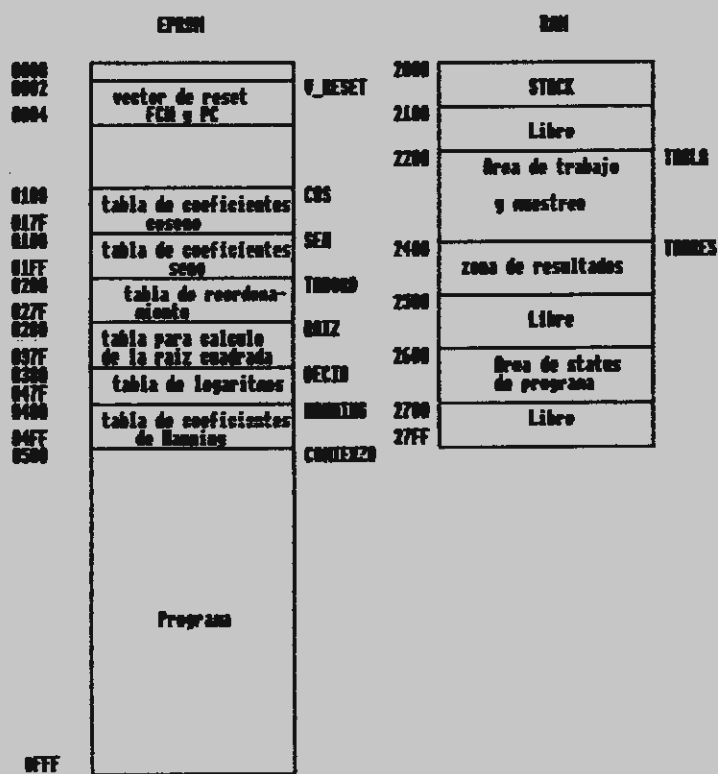


Fig. 3.2.2-1

la la potencia en los 100 canales útiles. Estos 100 valores serán los resultados para presentar a la salida, y se almacenan en una zona de memoria denominada TABRES.

Los datos constantes son los coeficientes W del algoritmo de FFT, la tabla de reordenamiento de valores de salida, las tablas de conversión a valores eficaces y a dB y la tabla de coeficientes de Hanning.

Los coeficientes W tienen su parte real almacenada en una zona de memoria de 128 palabras denominada COS, mientras la zona de la parte imaginaria se denomina SEN, siendo también de 128 palabras de longitud.

La tabla de reordenamiento ocupa una zona de memoria de 128 bytes denominada TABORD. En ella están almacenadas las posiciones alteradas de los canales en orden normal. Sólo se usa los 100 primeros elementos.

La tabla para el cálculo de valores eficaces (RAIZ) es una tabla con los valores correspondientes a la raíz cuadrada del número de la posición con respecto a su comienzo, escalados de forma que dé valor máximo a la salida. Ocupa 256 bytes.

A continuación está la tabla de conversión a dB (DECIB), que en realidad es una tabla de algoritmos convenientemente escalada para dar nivel máximo a la salida. Ocupa 256 bytes.

Por último está la tabla de coeficientes de Hanning (HANNING), que ocupa 128 bytes ya que de los 256 coeficientes necesarios sólo la mitad son diferentes, siendo simétricos en torno al 127. En la fig. 3.2.2-1 se muestra el mapa de memoria.



### 3.2.3 Listado del ensamblador

Este listado ha sido producido por un programa ensamblador del Z8000, incorporado en un sistema de desarrollo Tektronix 8550. El listado incluye tabla de referencias cruzada, y una tabla de símbolos. Los directivos utilizados tienen el siguiente significado:

TITLE : Sirve para imprimir un título.

ASMID : Selecciona el uP de la familia Z8000 usado.

ORG : Establece la dirección absoluta de carga del segmento.

EQU : Asigna un valor a una etiqueta o símbolo.

WORD : Los datos que se escriben a continuación son palabras.

BYTE : Los datos que se escriben a continuación son bytes.

Un ; indica comienzo de zona de comentario.

ASM Z8001/Z8002  
V01.01-01 (8550)

Page 1  
07-MAR-84/09:13:37

```
1 ;
2 ;
4 ;
5 ;
6 ;      AUTOR:   RAFAEL DE LAS HERAS ALFONSO
7 ;
8 ;
9 ;      FECHA:   AGOSTO 1983
10 ;
11 ;
12 ;      ASMID Z8002
13 ;
14 ;
15 ;
16 ; ***** VECTOR DE RESET *****
17 ;
18 ;
19 ;      ORG      0002H
20 00000002 40000500 R V_RESET WORD 4000H, COMIENZO ;vector de reset (FCW y PC)
21 ;
22 ;
23 ; ***** DIRECCIONES DE PERIFERICOS *****
24 ;
25 ;
26 4000 CONVAD EQU 4000H ;direccion hardware del convertidor A/D
27 5000 SAL EQU 5000H ;direccion hardware del port de salida
28 6000 OSCILOS EQU 6000H ;direccion hardware del convertidor D/A
29 7000 PROGRAM EQU 7000H ;direccion hardware del port de programacion
30 ;
31 ;
```

```

32      ;***** TABLAS DE DATOS *****
33      ;
34      ;
35      2200      TABLA      EQU      2200H      ;direccion de comienzo de tabla de datos
36      2400      TABRES     EQU      2400H      ;direccion de comienzo de tabla de resultados
37      ;
38      ;
39      ;
40      ;***** CONSTANTES *****
41      ;
42      ;
43      100      N          EQU      256          ;N
44      80      NMEDIOS     EQU      128          ;N/2
45      7      LG2NM1      EQU      7            ;log2(N)-1
46      64      NUTILES     EQU      100          ;numero de canales utiles
47      5      MAXRUIDO     EQU      5            ;maxima potencia de ruido
48      ;
49      ;
50      ;***** TABLAS DE COEFICIENTES *****
51      ;
52      ;
53      100 R      ORG      0100H

```

ASM Z8001/Z8002 VISUALIZADOR DE ESPECTROS  
V01.01-01 (8550)

Pase 2  
07-MAR-84/09:13:37

54	00000100	7FFF5A82	COS	WORD	7FFFH, 5A82H, 7641H, 30FBH
		764130FB			
55	00000108	7D8A18F8		WORD	7D8AH, 18F8H, 6A6DH, 471CH
		6A6D471C			
56	00000110	7F620C8B		WORD	7F62H, 0C8BH, 62F2H, 5133H
		62F25133			
57	00000118	7A7D2528		WORD	7A7DH, 2528H, 70E2H, 3C56H
		70E23C56			
58	00000120	7FD80647		WORD	7FD8H, 0647H, 5ED7H, 55F5H
		5ED755F5			
59	00000128	78842B1F		WORD	7884H, 2B1FH, 73B5H, 36BAH
		73B536BA			
60	00000130	7E9D12C8		WORD	7E9DH, 12C8H, 66CFH, 4C3FH
		66CF4C3F			
61	00000138	7C291F19		WORD	7C29H, 1F19H, 6DCAH, 41CEH
		6DCA41CE			
62	00000140	7FF60324		WORD	7FF6H, 0324H, 5CB4H, 5842H
		5CB45842			
63	00000148	776C2E11		WORD	776CH, 2E11H, 7504H, 33DEH
		750433DE			
64	00000150	7E1D15E2		WORD	7E1DH, 15E2H, 68A6H, 49B4H
		68A649B4			
65	00000158	7CE31C0B		WORD	7CE3H, 1C0BH, 6C24H, 447AH
		6C24447A			
66	00000160	7FA7096A		WORD	7FA7H, 096AH, 60ECH, 539BH
		60EC539B			
67	00000168	798A2826		WORD	798AH, 2826H, 7255H, 398CH
		7255398C			
68	00000170	7F090FAB		WORD	7F09H, 0FABH, 64E8H, 4EBFH
		64E84EBF			
69	00000178	7B5D2223		WORD	7B5DH, 2223H, 6F5FH, 3F17H
		6F5F3F17			

70



71				
72	00000180	0000A57E CF0589BF	SEN	WORD 0000H, 0A57EH, 0CF05H, 89BFH
73	00000188	E7088276 B8E49593		WORD 0E708H, 8276H, 0B8E4H, 9593H
74	00000190	F375809E AECD9D0E		WORD 0F375H, 809EH, 0AECDH, 9D0EH
75	00000198	DAD88583 C3AA8F1E		WORD 0DAD8H, 8583H, 0C3AAH, 8F1EH
76	000001A0	F9B98028 AA0BA129		WORD 0F9B9H, 8028H, 0AA0BH, 0A129H
77	000001A8	D4E1877C C9468C4B		WORD 0D4E1H, 877CH, 0C946H, 8C4BH
78	000001B0	ED388163 B3C19931		WORD 0ED38H, 8163H, 0B3C1H, 9931H
79	000001B8	E0E783D7 BE329236		WORD 0E0E7H, 83D7H, 0BE32H, 9236H
80	000001C0	FCDC800A A7BEA34C		WORD 0FCDCH, 800AH, 0A7BEH, 0A34CH

ASM Z8001/Z8002 VISUALIZADOR DE ESPECTROS  
V01.01-01 (8550)

Page 3  
07-MAR-84/09:13:37

81	000001C8	D1EF8894 CC228AFC		WORD 0D1EFH, 8894H, 0CC22H, 8AFCH
82	000001D0	EA1E81E3 B64C975A		WORD 0EA1EH, 81E3H, 0B64CH, 975AH
83	000001D8	E3F5831D BB8693DC		WORD 0E3F5H, 831DH, 0BB86H, 93DCH
84	000001E0	F6968059 AC659F14		WORD 0F696H, 8059H, 0AC65H, 9F14H
85	000001E8	D7DA8676 C6748DAB		WORD 0D7DAH, 8676H, 0C674H, 8DABH
86	000001F0	F05580F7 B1419B18		WORD 0F055H, 80F7H, 0B141H, 9B18H
87	000001F8	DDDD84A3 C0E990A1		WORD 0DDDDH, 84A3H, 0C0E9H, 90A1H

88  
89

90	00000200	008040C0 20E060A0	TABORD	BYTE	0,128,64,192,32,224,96,160
91	00000208	10B070F0 30D05090		BYTE	16,176,112,240,48,208,80,144
92	00000210	089858D8 38F878B8		BYTE	8,152,88,216,56,248,120,184
93	00000218	18A868E8 28C84888		BYTE	24,168,104,232,40,200,72,136
94	00000220	048C4C0C 2CEC6CAC		BYTE	4,140,76,204,44,236,108,172
95	00000228	1CBC7CFC 3CDC5C9C		BYTE	28,188,124,252,60,220,92,156
96	00000230	0C9454D4 34F474B4		BYTE	12,148,84,212,52,244,116,180
97	00000238	14A464E4 24C4447A		BYTE	20,164,100,228,36,196,68,122
98	00000240	027C46C6 26E666A6		BYTE	2,124,70,198,38,230,102,166
99	00000248	16B676F6 36D65696		BYTE	22,182,118,246,54,214,86,150
100	00000250	0E9E5EDE 3EFE7EBE		BYTE	14,158,94,222,62,254,126,190
101	00000258	1EAE6EEE 2ECE4E92		BYTE	30,174,110,238,46,206,78,146
102	00000260	068A4ACA 2AEA6AAA		BYTE	6,138,74,202,42,234,106,170
103	00000268	1ABA7AFA 3ADA5A9A		BYTE	26,186,122,250,58,218,90,154
104	00000270	0A9252D2 32F272B2		BYTE	10,146,82,210,50,242,114,178
105	00000278	12A262E2 22C24282		BYTE	18,162,98,226,34,194,66,130
106					
107					
108	00000280	0010171C 2024272A	RAIZ	BYTE	0,16,23,28,32,36,39,42,45,48,51,53,55,58,60,62

ASM Z8001/Z8002 VISUALIZADOR DE ESPECTROS  
V01.01-01 (8550)

Pase 4  
07-MAR-84/09:13:37

		2D303335		
		373A3C3E		
109	00000290	40424446	BYTE	64,66,68,70,72,73,75,77,78,80,82,83,85,86,88,89
		48494B4D		
		4E505253		
		55565859		
110	000002A0	5B5C5D5F	BYTE	91,92,93,95,96,97,99,100,101,102,104,106,107,109,110
		60616364		
		6566686A		
		6B6D6E		
111	000002AF	6F707172	BYTE	111,112,113,114,115,116,118,119,120,121,122,123,124,125,126,127
		73747677		
		78797A7B		
		7C7D7E7F		
112	000002BF	80818283	BYTE	128,129,130,131,132,133,134,135,136,137,138,139,139,140,141,142
		84858687		
		88898A8B		
		8B8C8D8E		
113	000002CF	8F909192	BYTE	143,144,145,146,147,148,148,149,150,151,152,153,153,154,155,156
		93949495		
		96979899		
		999A9B9C		
114	000002DF	9D9E9E9F	BYTE	157,158,158,159,160,161,162,162,163,164,165,166,166,167,168,169
		A0A1A2A2		
		A3A4A5A6		
		A6A7A8A9		
115	000002EF	A9AAABAC	BYTE	169,170,171,172,172,173,174,175,175,176,177,177,178,179,180,180
		ACADAEAF		
		AFB0B1B1		
		B2B3B4B4		
116	000002FF	B5B6B6B7	BYTE	181,182,182,183,184,185,185,186,187,187,188,189,189,190,191,191
		B8B9B9BA		
		BBBBBCBD		
		BDBEBFBF		



117	0000030F	C0C1C1C2 C3C3C4C5 C5C6C7C7 C8C8C9CA	BYTE	192,193,193,194,195,195,196,197,197,198,199,199,200,200,201,202
118	0000031F	CACBCCCC CDCECECF CFD0D1D1 D2D2D3D4	BYTE	202,203,204,204,205,206,206,207,207,208,209,209,210,210,211,212
119	0000032F	D4D5D5D6 D7D7D8D8 D9DADADB DBDCDDDD	BYTE	212,213,213,214,215,215,216,216,217,218,218,219,219,220,221,221
120	0000033F	DEDEDFFDF E0E1E1E2 E2E3E3E4 E5E5E6E6	BYTE	222,222,223,223,224,225,225,226,226,227,227,228,229,229,230,230
121	0000034F	E7E7E8E8 E7E8E8E8	BYTE	231,231,232,232,233,234,234,235,235,236,236,237,237,238,238,239

ASM Z8001/Z8002 VISUALIZADOR DE ESPECTROS  
V01.01-01 (8550)

Page 5  
07-MAR-84/09:13:37

		EBECECED EDEEEEEF		
122	0000035F	EFF0F1F1 F2F2F3F3 F4F4F5F5 F6F6F7F7	BYTE	239,240,241,241,242,242,243,243,244,244,245,245,246,246,247,247
123	0000036F	F8F8F9F9 FAFAFBFB FCFCFDFD FEFEFFFF	BYTE	248,248,249,249,250,250,251,251,252,252,253,253,254,254,255,255
124		:		
125		:		
126	0000037F	00002033 404A535A 60656A6F 70767A7B	DECIB	0,0,32,51,64,74,83,90,96,101,106,111,115,118,122,125



127	0000038F	80838588 8A8D8F91 93959698 9A9B9D9F	BYTE	128, 131, 133, 136, 138, 141, 143, 145, 147, 149, 150, 152, 154, 155, 157, 159
128	0000039F	A0A1A3A4 A5A7A8A9 AAABADA E AFB0B1B2	BYTE	160, 161, 163, 164, 165, 167, 168, 169, 170, 171, 173, 174, 175, 176, 177, 178
129	000003AF	B3B4B5B6 B6B7B8B9 BABBBBBC BDBEBFBF	BYTE	179, 180, 181, 182, 182, 183, 184, 185, 186, 187, 187, 188, 189, 190, 191, 191
130	000003BF	C0C1C1C2 C3C3C4C5 C5C6C7C7 C8C9C9CA	BYTE	192, 193, 193, 194, 195, 195, 196, 197, 197, 198, 199, 199, 200, 201, 201, 202
131	000003CF	CACBCBCC CDCDCED E CFCFD0D0 D1D1D2D2	BYTE	202, 203, 203, 204, 205, 205, 206, 206, 207, 207, 208, 208, 209, 209, 210, 210
132	000003DF	D3D3D4D4 D5D5D6D6 D6D7D7D8 D8D9D9D9	BYTE	211, 211, 212, 212, 213, 213, 214, 214, 214, 215, 215, 216, 216, 217, 217, 217
133	000003EF	DADADBD B DBDCDCDD DDDDDEDE DFDFDFE0	BYTE	218, 218, 219, 219, 219, 220, 220, 221, 221, 221, 222, 222, 223, 223, 223, 224
134	000003FF	E0E0E1E1 E1E2E2E2 E3E3E3E4 E4E4E5E5	BYTE	224, 224, 225, 225, 225, 226, 226, 226, 227, 227, 227, 228, 228, 228, 229, 229
135	0000040F	E5E6E6E6 E7E7E7E8 E8E8E9E9 E9F9EAEA	BYTE	229, 230, 230, 230, 231, 231, 231, 232, 232, 232, 233, 233, 233, 233, 234, 234

136	0000041F	EAEBEBEB EBECECEC EDEDEDED EEEEEEEE	BYTE	234,235,235,235,235,236,236,236,237,237,237,237,238,238,238,238
137	0000042F	EFEFEFEF F0F0F0F1 F1F1F1F2 F2F2F2F2	BYTE	239,239,239,239,240,240,240,241,241,241,241,242,242,242,242
138	0000043F	F3F3F3F3 F4F4F4F4 F5F5F5F5 F6F6F6F6	BYTE	243,243,243,243,244,244,244,244,245,245,245,245,246,246,246,246
139	0000044F	F6F7F7F7 F7F8F8F8 F8F8F9F9 F9F9F9FA	BYTE	246,247,247,247,247,248,248,248,248,248,249,249,249,249,250
140	0000045F	FAFAFAFA FBFBFBFB FBFCFCFC FCFCFCFD	BYTE	250,250,250,250,251,251,251,251,251,252,252,252,252,252,253,253
141	0000046F	FDFDFDDE FEFEFEFE FFFFFFF FFFFFFF	BYTE	253,253,253,254,254,254,254,254,255,255,255,255,255,255,255,255
142	0000047F	00000000 00010101 01020202 03030404 05050607 0708090A 0B	HANNING BYTE	0,0,0,0,0,1,1,1,1,2,2,2,3,3,4,4,5,5,6,7,7,8,9,10,11

143	00000498	0D0C0D0E 0F101213 14151617 181A1B1C 1E1F2022	BYTE	12,12,13,14,15,16,18,19,20,21,22,23,24,26,27,28,30,31,32,34
144	000004AC	23242627 292A2C2D 2F303233 35363839 3B3C	BYTE	35,36,38,39,41,42,44,45,47,48,50,51,53,54,56,57,59,60
145	000004BE	3E3F4143 44464749 4A4C4D4F 50525355	BYTE	62,63,65,67,68,70,71,73,74,76,77,79,80,82,83,85
146	000004CE	5658595B 5C5D5F60 61636465 6768696A	BYTE	86,88,89,91,92,93,95,96,97,99,100,101,103,104,105,106
147	000004DE	6B6C6D6F 70717273 73747576	BYTE	107,108,109,111,112,113,114,115,115,116,117,118,119,120,120,121

ASM Z8001/Z8002 VISUALIZADOR DE ESPECTROS  
V01.01-01 (8550)

Page 7  
07-MAR-84/09:13:37

148	000004EE	77787879 7A7A7B7B 7C7C7D7D 7D7E7E7E 7F7F7F7F	BYTE	122,122,123,123,124,124,125,125,125,126,126,126,127,127,127,127
149	000004FE	7F7F	BYTE	127,127

150  
151  
152  
153



```

154          ;***** PROGRAMA PRINCIPAL *****
155          ;
156          ;
157          500 R          ORG    0500H
158          ;
159          ;
160  00000500 210F2100  COMIENZO LD    R15,#2100H      ;inicializa stack pointer del sistema
161  00000504 7DFF      LDCTL  NSP,R15      ;inicializa el stack pointer normal
162  00000506 21002600      LD    R0,#2600H
163  0000050A 7D0D      LDCTL  PSAP,R0      ;inicializa el puntero de area de Programa
164  0000050C 630E5000  TESTCAL RES   SAL,#14      ;apaga led de congelacion
165  00000510 67017000      BIT    PROGRAM,#1      ;comprueba si se pide calibracion
166  00000514 EE03      JR     NZ,CICLO      ;si no es asi,sigue el ciclo normal
167  00000516 5F0006C6 R  CALL   CAL      ;evalua el ruido y da'senal de calibracion
168  0000051A E8F8      JR     TESTCAL      ;repite el proceso
169  0000051C 630F5000  CICLO   RES   SAL,#15      ;apaga led de calibracion
170  00000520 5F00053C R  CALL   MUESTPRES      ;efectua muestreo y salida dedatos
171  00000524 5F0005AA R  CALL   VENTANA      ;efectua la ventana temporal
172  00000528 5F0005E2 R  CALL   FFT      ;efectua el algoritmo de FFT
173  0000052C 5F000698 R  CALL   POT      ;reordena salida y calcula potencia
174  00000530 67007000  TESTCONG BIT    PROGRAM,#0      ;comprueba si se pide congelacion de imagen
175  00000534 EEEB      JR     NZ,TESTCAL      ;si no es asi,sigue el ciclo normal
176  00000536 5F000706 R  CALL   CONGEL      ;congela la imagen
177  0000053A E8FA      JR     TESTCONG      ;repite el proceso
178          ;
179          ;
180          ;***** BLOQUE MUESTREO Y PRESENTACION *****
181          ;
182          ;
183  0000053C 8300  MUESTPRES SUB   R0,R0      ;pone a 0 acumulador de datos de entrada
184  0000053E 8311      SUB   R1,R1      ;inicializa contador de entradas/salidas
185  00000540 83AA      SUB   R10,R10      ;inicializa contador de E/S
186  00000542 8322      SUB   R2,R2      ;pone a 0 acumulador de datos de salida
187  00000544 21037000      LD    R3,#PROGRAM      ;R3=direccion de datos de programacion
188  00000548 21040100      LD    R4,#N      ;R4=tamano de la transformada N
189  0000054C 21050064      LD    R5,#NUTILES      ;R5=numero de canales utiles
190  00000550 21066000      LD    R6,#OSCILOS      ;R6=direccion del convertidor D/A

```

191	00000554	21084000	LD	R8,#CONVAD	;R8=direccion del convertidor A/D
192	00000558	21095000	LD	R9,#SAL	;R9=direccion del port de salida
193	0000055C	CF80	LDB	RL7,#80H	
194	0000055E	2598	SET	@R9,#8	;manda impulso de disparo
195	00000560	2398	RES	@R9,#8	;al osciloscopio

ASM Z8001/Z8002 VISUALIZADOR DE ESPECTROS  
V01.01-01 (8550)

Page 8  
07-MAR-84/09:13:37

196	00000562	2737	COMCONV	BIT	@R3,#7	;estudia la senal BUSY
197	00000564	EEFE		JR	NZ,COMCONV	;espera el comienzo de conversion
198	00000566	8B51		CP	R1,R5	;estudia si se han sacado Nutilos resultados
199	00000568	EA15		JR	GT,FINCONV	;si es asi,no saca mas resultados
200	0000056A	601A2400		LDB	RL2,TABRES(R1)	;lee un resultado en potencia
201	0000056E	2734		BIT	@R3,#4	;estudia si se desea representacion en dB
202	00000570	EE06		JR	NZ,LIN	;si no es asi,va a LIN
203	00000572	239B		RES	@R9,#11	;apaga led LINEAL
204	00000574	239C		RES	@R9,#12	;apaga led WAT
205	00000576	259A		SET	@R9,#10	;enciende led DB
206	00000578	602A037F R		LDB	RL2,DECIB(R2)	;calcula el resultado en dB
207	0000057C	E80A		JR	EJEY	
208	0000057E	239A	LIN	RES	@R9,#10	;apaga led DB
209	00000580	2732		BIT	@R3,#2	;estudia si se desea amplitudes
210	00000582	EE05		JR	NZ,WATIOS	;si no es asi,va a WATIOS
211	00000584	239C		RES	@R9,#12	;apaga led WAT
212	00000586	259B		SET	@R9,#11	;enciende led VOLT
213	00000588	602A0280 R		LDB	RL2,RAIZ(R2)	;calcula el resultado en voltios
214	0000058C	E802		JR	EJEY	
215	0000058E	239B	WATIOS	RES	@R9,#11	;apaga led VOLT
216	00000590	259C		SET	@R9,#12	;enciende led WAT
217	00000592	2F62	EJEY	LD	@R6,R2	;saca el resultado al osciloscopio
218	00000594	2737	FINCONV	BIT	@R3,#7	;estudia la senal BUSY
219	00000596	E6FE		JR	Z,FINCONV	;espera el fin de conversion
220	00000598	2080		LDB	RH0,@R8	;lee el valor de salida del convertidor A/D
221	0000059A	88F0		XORB	RH0,RL7	;convierte a complemento a 2
222	0000059C	6FA02200		LD	TABLA(R10),R0	;almacena la muestra en TABLA

223	000005A0	A9A1	INC	R10,#2	
224	000005A2	A910	INC	R1	;actualiza contador de E/S
225	000005A4	8B41	CP	R1,R4	;estudia el fin del muestreo
226	000005A6	E1DD	JR	LT,COMCONV	;si no,repite este ciclo
227	000005A8	9E08	RET		;retorna al programa principal
228					
229					
230					;***** BLOQUE VENTANA *****
231					
232					
233	000005AA	67057000	VENTANA	BIT	PROGRAM,#5 ;investiga si se desea ventana de Hanning
234	000005AE	EE16	JR	NZ,RECT	;si no es asi,va a RECT
235	000005B0	21050100	LD	R5,#N	;R5=N
236	000005B4	8322	SUB	R2,R2	;R2=0
237	000005B6	A123	LD	R3,R2	;R3=0
238	000005B8	A126	LD	R6,R2	;R6=0
239	000005BA	65095000	SET	SAL,#9	;enciende LED de Hanning
240	000005BE	61312200	HAN	LD	R1,TABLA(R3) ;lee valor muestra
241	000005C2	6026047F R	LDB	RH6,HANNING(R2)	
242	000005C6	9960	MULT	RR0,R6	;multiplica por el coeficiente de Hanning
243	000005C8	8100	ADD	R0,R0	;escala el resultado
244	000005CA	6F302200	LD	TABLA(R3),R0	;almacena el resultado
245	000005CE	A920	INC	R2	;actualiza puntero de coeficientes
246	000005D0	A931	INC	R3,#2	;actualiza puntero de datos
247	000005D2	8B53	CP	R3,R5	;estudia si se esta a la mitad de la ventana

248	000005D4	E2F4	JR	LE,HAN	;si no es asi,apunta al siguiente coeficiente
249	000005D6	AB21	DEC	R2,#2	;retrocede el puntero al coeficiente anterior
250	000005D8	E9F2	JR	GE,HAN	
251	000005DA	9E08	RET		
252	000005DC	63095000	RECT	RES	SAL,#9 ;apaga LED de Hanning
253	000005DE	9E08	RET		
254					



```

255      ;
256      ;***** BLOQUE FFT *****
257      ;
258      ;
259      000005E2 C601      FFT      LDB      RH6,#1      ;m=1
260      000005E4 210C0040      LD      R12,#64      ;L=N/4
261      000005E8 A067      LDB      RH7,RH6      ;Jmax=1
262      000005EA 8355      BUCLE_M SUB      R5,R5      ;J=0
263      000005EC 21082200      LD      R8,#TABLA      ;k=TABLA
264      000005F0 A0EF      BUCLE_J LDB      RL7,RL6      ;cont=L
265      000005F2 615D0100 R      LD      R13,CDS(R5)      ;u1=Wr(J)
266      000005F6 615E0180 R      LD      R14,SEN(R5)      ;u2=Wi(J)
267      000005FA A189      BUCLE_K LD      R9,R8      ;R8=k (direccion) @R8=B(k)
268      000005FC 81C9      ADD      R9,R12      ;R9=k+L (direccion) @R9=B(k+L)
269      000005FE A19A      LD      R10,R9
270      00000600 81CA      ADD      R10,R12      ;R10=k+2L (direccion) @R10=B(k+2L)
271      00000602 A1AB      LD      R11,R10
272      00000604 81CB      ADD      R11,R12      ;R11=k+3L (direccion) @R11=B(k+3L)
273      00000606 A151      LD      R1,R5      ;estudia J
274      00000608 E61A      JR      Z,MT      ;si es cero,efectua la mariposa trivial
275      0000060A A101      MNT      LD      R1,R13      ;R1=u1
276      0000060C 1990      MULT     RR0,@R9      ;R0=u1*B(k+L)/2=u1*e3/2
277      0000060E A1E3      LD      R3,R14      ;R3=u2
278      00000610 19B2      MULT     RR2,@R11      ;R2=u2*B(k+L)/2=u2*e4/2
279      00000612 8320      SUB      R0,R2      ;R0=AUX1
280      00000614 A1D3      LD      R3,R13      ;R3=u1
281      00000616 19B2      MULT     RR2,@R11
282      00000618 A121      LD      R1,R2      ;R1=u1*B(k+3L)/2=u1*e4/2
283      0000061A A1E3      LD      R3,R14      ;R3=u2
284      0000061C 1992      MULT     RR2,@R9      ;R2=u2*B(k+L)/2=u2*e3/2
285      0000061E 8121      ADD      R1,R2      ;R1=AUX2
286      00000620 2182      LD      R2,@R8
287      00000622 B329FFFF      SRA      R2      ;R2=B(k)/2=e1/2
288      00000626 21A3      LD      R3,@R10
289      00000628 B339FFFF      SRA      R3      ;R3=B(k+2L)=e2/2
290      0000062C 8102      ADD      R2,R0
291      0000062E 2F82      LD      @R8,R2      ;B(k)=e1/2+AUX1

```

292	00000630	8302	SUB	R2,R0	
293	00000632	8302	SUB	R2,R0	
294	00000634	8131	ADD	R1,R3	
295	00000636	2F91	LD	@R9,R1	;B(k+L)=e2/2+Aux2
296	00000638	8331	SUB	R1,R3	
297	0000063A	8331	SUB	R1,R3	
298	0000063C	2FB1	LD	@R11,R1	;B(k+3L)=-e2/2+Aux2
299	0000063E	2180	LD	R0,@R8	

MT

ASM Z8001/Z8002 VISUALIZADOR DE ESPECTROS  
V01.01-01 (8550)

Page 10  
07-MAR-84/09:13:37

300	00000640	B309FFFF	SRA	R0	;R0=B(k)/2=e1/2
301	00000644	2191	LD	R1,@R9	
302	00000646	B319FFFF	SRA	R1	;R1=B(k+L)/2=e2/2
303	0000064A	21A2	LD	R2,@R10	
304	0000064C	B329FFFF	SRA	R2	;R2=B(k+2L)=e3/2
305	00000650	21B3	LD	R3,@R11	
306	00000652	B339FFFF	SRA	R3	;R3=B(k+3L)=e4/2
307	00000656	8120	ADD	R0,R2	
308	00000658	2F80	LD	@R8,R0	;B(k)+e1/2+e3/2
309	0000065A	8320	SUB	R0,R2	
310	0000065C	8320	SUB	R0,R2	
311	0000065E	2FA0	LD	@R10,R0	;B(k+2L)=e1/2-e3/2
312	00000660	8113	ADD	R3,R1	
313	00000662	2F93	LD	@R9,R3	;B(k+L)=e2/2+e4/2
314	00000664	8313	SUB	R3,R1	
315	00000666	8313	SUB	R3,R1	
316	00000668	2FB3	LD	@R11,R3	;B(k+3L)=-e2/2+e4/2
317	0000066A	A981	INC	R8,#2	;k=k+1 (2 bytes = 1 palabra)
318	0000066C	AAFO	DECB	RL7	;cont=cont-1
319	0000066E	EEC5	JR	NZ,BUCLE_K	;si cont#0 va a BUCLE_K
320	00000670	A1B8	LD	R8,R11	;k=k+3L
321	00000672	A981	INC	R8,#2	
322	00000674	A930	INC	R5	;J=J+1
323	00000676	8A7D	CPB	RL5,RH7	;compara J con Jmax

SIGUE



324	00000678	E1BB	JR	LT,BUCLE_U	;si es menor va a BUCLE_U
325	0000067A	A860	INCB	RH6	;m=m+1
326	0000067C	8077	ADDB	RH7,RH7	;Jmax=Jmax
327	0000067E	B3C9FFFF	SRA	R12	;L=L/2
328	00000682	EEB3	JR	NZ,BUCLE_M	;si L=0 va a BUCLE_M
329	00000684	21012200	LD	R1,#TABLA	;R1=TABLA
330	00000688	2110	LD	R0,@R1	;R0=B(0)
331	0000068A	A112	LD	R2,R1	
332	0000068C	A920	INC	R2	
333	0000068E	0120	ADD	R0,@R2	
334	00000690	2F10	LD	@R1,R0	;B(0)=B(0)+B(1)
335	00000692	0D250000	LD	@R2,#0	;B(1)=0
336	00000696	9E08	RET		
337					
338					
339				***** BLOQUE POTENCIA *****	
340					
341					
342	00000698	8355	POT	SUB	R5,R5 ;inicializa puntero de tabla de resultados
343	0000069A	A157		LD	R7,R5 ;R7=0
344	0000069C	21060064		LD	R6,#NUTILES ;inicializa numero maximo de canales
345	000006A0	A174	CALC	LD	R4,R7 ;borra R4
346	000006A2	605C0200 R		LDB	RL4,TABORD(R5) ;lee posicion reordenada
347	000006A6	8144		ADD	R4,R4 ;convierte a palabra
348	000006AB	61412200		LD	R1,TABLA(R4) ;lee parte real
349	000006AC	9910		MULT	RR0,R1 ;eleva al cuadrado la parte real
350	000006AE	A941		INC	R4,#2 ;senal a la parte imaginaria
351	000006B0	61432200		LD	R3,TABLA(R4) ;lee parte imaginaria

352	000006B4	9932	MULT	RR2,R3	;eleva al cuadrado la parte imaginaria
353	000006B6	8120	ADD	R0,R2	;obtiene la potencia
354	000006B8	8100	ADD	R0,R0	;doble de la potencia
355	000006BA	6E3C2400	LDB	TABRES(R5),RHO	;almacena los 8 bits mas significativos
356	000006BE	A950	INC	R5	

```

357 000006C0 8B65 CP R5,R6 ;estudia si se han calculado 100 valores
358 000006C2 E1EE JR LT,CALC ;si no es asi,sigue
359 000006C4 9E08 RET
360 ;
361 ;
362 ;***** BLOQUE CALIBRACION *****
363 ;
364 ;
365 000006C6 650F5000 CAL SET SAL,#15 ;enciende led de calibracion
366 000006CA 21050064 LD R5,#NUTILES ;inicializa puntero de tabla de resultados
367 000006CE CCFF LDB RL4,#OFFH ;carga en R4 el maximo valor posible
368 000006D0 6E5C2400 MAXSAL LDB TABRES(R5),RL4 ;almacena maximo valor de salida en TABRES
369 000006D4 AB50 DEC R5 ;actualiza puntero de tabla de resultados
370 000006D6 E9FC JR GE,MAXSAL ;si no ha terminado los 100 valores,repite
371 000006D8 5F00053C R CALL MUESTPRES ;bloque de muestreo y presentacion
372 000006DC 5F0005AA R CALL VENTANA ;bloque de ventana temporal
373 000006E0 5F0005E2 R CALL FFT ;bloque de FFT
374 000006E4 5F000698 R CALL POT ;bloque de potencia
375 000006E8 CF05 RUIDO LDB RL7,#MAXRUIDO ;valor maximo de ruido
376 000006EA 21050063 LD R5,#99 ;inicializa puntero de tabla de resultados
377 000006EE 605C2400 LEERUIDO LDB RL4,TABRES(R5) ;lee el valor de potencia de ruido del canal
378 000006F2 8AFC CPB RL4,RL7 ;compara ese valor con el de ruido maximo
379 000006F4 EA05 JR GT,EXCESO ;si hay exceso de ruido va a EXCESO
380 000006F6 AB50 DEC R5 ;actualiza puntero de tabla de resultados
381 000006F8 E9FA JR GE,LEERUIDO ;estudia el siguiente canal
382 000006FA 630D5000 RES SAL,#13 ;apaga led de exceso de ruido
383 000006FE 9E08 RET ;retorna al programa principal
384 00000700 650D5000 EXCESO SET SAL,#13 ;enciende led de exceso de ruido
385 00000704 9E08 RET ;retorna al programa principal
386 ;
387 ;
388 ;***** BLOQUE CONGELACION *****
389 ;
390 ;
391 00000706 650E5000 CONGEL SET SAL,#14 ;enciende led de congelacion de imagen
392 0000070A 5F00053C R CALL MUESTPRES ;saca la informacion anterior a pantalla
393 0000070E 9E08 RET ;retorna al programa principal
394 ;
395 ;
396 LIST DBG,XREF

```

ASM Z8001/Z8002 CROSS REFERENCE  
V01.01-01 (8550)

Page 12  
07-MAR-84/09:13:37

BUCLE_J-----	264#	324		
BUCLE_K-----	267#	319		
BUCLE_M-----	262#	328		
CAL-----	167	365#		
CALC-----	345#	358		
CICLO-----	166	169#		
COMCONV-----	196#	197	226	
COMIENZO-----	20	160#		
CONGEL-----	176	391#		
CONVAD-----	26#	191		
COS-----	54#	265		
DECIB-----	126#	206		
EJEY-----	207	214	217#	
EXCESO-----	379	384#		
FFT-----	172	259#	373	
FINCONV-----	199	218#	219	
HAN-----	240#	248	250	
HANNING-----	142#	241		
LEERUIDO-----	377#	381		
LG2NM1-----	45#			
LIN-----	202	208#		
MAXRUIDO-----	47#	375		
MAXSAL-----	368#	370		
MNT-----	275#			
MT-----	274	299#		
MUESTPRES-----	170	183#	371	392
N-----	43#	188	235	
NMEDIOS-----	44#			
NUTILES-----	46#	189	344	366
OSCILOS-----	28#	190		
POT-----	173	342#	374	
PROGRAM-----	29#	165	174	187 233
RAIZ-----	108#	213		
RECT-----	234	252#		
RUIDO-----	375#			



SAL-----	27#	164	169	192	239	252	365	382	384	391
SEN-----	72#	266								
SIGUE-----	317#									
TABLA-----	35#	222	240	244	263	329	348	351		
TABORD-----	90#	346								
TABRES-----	36#	200	355	368	377					
TESTCAL-----	164#	168	175							
TESTCONG-----	174#	177								
VENTANA-----	171	233#	372							
V_RESET-----	20#									
WATIOS-----	210	215#								

ASM Z8001/Z8002 SYMBOL TABLE  
V01.01-01 (8550)

Page 13  
07-MAR-84/09:13:37

# Scalars

CONVAD-----	00004000	LG2NM1-----	00000007
NMEDIOS-----	00000080	NUTILES-----	00000064
SAL-----	00005000	TABLA-----	00002200

MAXRUDD-----	00000005	N-----	00000100
OSCILOS-----	00006000	PROGRAM-----	00007000
TABRES-----	00002400		

Section = X0ANA, Inpage Relocatable, Size = 00000710

BUCLE_J-----	000005F0	BUCLE_K-----	000005FA
CALC-----	000006A0	CICLO-----	0000051C
CONGEL-----	00000706	CDS-----	00000100
EXCESO-----	00000700	FFT-----	000005E2
HANNING-----	0000047F	LEERUIDO-----	000006EE
MNT-----	0000060A	MT-----	0000063E
RAIZ-----	00000280	RECT-----	000005DC
SIGUE-----	0000066A	TABORD-----	00000200
VENTANA-----	000005AA	V_RESET-----	00000002

BUCLE_M-----	000005EA	CAL-----	000006C6
COMCONV-----	00000362	COMIENZO-----	00000500
DECIB-----	0000037F	EJEY-----	00000592
FINCONV-----	00000594	HAN-----	000005BE
LIN-----	0000057E	MAXSAL-----	000006D0
MUESTPRES-----	0000053C	POT-----	00000698
RUIDO-----	000006E8	SEN-----	00000180
TESTCAL-----	0000050C	TESTCONG-----	00000530
WATIOS-----	0000058E		

396 Lines Read  
396 Lines Processed  
0 Errors

### 3.2.4 Estudio de tiempos de ejecución

Para este estudio se tomará como unidad de medida de tiempo un ciclo de reloj, que en nuestro caso, es igual a 101.725nseg. y lo llamaremos T.

Como se utiliza memoria veloz, no se necesita activar en ningún caso la línea WAIT de la CPU y las instrucciones tardan en ejecutarse su valor nominal de ciclos de reloj.

Se utilizarán grafos para representar los tiempos de ejecución. Cada flecha representa un segmento del programa, o bien un grupo de instrucciones elementales sin bifurcaciones entre ellas.

El programa principal se representa en la fig. 3.2.4-1.

En funcionamiento normal, es decir, en posición no de calibrado y no de congelación, el tiempo de ejecución del ciclo será

$$T_{rep} = 32T + T_{MUESTREO} + T_{VENTANA} + T_{FFT} + T_{POT} \quad (3.2.4.1)$$

El tiempo de repetición en el bucle de calibrado será:

$$T_{rep \text{ cal.}} = 16T + T_{CAL} \quad (3.2.4.2)$$

y el tiempo de repetición del bucle de congelación es de

$$T_{rep \text{ cong}} = 16T + T_{CONG} \quad (3.2.4.3)$$

En la fig. 3.2.4-2 se presenta el flujograma de tiempos



del bloque MUESTPRES.

El primer bucle es el de espera de comienzo de conversión.

La ramificación a FINCONV se verifica cuando no hay que sacar más resultados. El bucle final es el de espera de fin de conversión. Por último, el bucle más grande es el de recogida de una nueva muestra.

El tiempo total de ejecución de este bloque viene marcado fundamentalmente por el tiempo de muestreo, que dura  $NT_s$ , es decir,  $256 \times 19.53125 \text{ useg} = 5 \text{ mseg}$  para la banda de 20kHz y 20mseg para la de 5kHz. A este tiempo se le debe añadir  $12+75+10 = 97$  ciclos para el caso más favorable y  $97 \text{ ciclos} + 19.53 \text{ useg}$  para el más desfavorable. El tiempo total será pues:

$$\begin{aligned} 5.0079 < T_{\text{MUESTPRES}} < 5.0294 \text{ mseg para } 20\text{kHz} \\ 20.0395 < T_{\text{MUESTPRES}} < 20.118 \text{ mseg para } 5\text{kHz} \end{aligned} \quad (3.2.4.4)$$

Podemos estimar los tiempos medios en 5.02 y 20.08mseg respectivamente.

Estudiemos ahora el bloque VENTANA cuyo flujograma de tiempos se representa en la fig. 3.2.4-3.

El tiempo de ejecución si se aplica ventana de Hanning es:

$$T_{\text{VENTANA}} = (12+13+40+N/2(106+6)+N/2(106+10+6)+16)T \quad (3.2.4.5)$$



lo que para  $N = 256$  da un tiempo de 3.053mseg.

Si la ventana es rectangular, el tiempo es

$$T_{\text{VENTANA}} = (12+13+6+23)T = 5.49\mu\text{seg} \quad (3.2.4.6)$$

Pasemos ahora al bloque FFT. El diagrama de flujos temporal se representa en la fig. 3.2.4-4.

El tiempo de ejecución es:

$$T_{\text{FFT}} = (12+15+(11+33)\log_2(N/2)+(23+17)((N/2)-1)+ \quad (3.2.4.7)$$

$$(34+18)N/4\log_2(N/2)+405(N/4\log_2(N/2)-N/2+1)+148((N/2)-1))T$$

Para  $N = 256$  sale un tiempo de 17.878mseg.

Podemos decir que aproximadamente, para  $N$  grande

$$T_{\text{FFT}} \approx N(11.52\log_2(N/2)-11.03)\mu\text{seg} \quad (3.2.4.8)$$

El diagrama correspondiente al bloque POT se representa en la fig. 3.2.4-5. El tiempo de ejecución es:

$$T_{\text{POT}} = (12+11+(202+6)N_{\text{ciclos}}+16)T \quad (3.2.4.9)$$

Para  $N_{\text{ciclos}} = 100$ , el tiempo es de 2.12mseg.

Estamos ya en condiciones de calcular el tiempo de ejecución del ciclo normal, sustituyendo en (3.2.4.1). Los resultados para los distintos casos son:

n= número de veces  
que se ejecuta  
ese tramo

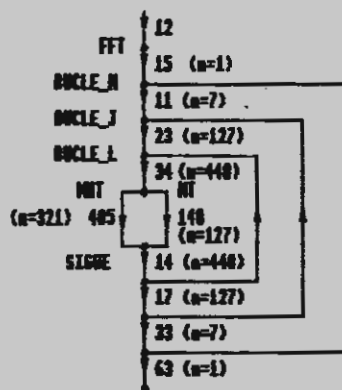


Fig. 3.2.4-4

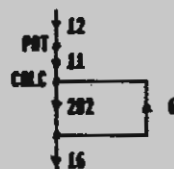


Fig. 3.2.4-5

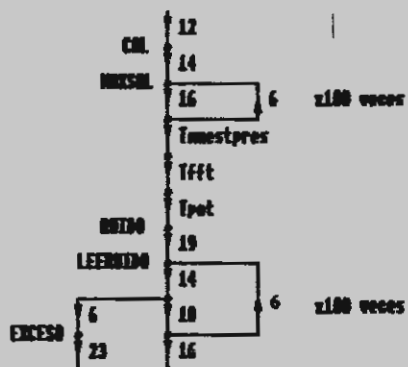


Fig. 3.2.4-6

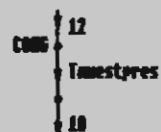


Fig. 3.2.4-7

Caso	$T_{rep}$	$f_p$	(%) $T_M/T_{rep}$
20kHz, ventana rectangular	25.027mseg	39.96Hz	19.98%
20kHz, ventana Hanning	28.074mseg	35.62Hz	17.81%
5kHz, ventana rectangular	40.087mseg	24.95Hz	49.89%
5kHz, ventana Hanning	43.14mseg	23.18Hz	46.36%

En todos los casos se cumple holgadamente con lo requerido.

Veamos ahora el bloque CALIBRADO. El diagrama de flujo temporal se representa en la fig. 3.2.4-6.

El tiempo de ejecución será en el caso más desfavorable (ausencia de ruido), de

$$T_{CAL} = 12 + 14 + (16 + 6)100 + 19 + (14 + 10 + 6)100 + 16)T + T_{MUESTRES} + T_{FFT} + T_{POT} \quad (3.2.4.10)$$

Para la banda de 20kHz será igual a 25.55mseg, y para la banda de 5kHz, de 40.61mseg. Con ello  $T_{repCAL}$  es prácticamente idéntico a  $T_{rep}$ .

Estudiemos por último el bloque CONGELACION.

El diagrama de flujos temporal se representa en la figura 3.2.4-7. El tiempo  $T_{repcong}$  es igual a 5.02mseg para la banda de 20kHz y de 20.08mseg para la banda de 5kHz.

#### 4.- RESULTADOS OBTENIDOS

Como se preveía en un principio, y como se pretendía, los resultados obtenidos teóricamente superan a los requerimientos exigidos. Veamos de forma resumida los resultados logrados:

- Impedancia de entrada:  $100\text{k}\Omega/\text{V}$
- Sensibilidad máxima:  $120\mu\text{V}_{\text{RMS}}$  ( $170\mu\text{V}_{\text{Pico}}$ ) en la escala de  $10\text{mV}$
- Máximo nivel admisible:  $10\text{V}_{\text{Pico}}$
- Frecuencia máxima admisible:  $20\text{kHz}$
- Variación de sensibilidad de entrada en 4 márgenes
- Posición de calibrado presentando información sobre exceso de ruido existente en el sistema, y proporcionando una señal adecuada para calibrar el osciloscopio.
- Posición de congelación de imagen, en la cual no varía la información presentada en el osciloscopio.
- Dos bandas posibles de frecuencia: de 0 a  $5\text{kHz}$ , y de 0 a  $20\text{kHz}$ .
- Resolución teórica en frecuencia:  $50\text{Hz}$  para la banda de 0 a  $5\text{kHz}$  y  $200\text{Hz}$  para la banda de 0 a  $20\text{kHz}$ .
- Ancho de banda efectivo de canal:

ancho de banda de:	20kHz		5kHz	
	rect.	Hanning	rect.	Hanning
3dB	176.8Hz	287.6Hz	44.2Hz	71.9Hz
6dB	241Hz	400Hz	60.25Hz	100Hz

- Número de canales: 100 en ambos anchos de banda.
- Magnitudes de salida: potencia normalizada de las componentes espectrales comprendidas en el ancho de banda de un canal, es decir, densidad espectral de potencia, valores eficaces normalizados de las componentes espectrales comprendidas en el ancho de banda de un canal, es decir, espectro de amplitudes, y valores logarítmicos (dB) equivalentes a la densidad espectral de potencia.
- Velocidad de presentación de la información de salida: 40Hz para la banda de 20kHz y 25Hz para la de 5kHz.
- Ciclo de trabajo muestreo/cálculo: 20% muestreo 80% cálculo para la banda de 20kHz, y 50% muestreo 50% cálculo para la banda de 5kHz.
- Margen dinámico de salida: 35.41dB
- Margen de temperaturas de funcionamiento: 0°C a 50°C
- Margen de temperaturas de almacenamiento: -30°C a +80°C
- Margen operativo de humedad relativa del aire: 20% al 80%
- Margen operativo de vibraciones: 0 a 1 g (DC a 50Hz)

- Resistencia al choque : 1g

- Fiabilidad : MTBF > 10000 horas.



## 5. - POSIBLES AMPLIACIONES Y MEJORAS

### 5.1 Mejora del margen dinámico

Como quedó patente en 2.2.3, utilizando convertidores A/D y D/A de mayor resolución en bits, se consigue un mayor margen dinámico, llegándose teóricamente a 70dB con convertidores de 16 bits. Para ello se necesitaría también disminuir el rizado de los filtros antialiasing, y emplear componentes de menores tolerancias y en algunos puntos sería necesario que fuesen ajustables. En la práctica este valor de 70dB se vería reducido por las tolerancias de los componentes de las etapas de entrada y las no linealidades de éstos.

### 5.2 Mejora de la resolución en frecuencia y ancho de banda

Para lograr una mayor resolución en frecuencia, conservando los mismos anchos de banda, es imprescindible aumentar el valor del tamaño de la transformada, N. Esto implica un mayor tiempo de muestreo, y un también mayor tiempo de ejecución. Conservando el mismo microprocesador, y aumentando la capacidad de memoria, tanto ROM (tablas de coeficientes) como RAM (almacenamiento de datos) se podría llegar a muy buenas resoluciones, en teoría hasta  $N=16384$  sin cambiar excesivamente el hardware, lo que supone una resolución en frecuencia unos 3Hz por canal, para la banda de 20kHz y 0,76 Hz para la de 5kHz. El inconveniente principal es la velocidad de presentación, que se reducirá enormemente (inferior a 1Hz).

Una manera de aumentar la resolución en frecuencia sin disminuir tanto la velocidad de presentación es cambiar el microprocesador 28002 por un micro de nueva generación tal como el



TMS320 o el Z8003, capaces de operar mucho más velozmente, aunque el tiempo de muestreo no se puede cambiar (328mseg para  $N = 16384$ ), así que la velocidad de presentación no podría ser en ningún caso mejor que 3Hz, aún trabajando en verdadero tiempo real.

Otra posibilidad muy interesante es el llamado zoom espectral, consistente en efectuar una traslación de frecuencias de una banda relativamente estrecha a la banda de frecuencias cercana a la continua, mediante un proceso de heterodinación digital y filtrado paso bajo. La ventaja de este método consiste en que se puede aplicar toda la resolución de la transformada a una banda estrecha de frecuencias. Por ejemplo, manteniendo  $N = 256$ , si se traslada la banda de 19 a 20kHz a frecuencias entre 0 y 1kHz, se consigue una resolución de aproximadamente 10Hz por canal, manteniéndose los demás parámetros. El problema es el tiempo de ejecución de la heterodinación y el filtrado digitales, que disminuyen la velocidad de presentación y empeoran el ciclo de trabajo.

Este método del zoom espectral permitiría elevar el ancho de banda, aunque para conseguir mejoras espectaculares se requeriría una heterodinación y filtrado por hardware.

### 5.3 Otras ampliaciones y mejoras

Se podría dotar al sistema de opciones tales como:

- visualización digital de valor de salida instantánea, o para una frecuencia seleccionada mediante un teclado de comunicación entre usuario y sistema.

- Márgenes automáticos de sensibilidad de entrada.
- Salida de resultados para impresora o procesador.
- Obtención de fase en la salida por el mismo canal del osciloscopio (multiplexando la información en el tiempo), o por canales separados.

## 6 . - SIMULACION

Aunque el proceso de depuración del software a nivel ensamblador se ha llevado a cabo en un sistema de desarrollo Tektronix 8550 con emulador para el Z8002, ha sido de gran utilidad para el desarrollo del proyecto la realización de simulaciones de funcionamiento del software implementadas en lenguaje de alto nivel (BASIC) en un microprocesador BBC (Acorn Computers) con facilidades gráficas.

El trabajar en un lenguaje de alto nivel como el Basic, no disponible en el sistema de desarrollo usado, permitió lograr una mayor celeridad en la obtención del software final.

Por supuesto la simulación es un tiempo no real y teniendo como elemento de presentación un monitor o receptor de TV.

A continuación se dan dos listados de programas usados para la validación del software. El primero de ellos está escrito totalmente en BASIC (específico del BBC), sirviendo de base para el desarrollo del segundo programa, escrito parte en BASIC y parte en ensamblador del 6502, CPU del ordenador personal usado, con lo que se consigue una mayor velocidad de ejecución del algoritmo (unos 600 mseg.).

>

```
10REM*****
20REM
22REM          FFT
23REM
25REM*****
26REM
27REM Rafael de las Heras Alfonso
30REM 28/5/84
31REM
35MODE4
36*KEYOMODE7:M
39REM 4<=N<=256
40N%=64
41DIM B(N%),WR(N%/4),WI(N%/4)
43CLS
44VDU23,1,0;0;0;0;
50*FX16,1
51REM Solo el canal A/D 1
60PROCCOEFI
70MOVE4,16:DRAW4,1016:MOVE10,8:DRAW1279,8
72FORQ%=16TO1016STEP100:MOVE0,Q%:DRAW8,Q%:NEXT
73FORQ%=10TO1279STEP127:MOVEQ%,0:DRAWQ%,16:NEXT
98VDU24,10;16;1279;1023;
100PROC MUESTREO
170M%=1:L%=N%/4:JMAX%=1
180J%=0:K%=0
190CONT%=L%:U1=WR(J%):UZ=WI(J%)
200IFJ%=0PROCMT ELSE PROC MNT
210B(K%)=S1:B(K%+L%)=S2:B(K%+L%*2)=S3:B(K%+L%*3)=S4:CONT%=CONT%
```

```

-1:K%=K%+1

220IFCONT%<>0THEN200

230J%=J%+1:K%=K%+3*L%:IFJ%<>JMAX%THEN190

250M%=M%+1:L%=L%/2:JMAX%=JMAX%*2:IFL%<>0THEN180

270Q=B(0):B(0)=Q+B(1):B(1)=0

279RESTORE(3000+N%)

280CLG

281MOVE10,10

284FORQ1%=0TON%-1STEP2:READQ%:DRAWQ1%*1269/N%+10,SQR(B(Q%)^2+B(
Q%+1)^2)/90+16:MOVE(Q1%+2)*1269/N%+10,16:NEXT

285GOTO100

290END

300DEFPROC MNT

310E1=B(K%):E2=B(K%+2*L%):E3=B(K%+L%):E4=B(K%+3*L%)

320AUX1=U1*E3/2-U2*E4/2:AUX2=U1*E4/2+U2*E3/2

330S1=E1/2+AUX1:S2=E2/2+AUX2:S3=E1/2-AUX1:S4=-E2/2+AUX2

340ENDPROC

350DEFPROC MT

360E1=B(K%)/2:E2=B(K%+L%)/2:E3=B(K%+2*L%)/2:E4=B(K%+3*L%)/2

370S1=E1+E3:S2=E2+E4:S3=E1-E3:S4=-E2+E4

380ENDPROC

1000REM DATOS PARA COEFICIENTES W

1002 DATA0,1

1004 DATA0,2,1,3

1008 DATA0,4,2,6,1,7,3,5

1016 DATA0,8,4,12,2,14,6,10,1,15,7,9,3,13,5,11

1032 DATA0,16,8,24,4,28,12,20,2,30,14,18,6,26,10,22,1,31,15,17,7
,25,9,23,3,29,13,19,5,27,11,21

1064DATA0,32,16,48,8,56,24,40,4,60,28,36,12,52,20,44,2,62,30,34,
14,50,18,46,6,58,26,38,10,54,22,42,1,63,31,33,15,49,17,47,7,57,25

```

,39,9,55,23,41,3,61,29,35,13,51,19,45,5,59,27,37,11,53,21,43

3000REM DATOS PARA REORDENAMIENTO

3004DATA0,2

3008 DATA0,4,2,6

3016 DATA0,8,4,12,2,14,6,10

3032 DATA0,16,8,24,4,28,12,20,2,22,14,30,6,26,10,18

3064DATA0,32,16,48,8,56,24,40,4,44,28,60,12,52,20,36,2,38,22,54,  
14,62,30,46,6,42,26,58,10,50,18,34

3128DATA0,64,32,96,16,112,48,80,8,88,56,120,24,104,40,72,4,76,44  
,108,28,124,60,92,12,84,52,116,20,100,36,68,2,70,38,102,22,118,54  
,86,14,94,62,126,30,110,46,78,6,74,42,106,26,122,58,90,10,82,50,1  
14,18,98,34,66

3256DATA0,128,64,192,32,224,96,160,16,176,112,240,48,208,80,144,  
8,152,88,216,56,248,120,184,24,168,104,232,40,200,72,136,4,140,76  
,204,44,236,108,172,28,188,124,252,60,220,92,156,12,148,84,212,52  
,244,116,180,20,164,100,228,36,196,68,132

3257DATA2,134,70,198,38,230,102,166,22,182,118,246,54,214,86,150  
,14,158,94,222,62,254,126,190,30,174,110,238,46,206,78,142,6,138,  
74,202,42,234,106,170,26,186,122,250,58,218,90,154,10,146,82,210,  
50,242,114,178,18,162,98,226,34,194,66,130

5000DEFPROCCOEFI

5110REM genera coeficientes W

5120RESTORE(1000+N%/4)

5125V=2\*PI/N%

5130FORQ%=0TON%/4-1:READQ1%:WR(Q%)=COS(V\*Q1%):WI(Q%)=-SIN(V\*Q1%)

:NEXTQ%

5160ENDPROC

5999REM Simula muestreo

6000DEFPROC MUESTREO:FORQ%=0TON%:B(Q%)=ADVAL(1):FORZ%=0TO42:NEXT:

NEXT:ENDPROC

```
10REM*****
20REM
22REM          FFT
23REM
25REM*****
26REM
27REM Rafael de las Heras Alfonso
30REM 7/6/84
31REM
35MODE4
36*KEYOMODE7IM
37ONERRORRUN
39REM 8<=N<=256
40INPUT"VALOR DE N ?"N%
43*FX6,0
44VDU23,1,0;0;0;0;
45PROCENSAMBLA
46CLS
50*FX16,1
51REM Solo el canal A/D 1
60PROCCOEFI
70MOVE4,16: DRAW4,1016: MOVE10,8: DRAW1279,8: FORQ%=16TO1016STEP10
O: MOVEO,Q%: DRAW8,Q%: NEXT: FORQ%=10TO1279STEP127: MOVEQ%,O: DRAWQ%,16
: NEXT: VDU24,10;16;1279;1023;
105PROCMUESTREO: CALL&E00: RESTORE(3000+N%): CLG: MOVE10,10: FORQ1%=
OTON%-1STEP2: READQ%: A%=B?Q%: IFA%>127A%=A%-256
200T%=B?(Q%+S): U%=B?(Q%+1): IFU%>127U%=U%-256
210V%=B?(Q%+1+S): DRAWQ1%*1269/N%+10, SQR((256*A%+T%)^2+(256*U%+V
%)^2)/35+16: MOVE(Q1%+2)*1269/N%+10,16: NEXT: GOTO105
```



```

220END

290REM genera coeficientes W

300DEFPROC COEFI

320RESTORE (1000+N%/4):V=2*PI/N%:FORQ%=0TON%/4-1:READQ1%:A=COS(V
*Q1%)*32767:IFA<0A=A+65536

330WR?Q%=A DIV256:WR?(Q%+S)=A MOD256:A=-SIN(V*Q1%)*32767:IFA<0A
=A+65536

340WI?Q%=A DIV256:WI?(Q%+S)=A MOD256:NEXT:ENDPROC

390REM Simula muestreo

400DEFPROC MUESTREO:FORQ%=0TON%:B?Q%=ADVAL(1)DIV256:B?(Q%+S)=ADV
AL(1)MOD256:FORZ%=0TO12:NEXT:NEXT:ENDPROC

1000REM DATOS PARA COEFICIENTES W

1002DATA0,1

1004DATA0,2,1,3

1008DATA0,4,2,6,1,7,3,5

1016DATA0,8,4,12,2,14,6,10,1,15,7,9,3,13,5,11

1032 DATA0,16,8,24,4,28,12,20,2,30,14,18,6,26,10,22,1,31,15,17,7
,25,9,23,3,29,13,19,5,27,11,21

1064DATA0,32,16,48,8,56,24,40,4,60,28,36,12,52,20,44,2,62,30,34,
14,50,18,46,6,58,26,38,10,54,22,42,1,63,31,33,15,49,17,47,7,57,25
,39,9,55,23,41,3,61,29,35,13,51,19,45,5,59,27,37,11,53,21,43

3000REM DATOS PARA REORDENAMIENTO

3004DATA0,2

3008DATA0,4,2,6

3016DATA0,8,4,12,2,14,6,10

3032DATA0,16,8,24,4,28,12,20,2,22,14,30,6,26,10,18

3064DATA0,32,16,48,8,56,24,40,4,44,28,60,12,52,20,36,2,38,22,54,
14,62,30,46,6,42,26,58,10,50,18,34

3128DATA0,64,32,96,16,112,48,80,8,88,56,120,24,104,40,72,4,76,44
,108,28,124,60,92,12,84,52,116,20,100,36,68,2,70,38,102,22,118,54

```

,86,14,94,62,126,30,110,46,78,6,74,42,106,26,122,58,90,10,82,50,1  
14,18,98,34,66

3256DATA0,128,64,192,32,224,96,160,16,176,112,240,48,208,80,144,  
8,152,88,216,56,248,120,184,24,168,104,232,40,200,72,136,4,140,76  
,204,44,236,108,172,28,188,124,252,60,220,92,156,12,148,84,212,52  
,244,116,180,20,164,100,228,36,196,68,132

3257DATA2,134,70,198,38,230,102,166,22,182,118,246,54,214,86,150  
,14,158,94,222,62,254,126,190,30,174,110,238,46,206,78,142,6,138,  
74,202,42,234,106,170,26,186,122,250,58,218,90,154,10,146,82,210,  
50,242,114,178,18,162,98,226,34,194,66,130

7000DEFPROCENSAMBLA

7005B=&1200:WR=&1500:WI=&1700

7006N=&91: ?N=N%/4:S=&100

7010M=&70:K=&71:JMAX=&72:J=&73:L=&74

7020CONT=&75:U1=&76:U2=&78:E1=&7A:E2=&7C:E3=&7E:E4=&80:AUX1=&82:  
AUX2=&84

7030MDO=&88:MDOR=&8A:COCI=&8C:SIGNO=&90

7040FORQ%=0T02STEP2:P%=&E00

7050[:OPTQ%:.LAZOM LDA#1:STAM:STAJMAX:LDAN:STAK

7060.LAZOJ LDA#0:STAJ:STAL

7070.LAZOK LDAK:STACONT:LDXJ:LDAR,X:STAU1:LDAR+S,X:STAU1+1:LDA  
WI,X:STAU2:LDARI+S,X:STAU2+1

7080.LAZOL LDAJ:BNEMNT:JMPMT

7090.MNT LDXL:CLC:LDAB,X:BPLZ1:SEC:.Z1 RORA:STAE1:LDAB+S,X:RORA:  
STAE1+1

7100CLC:TXA:ADCK:TAX:CLC:LDAB,X:BPLZ2:SEC:.Z2 RORA:STAE3:LDAB+S,  
X:RORA:STAE3+1

7110CLC:TXA:ADCK:TAX:CLC:LDAB,X:BPLZ3:SEC:.Z3 RORA:STAE2:LDAB+S,  
X:RORA:STAE2+1

7120CLC:TXA:ADCK:TAX:CLC:LDAB,X:BPLZ4:SEC:.Z4 RORA:STAE4:LDAB+S,

X:RORA:STAE4+1

7130LDAU1:STAMDO:LDAU1+1:STAMDO+1:LDAE3:STAMDOR:LDAE3+1:STAMDOR+  
1:JSRMULT:LDACOCI:STAAUX1:LDACOCI+1:STAAUX1+1

7140LDAU2:STAMDO:LDAU2+1:STAMDO+1:LDAE4:STAMDOR:LDAE4+1:STAMDOR+  
1:JSRMULT:SEC:LDAUX1+1:SBCCOCI+1:STAAUX1+1:LDAUX1:SBCCOCI:STAAU  
X1

7150LDAU1:STAMDO:LDAU1+1:STAMDO+1:LDAE4:STAMDOR:LDAE4+1:STAMDOR+  
1:JSRMULT:LDACOCI:STAAUX2:LDACOCI+1:STAAUX2+1

7160LDAU2:STAMDO:LDAU2+1:STAMDO+1:LDAE3:STAMDOR:LDAE3+1:STAMDOR+  
1:JSRMULT:CLC:LDAUX2+1:ADCCOCI+1:STAAUX2+1:LDAUX2:ADCCOCI:STAAU  
X2

7170LDXL:CLC:LDAE1+1:ADCAUX1+1:STAB+S,X:LDAE1:ADCAUX1:STAB,X

7180TXA:CLC:ADCK:TAX:CLC:LDAE2+1:ADCAUX2+1:STAB+S,X:LDAE2:ADCAUX  
2:STAB,X

7190TXA:CLC:ADCK:TAX:SEC:LDAE1+1:SBCAUX1+1:STAB+S,X:LDAE1:SBCAUX  
1:STAB,X

7200TXA:CLC:ADCK:TAX:SEC:LDAUX2+1:SBCE2+1:STAB+S,X:LDAUX2:SBCE  
2:STAB,X

7210.CONTI DECCONT:INCL:LDACONT:BEQC1:JMPLAZOL

7220.C1 INCJ:CLC:LDAL:ADCK:ADCK:ADCK:STAL:LDAJ:CMPIJMAX:BEQC2:JMP  
LAZOK

7230.C2 INCM:LSRK:ASLJMAX:LDAK:BEQC3:JMPLAZOJ

7240.C3 CLC:LDAB+S:ADCB+1+S:STAB+S:LDAB:ADCB+1:STAB:LDA#0:STAB+1  
:STAB+1+S:RTS

7245BRK:BRK

7250.MT LDXL:CLC:LDAB,X:BPLZ5:SEC:.Z5 RORA:STAE1:LDAB+S,X:RORA:S  
TAE1+1:CLC:TXA:ADCK:TAX:CLC:LDAB,X:BPLZ6:SEC:.Z6 RORA:STAE2:LDAB+  
S,X:RORA:STAE2+1:CLC:TXA:ADCK:TAX:CLC:LDAB,X:BPLZ7:SEC:.Z7 RORA:S  
TAE3:LDAB+S,X:RORA:STAE3+1:CLC:TXA:ADCK:TAX

7251CLC:LDAB,X:BPLZ8:SEC:.Z8 RORA:STAE4:LDAB+S,X:RORA:STAE4+1

7260LDXL:CLC:LDAE1+1:ADCE3+1:STAB+S,X:LDAE1:ADCE3:STAB,X  
7270TXA:CLC:ADCK:TAX:CLC:LDAE2+1:ADCE4+1:STAB+S,X:LDAE2:ADCE4:ST  
AB,X  
7280TXA:CLC:ADCK:TAX:SEC:LDAE1+1:SBCE3+1:STAB+S,X:LDAE1:SBCE3:ST  
AB,X  
7290TXA:CLC:ADCK:TAX:SEC:LDAE4+1:SBCE2+1:STAB+S,X:LDAE4:SBCE2:ST  
AB,X  
7300JMPCONTI  
7304.MULT LDX#16:LDA#0:STACOCI:STACOCI+1:STACOCI+2:STACOCI+3:STA  
MDO-2:STAMDO-1:STASIGNO  
7305LDAMDO:EORMDOR:BPLA0:LDA#&FF:STASIGNO  
7306.A0 LDAMDO:BPLA1:LDAMDO+1:EOR#&FF:CLC:ADC#1:STAMDO+1:LDAMDO:  
EOR#&FF:ADC#0:STAMDO  
7307.A1 LDAMDOR:BPLDESP:LDAMDOR+1:EOR#&FF:CLC:ADC#1:STAMDOR+1:LD  
AMDOR:EOR#&FF:ADC#0:STAMDOR  
7320.DESP LSRMDOR:RORMDOR+1:BCCACTU:CLC:LDAMDO+1:ADCCOCI+3:STACO  
CI+3:LDAMDO:ADCCOCI+2:STACOCI+2:LDAMDO-1:ADCCOCI+1:STACOCI+1:LDAM  
DO-2:ADCCOCI;STACOCI  
7330.ACTU ASLMDO+1:ROLMDO:ROLMDO-1:ROLMDO-2:DEX:BNEDESP  
7335LDASIGNO:BPLA4  
7338.A3 LDACOCI+3:EOR#&FF:CLC:ADC#1:STACOCI+3:LDACOCI+2:EOR#&FF:  
ADC#0:STACOCI+2:LDACOCI+1:EOR#&FF:ADC#0:STACOCI+1:LDACOCI:EOR#&FF  
:ADC#0:STACOCI  
7339.A4 ASLCOCI+3:ROLCOCI+2:ROLCOCI+1:ROLCOCI:RTS  
73401:NEXT:ENDPROC

## 7 . - APENDICES

### 7.1 Apêndice de catálogos

- "Z8000 Microprocessor Family" , SGS 1st edition
- "MOS Memory Data Book" , Texas Instruments 1982
- "Short Form Catalog" , Datel Intersil 1982/83
- "Linear Databook" , National Semiconductors 1982
- "Linear Databook" , Texas Instruments 1982
- "TTL" , Texas Instruments 1982
- " Tablas universales Towers para selección de transistores",  
T.D.Towers 1980
- "Optoelectronics Designer's Catalog 1982" , Hewlett Packard

## 7.2 Apéndice de Bibliografía

- [1] ADVANCED MICRO DEVICES, "Am Z8000 User's Manual" 1981
- [2] BBC, "Microcomputer system User Guide"
- [3] BERGLAND, G.D., "A Fast Fourier Transform Algorithm for Real valued Series", Communications of the ACM, Vol.II Nº10, October 1968
- [4] BILDSTEIN, Paul , "Filtros Activos", Paraninfo, Madrid 1977
- [5] BRAY, DICKENS & HOLMES, "The Advanced user guide for the BBC Micro"
- [6] BRIGHAM, E.O., "The Fast Fourier Transform"
- [7] BRUEL & KJAR, "Frequency analysis"
- [8] COOLEY, J.M. y J.W. Tukey, "An algorithm for the Machine computation of complex Fourier series", Mathematics computation, Vol 19, Abril 1965 pp.297-301
- [9] CRAMER, H. Kendall y otros, "Cálculo de probabilidades y estadística", Enciclopedia de las ciencias de Salvat Vol.11, pp.179-191
- [10] CHIN, Steven H. y Charles W. Brooks, "Microprogramming enhances signal processors performances", Revista Electronics , 17 Nov. 1982
- [11] GARCIA-CALDERON López, E. "Televisión", Vol.1 ETSITM, Dpto de publicaciones
- [12] GOLD, B. y C. Rader "Digital Signal Processing of signals" McGraw-Hill, New York 1969
- [13] HERNANDO Rabanos, J.M. "Sistemas de Telecomunicación", Vol1 ETSITM, Dpto. de publicaciones
- [14] JAMES, Mike "The BBC Micro", Ed. Granada
- [15] LEVENTHAL, lance A, Adam Osborn, Chuck Collins "Z8000 Assembly Language programming", OSBORNE/McGraw-Hill, 1980, California

- [16] LYNN, Paul A. "An introduction to the Analysis and Processing of Signals"
- [17] MAGAR, Surender y otros "Signal processing uC builds FFT-based spectrum analyzer" Rev. Electronic Design
- [18] OPPENHEIM, Alan V. "Digital Signal Processing", Ed. Prentice Hall Inc.
- [19] OPPENHEIM, Alan V. y C.J.Weinstein "Effects of finite register length in Digital filtering and the Fast Fourier Transform" Proc. IEEE, Agosto 1972, Vol.60, pp. 957-976
- [20] PELED, Abraham y Bede Liu "Digital Signal Processing. Theory, Design and Implementation
- [21] RABINER, L.R. y B.Gold "Theory and application of Digital Signal Processing" Ed. Prentice-Hall Inc. 1975
- [22] SAIZ Saiz, Jesus "Series de Fourier" ETSITM, Dpto Publicaciones
- [23] SILVERMAN, Harvey F. "An introduction to programming the Winograd Fourier Transform Algorithm (WTFA)", IEEE Transactions on acoustics, speech and signal processing, Vol. ASSP-25, Nº 2, Abril 1977
- [24] TEKTRONIX , "Spectrum Analyzers"
- [25] TEKTRONIX , "TEK Products" 1983
- [26] WARZANSKYJ Poliscuk, Wsewolod, "Métodos de síntesis de redes lineales", ETSITM, Dpto. de Publicaciones 1975



## ANEXOS

### 1. MICROPROCESADOR Z8002B

El Z8002B es un microprocesador de 16 bits con un repertorio de instrucciones más potente que muchos minicomputadores, con un gran número de registros y modos de direccionamiento y una arquitectura regular que aumenta la potencia de proceso.

Posee 16 registros de propósito general de 16 bits, 7 tipos de datos: desde 1 bit a 32 en palabras y conjuntos de caracteres, 8 modos de direccionamiento seleccionables por el usuario. Los 110 tipos de instrucción distintos pueden ser combinados con los varios tipos de datos y modos de direccionamiento para dar un potente repertorio de 414 instrucciones. Además, el repertorio de instrucciones tiene un alto grado de regularidad: la mayoría de las instrucciones pueden usar cualquiera de los 5 modos principales de direccionamiento, y pueden operar con los tipos de datos: byte (8 bits), palabras de 16 bits, de 32 y de 64 bits.

La CPU puede funcionar en modo 'normal' o 'sistema'. La distinción entre estos dos modos permite tener operaciones privilegiadas, consiguiendo por ello mejorar la organización e implementación de un sistema operativo. También se facilita la multiprogramación por el tipo de instrucciones, y el uso de compiladores, por los stacks múltiples, e instrucciones especiales y modos especiales de direccionamiento.

La CPU Z8002 se diferencia de la Z8001 en su menor potencia de direccionamiento: 64 Kbytes en lugar de 8 Mbytes, aun-

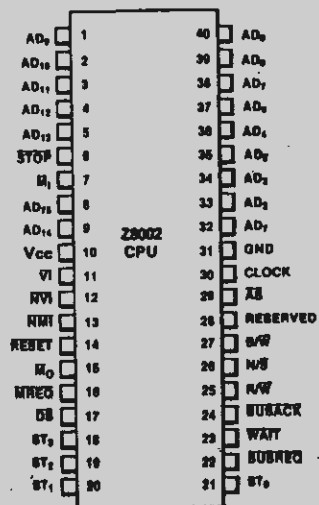


Fig. M-1

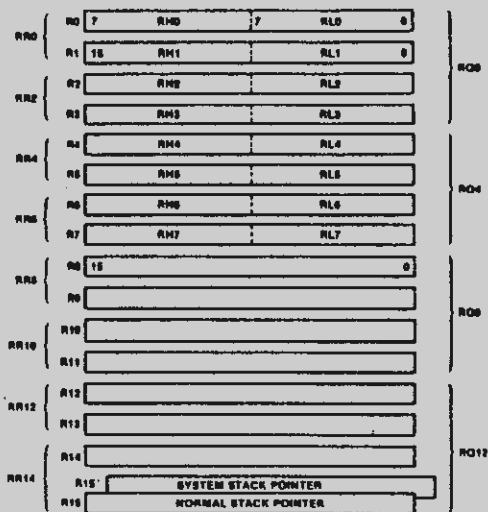


Fig. M-2

que gracias a la existencia de los dos modos de funcionamiento, y a la distinción entre código, datos y espacio de stack con cada modo, se puede ampliar la extensión de la memoria hasta 384 kbytes.

Existe hardware especializado en el manejo de memoria (MMU Z8010).

La tecnología del Z8002 es de silicio de puerta de canal n de carga de depleción con alta densidad y alta escala de integración. Está encapsulado en forma 'dual-in-line' (ver fig. A1-1).

#### Organización de registros

La CPU Z8002 es una máquina orientada a registros y ofrece 16 registros de propósito general de 16 bits, y un conjunto de registros especiales del sistema. Todos los registros de propósito general se pueden usar como acumuladores, y todos, salvo uno, como registros índice o punteros de memoria.

La flexibilidad de registros se crea agrupando y solapando registros múltiples (fig. A1-2). Para operaciones de byte, los primeros 8 registros de 16 bits (R0 a R7) se tratan como 16 registros de 8 bits (RLO, RHO, RL1, ..., RH7). Agrupando por pares los 16 registros de 16 bits se forman 8 registros de 32 bits (RRO...RR14). De forma similar el conjunto de registros se agrupa en registros cuádruples de 64 bits (RQ0 a...RQ12).

#### Stacks

El Z8002 puede usar stacks localizados en cualquier posi-

ción de la memoria. Las instrucciones CALL y RETURN, las interrupciones y los traps usan stacks implicados. La distinción entre stack normal y sistema separa la información del sistema de la información del programa aplicación. Hay dos punteros de stack, uno para el sistema y otro para el modo normal. Como son parte de los registros de propósito general (R15), el usuario puede manipularlos con cualquier instrucción que tenga direccionamiento de registros.

### Refresco

La CPU Z8002 contiene un contador que se puede usar para efectuar el refresco automático de memoria dinámica. Consiste en un contador de fila de 9 bits, un contador de 6 bits de frecuencia de refresco, y un bit de permisión. El contador de fila de 9 bits puede direccionar hasta 256 filas y se incrementa en 2 cada vez que el contador de frecuencia de refresco alcanza su fin de cuenta. El contador de frecuencia de refresco determina el tiempo entre dos refrescos consecutivos. Consiste en un contador programable de 6 bits módulo n ( $n=1$  a 64) conducido a  $1/4$  de la frecuencia de reloj de la CPU. El refresco se puede inhibir programando el bit de permisión de refresco.

### Información del status de programa

Este grupo de registros de status contiene el contador de programa (PC) y la palabra de flags y control (FCW). Cuando ocurre una interrupción o un trap, se guarda el grupo entero y se carga un nuevo grupo de status de programa. (Ver fig A1-3).

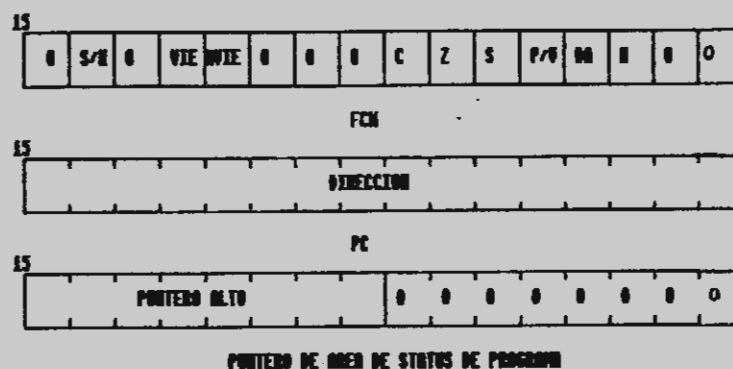


Fig. A1-3

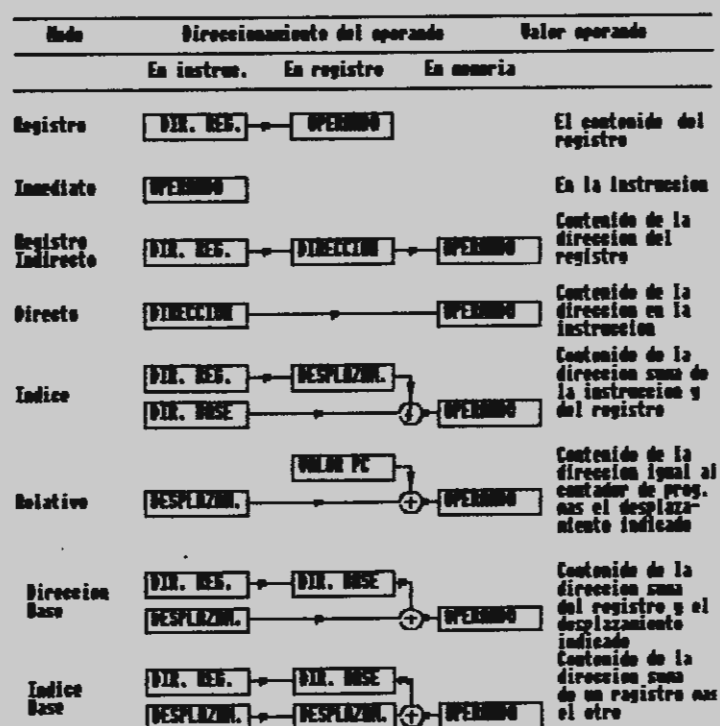


Fig. A1-4

### Estructura de interrupción y trap

El Z8000 proporciona una estructura de interrupción y de trap muy flexible y potente. Las interrupciones son sucesos asíncronos externos que requieren la atención de la CPU y que son iniciados normalmente por periféricos que requieren una atención. Los traps son sucesos síncronos resultado de ciertas instrucciones. Ambos se procesan de forma similar por la CPU.

La CPU soporta tres tipos de interrupciones (no enmascable, vectorizada y no vectorizada) y cuatro tipos de trap (llamada del sistema, instrucción no implementada, instrucción privilegiada y trap de segmentación). Las interrupciones vectorizadas y no vectorizadas son enmascarables. El único trap externo es el de segmentación, que lo genera un Z8010. Los restantes ocurren cuando se produce un uso de instrucciones privilegiadas en modo sistema, o de instrucciones no existentes, o bien por una instrucción de llamada de sistema. El orden de prioridades es, de mayor a menor: traps internos, interrupciones vectorizadas e interrupciones no vectorizadas.

Cuando ocurre una interrupción o un trap, el status de programa se almacena automáticamente en el stack del sistema, esto es, se almacena el contador de programa PC, la palabra de flags y control FCW y un identificador de 16 bits, que contiene información sobre el origen de la interrupción o trap. Para traps internos, el identificador es la primera palabra de la instrucción causante del trap. En traps externos es el vector leído por la CPU en el bus de datos durante el ciclo de reconocimiento de la interrupción o trap.

A continuación se carga el nuevo status de programa auto-

máticamente procedente del área de status de programa, sita en la memoria del sistema.

### Tipos de datos

Las instrucciones del Z8000 pueden operar sobre bit, dígitos BCD (4 bits), bytes (8 bits), palabras (16 bits), palabras largas (32 bits), cadenas de bytes y de caracteres (de hasta 64 kbytes de longitud).

Un bit puede ser puesto a 1 o a 0, o comprobado su estado. Los dígitos se usan en aritmética BCD. Los bytes se usan para caracteres o valores enteros pequeños. Las palabras se usan para valores enteros, instrucciones y direcciones. Las palabras largas para enteros grandes y direcciones segmentadas. Todos los tipos de datos anteriores se pueden almacenar en registros internos o en memoria. Los conjuntos sólo se pueden almacenar en memoria.

### Modos de direccionamiento

La información incluida en las instrucciones depende de la función a conseguir, del tipo y tamaño de los elementos a manejar y del lugar de los elementos de datos. Los lugares se designan por direcciones de registro, direcciones de memoria o direcciones de entrada/salida. El modo de direccionamiento de una instrucción dada define el espacio de direcciones que referencia y el método usado para computar la dirección misma. Los modos de direccionamiento quedan explícitos en la instrucción.

La fig. A1-4 ilustra los 8 modos de direccionamiento: de

registro inmediato, de registro indirecto, dirección directa, indexado, dirección relativa, dirección base y base indexada.

### Entrada/Salida

Existe un conjunto de instrucciones que permite realizar transformaciones de 8 o 16 bits entre la CPU y dispositivos de entrada/salida. Estos dispositivos se direccionan con una dirección de 16 bits de puerta de entrada/salida. La dirección de entrada/salida es similar a una dirección de memoria, sin embargo el espacio de direccionamiento de entrada/salida no es parte del espacio de memoria, ya que se distinguen por las distintas salidas provocadas en las líneas de status de la CPU.

Hay dos tipos de instrucciones de entrada/salida la normal y la especial. Cada una tiene su propio espacio de direccionamiento. Las instrucciones especiales se emplean cuando se utiliza una unidad de manejo de memoria.

### Repertorio de instrucciones

A continuación se da una tabla con el repertorio de instrucciones del Z8000.

#### Ciclos reloj

Nemón. Operando M.Dir. P.,B. P.L. Operación

Carga e intercambio

CLR	dest	R	7	Borra
CLRB		IR	8	dest ← 0
		DA	11	
		X	12	



Ciclos reloj

<u>Memón.</u>	<u>Operando</u>	<u>M.Dir.</u>	<u>P.,B.</u>	<u>P.L.</u>	<u>Operación</u>
EX	R, fuent	R	6		Intercambio
EXB		IR	12		R <-- fuent
		DA	15		
		X	16		
LD	R, fuent	R	3	5	Carga registro
LDB		IM	7	11	R <-- fuent
LDL		IM	5(byte sólo)		
		IR	7	11	
		DA	9	12	
		X	10	13	
		BA	14	17	
		EX	14	17	
LD	dest, R	IR	8	11	Carga en memoria
LDB		DA	11	14	dest <-- R
LDL		X	12	15	
		BA	14	17	
		BA	14	17	
LD	dest, IM	IR	11		Carga inmediato memoria
LDB		DA	14		dest <-- IM
		X	15		
LDA	R, fuent	DA	12		Carga dirección
		X	13		R <-- dir. fuente
		BA	15		
		BX	15		
LDAR	R, fuent	RA	15		Carga relativa de dir.
					R <-- dir. fuente
LDK	R, fuent	IM	5		Carga de constante
					R <-- n (n=0...15)
LDM	R, fuent, n	IR	11+3n		Carga múltiple
		DA	14+3n		R <-- fuent (n palabras
		X	15+3n		consecutivas) (n=1...16)
LDM	dest, R, n	IR	11+3n		Carga múltiple
		DA	14+3n		dest <-- R (n palabras
		X	15+3n		consecutivas) (n=1...16)
LDR	R, fuent	RA	14	17	Carga relativa
LDRB					R <-- fuente
LDRL					(rango -32768...32767)
LDR	dest, R	RA	14	17	Carga relativa
LDRB					dest <-- R
LDRL					(rango -32768...32767)
POP	dest, IR	R	8	12	Recoge del stack
POPL		IR	12	19	dest <-- IR
		DA	16	23	Autoincr. contenido de R
		X	16	23	

Ciclos reloj

<u>Nemón.</u>	<u>Operando</u>	<u>M.Dir.</u>	<u>P.,B.</u>	<u>P.L.</u>	<u>Operación</u>
PUSH	IR, fuente	R	9	12	Pone en el stack
PUSHL		IM	12		Autodecr. contenido de R
		IR	13	20	IR <-- fuente
		DA	14	21	
		X	14	21	
<hr/>					
<u>Aritmética</u>					
<hr/>					
ADC	R, fuente	R	5		Suma con acarreo
ADCB					R <-- R+fuente+acarreo
<hr/>					
ADD	R, fuente	R	4	8	Suma
ADDE		IM	7	14	R <-- R+fuente
ADDL		IR	7	14	
		DA	9	15	
		X	10	16	
<hr/>					
CP	R, fuente	R	4	8	Compara con registro
CPB		IM	7	14	R- fuente
CPL		IR	7	14	
		DA	9	15	
		X	10	16	
<hr/>					
CP	dest, IM	IR	11		Compara con valor IM
CPB		DA	14		destino-IM
		X	15		
<hr/>					
DAB	dest	R	5		Ajuste decimal
<hr/>					
DEC	dest, n	R	4		Decrementa en n
DECB		IR	11		dest <-- dest-n
		DA	13		(n=1...16)
		X	14		
<hr/>					
DIV	R, fuente	R	107	744	Divide con signo
DIVL		IM	107	744	Palabra:
		IR	107	744	R <sub>n+1</sub> <-- R <sub>n+1</sub> +fuente
		DA	108	745	R <sub>n</sub> <-- resto
		X	109	746	Palabra larga:
					R <sub>n+2, n+3</sub> <-- R <sub>n, n+3</sub> +fue
					R <sub>n, n+1</sub> <-- resto
<hr/>					
EXTS	destino	R	11	11	Extiende signo de la parte
EXTSB					baja a la parte alta.
EXTSL					
<hr/>					
INC	dest, n	R	4		Incrementa en n
INCB		IR	11		dest <-- dest + n
		DA	13		(N=1...16)
		X	14		
<hr/>					
MULT	R, fuente	R	70	282*	Multiplifica (con signo)
MULTL		IM	70	282*	Pal.: R <sub>n, n+1</sub> <-- R <sub>n+1</sub> *fuent
		IP	70	282*	P.L.: R <sub>n, n+3</sub> <-- R <sub>n+2, n+3</sub>
		DA	71	283*	* Más 7 ciclos por cada 1
		X	72	284*	en el multiplicando.
<hr/>					

Ciclos reloj

Nemón. Operando M.Dir. P.,B. P.L. Operación

NEG	dest	R	7		Negación
NEGB		IR	12		dest ← 0-dest
		DA	15		
		X	16		

---

SBC	R,fuent	R	5		Resta con acarreo
SBCB					R ← R-fuente-acarreo

---

SUB	R,fuent	R	4	8	Resta
SUBL		IM	7	14	R ← R-fuente
SUBL		IR	7	14	
		DA	9	15	
		X	10	16	

Lógicas

---

AND	R,fuent	R	4		And lógico
ANDB		IM	7		R ← R AND fuente
		IR	7		
		DA	9		
		X	10		

---

COM	dest	R	7		Complementa
COMB		IR	12		dest ← NOT dest
		DA	15		
		X	16		

---

OR	R,fuent	R	4		OR lógico
ORB		IM	7		R ← R OR fuent
		IR	7		
		DA	9		
		X	10		

---

TCC	cc,dest	R	5		Testea código de condición
TCCB					Pone a 1 LSB si cc verdad

---

TEST	dest	R	7	13	Test
TESTB		IR	8	13	dest OR 0
TESTL		DA	11	16	
		X	12	17	

---

XOR	R,fuent	R	4		OR exclusivo
XORB		IM	7		R ← R XOR fuent
		IR	7		
		DA	9		
		X	10		

---

Control del programa

---

CALL	dest	IR	10		LLamada a subrutina
		DA	12		Autodecrementa SP
		x	13		@SP ← PC PC ← dest

---

CALR	dest	RA	10		Salto a subrutina relativo
					Autodecrementa SP
					@SP ← PC
					PC ← PC+dest (-4096 a 4096)

---

Ciclos reloj

<u>Nemón.</u>	<u>Operando</u>	<u>M.Dir.</u>	<u>P.,B.</u>	<u>P.L.</u>	<u>Operación</u>
DJNZ DBJNZ	R,dest	RA	11		Decrementa y salta si no 0 R <-- R-1 Si R no 0: PC <-- PC+dest (-254 a 0)
IRET*			13		Retorno de interrupción PS <-- @SP autoincrementa SP
JP	cc,dest	IR IR da x	10 (si) 7 (no) 7 8		Salto condicional Si cc verdad: PC <-- dest
JR	cc,dest	RA	6		Salto condicional relativo Si cc verdad: PC <-- PC+dest (rango -256 a 254)
RET	cc		10 (si) 7 (no)		Retorno condicional Si cc verdad: PC <-- @SP Autoincrementa SP
SC	fuent	IM	33		Llamada del sistema Autodecrementa SP @SP <-- viejo SP Recoge instrucción PS <-- PS de llamada sist.
<u>Manipulación de bit</u>					
BIT BITB	dest,b	R IR DA X	4 8 10 11		Prueba estática de bit flag Z <-- NOT bit b dest
BIT BITB	dest,R	R	10		Prueba dinámica de bit flag Z <-- NOT bit b de R
RES RESB	dest,b	R IR DA X	4 11 13 14		Reset estático de bit Resetea bit b de dest
RES RESB	dest,R	R	10		Reset dinámico de bit Resetea el bit de dest indicado en R
SET SETB	dest,b	R IR DA X	4 11 13 14		Puesta a 1 estática de bit Pone a 1 bit b de dest
SET SETB	dest,R	R	10		Puesta a 1 dinámica de bit pone a 1 el bit de dest indicado en R
TSET TSETB	dest	R IR DA X	7 11 14 15		Prueba y pone a 1 flag S <-- MSB de dest dest <-- todos unos



Ciclos reloj

<u>Nemón.</u>	<u>Operando</u>	<u>M.Dir.</u>	<u>P.,B.</u>	<u>P.L.</u>	<u>Operación</u>
RL	dest,n	R	6 (n=1)		Gira a la izquierda
RLB		R	7 (n=2)		n bits (n=1 o 2)
RLC	dest,n	R	6 (n=1)		Gira a izq.a través de C
RLCB		R	7 (n=2)		n bits (n=1 o 2)
RLDB	R,fuent	R	9		Gira dígito a la izq.
RR	dest,n	R	6 (n=1)		Gira a la derecha
RRB		R	7 (n=2)		n bits (n=1 o 2)
RRC	dest,n	R	6 (n=1)		Gira a der. a través de C
RRCB		R	7 (n=2)		n bits (n=1 o 2)
RRDB	R,fuent	R	9		Gira dígito a la derecha
SDA	dest,R	R	(15+3n)	(15+3n)	Desplazam.aritm. dinámico
SDAB					Desp. dest dinámicamente
SDAL					a der. o izq. según R
SDL	dest,R	R	(15+3n)	(15+3n)	Desplazam.lógico dinámico
SDLB					Desp. dest dinámicamente
SDLL					a der. o izq. según R
SLA	dest,n	R	(13+3n)	(13+3n)	Desp. aritm. a la izq.
SLAB					n bits
SLAL					
SLL	dest,n	R	(13+3n)	(13+3n)	Desp. lógico a la izq.
SLLB					n bits
SLLL					
SRA	dest,n	R	(13+3n)	(13+3n)	Desp. aritm. a la derecha
SRAB					n bits
SRAL					
SRL	dest,n	R	(13+3n)	(13+3n)	Desp. lógico a la derecha
SRLB					n bits
SRL					
<u>Transferencia de bloques y manipulación de cadenas</u>					
CPD R <sub>x</sub> ,fu,R <sub>y</sub> ,cc	IR		20		Compara y decrementa
CPDB					R <sub>x</sub> -fuent
					Autodecrementa direc. fuent
					R <sub>y</sub> <-- R <sub>y</sub> -1
CPDR R <sub>x</sub> ,f,R <sub>y</sub> ,cc	IR		(11+9n)		Compara,decrementa y
CPDRB					Repite
					R <sub>x</sub> -fuent
					Autodecrementa dir fuent
					R <sub>y</sub> <-- R <sub>y</sub> -1
					Repite hasta cc verdad o
					R <sub>y</sub> =0

Ciclos reloj

<u>Nemón.</u>	<u>Operando</u>	<u>M.Dir.</u>	<u>P.,B.</u>	<u>P.L.</u>	<u>Operación</u>
CPI	R <sub>x</sub> ,f,R <sub>y</sub> ,cc	IR		20	Compara e incrementa R <sub>x</sub> -fuent Autoincrementa dir fuent R <sub>y</sub> <-- R <sub>y</sub> -1
CPIR	R <sub>x</sub> ,f,R <sub>y</sub> ,cc	IR		(11+9n)	Compara, incrementa y Repite R <sub>x</sub> -fuent Autoincrementa dir fuent R <sub>y</sub> <-- R <sub>y</sub> -1 Repite hasta cc verdad o R <sub>y</sub> =0
CPSD	des,f,R,cc	IR		25	Compara cadena y decrementa dest-fuent Autodec. dir.fu.y dest R <-- R-1
CPSDR	de,f,R,cc	IR		(11+14n)	Compara cadena, decrementa y repite dest-fuent Autodec. dir.fu.y dest R <-- R-1 Repite hasta cc verdad o R=0
CPSI	des,f,R,cc	IR		25	Compara cadena e incrementa dest-fuent Autoinc. dir.fu.y dest R <-- R-1
CPSIR	de,f,R,cc	IR		(11+14n)	Compara cadena, incrementa y repite dest-fuent Autoinc. dir.fu.y dest R <-- R-1 Repite hasta cc verdad o R=0
LDD	dest,fu,R	IR		20	Carga y decrementa dest-fuent Autodec. dir.fu.y dest R <-- R-1
LDDR	des,fu,R	IR		(11+9n)	Carga, decrem. y repite dest-fuent Autodec. dir.fu.y dest R <-- R-1 Repite hasta cc verdad o R=0

Ciclos reloj

<u>Nemón.</u>	<u>Operando</u>	<u>M.Dir.</u>	<u>P.,B.</u>	<u>P.L.</u>	<u>Operación</u>
LDI dest,fu,R LDIB	IR	20			Carga e incrementa dest-fuent Autoinc. dir.fu.y dest R <-- R-1
LDIR des,fu,R LDIRB	IR	(11+9n)			Carga, increm. y repite dest-fuent Autoinc. dir.fu.y dest R <-- R-1 Repite hasta cc verdad o R=0
TRDB dest,fu,R	IR	25			Traslada y decrementa dest <-- fuent(dest) Autodec. dir. dest R <-- R-1
TRDRB dest,fu,R	IR	(11+14n)			Traslada, decr. y repite dest <-- fuent(dest) Autodec. dir. dest R <-- R-1 Repite hasta R=0
TRIB dest,fu,R	IR	25			Traslada e incrementa dest <-- fuent(dest) Autoinc. dir. dest R <-- R-1
TRIRB dest,fu,R	IR	(11+14n)			Traslada, incr. y repite dest <-- fuent(dest) Autoinc. dir. dest R <-- R-1 Repite hasta R=0
TRTDB fu1,fu2,R	IR	25			Traslada y prueba, decr. RH1 <-- fu2(fu1) Autodecr. dir. fu1 R <-- R-1
TRDRB f1,f2,R	IR	(11+14n)			Traslada, prueba, decr. y repite. RH1 <-- fu2(fu1) Autodecr. dir. fu1 R <-- R-1 Repite hasta R=0 o RH1=0
TRTIB fu1,fu2,R	IR	25			Traslada y prueba, incr. RH1 <-- fu2(fu1) Autoincr. dir. fu1 R <-- R-1
TRIRB f1,f2,R	IR	(11+14n)			Traslada, prueba, incr. y repite. RH1 <-- fu2(fu1) Autoincr. dir. fu1 R <-- R-1 Repite hasta R=0 o RH1=0

Ciclos reloj

Nemón. Operando M.Dir. P.,B. P.L. Operación

Entrada/salida

IN*	R,fuent	IR	10	Entrada
INB*		DA	12	R <-- fuent
IND*	dest,fu,R	IR	21	Entrada y decrementa
INDB*				dest <-- fuent Autodec. dir. dest R <-- R-1
INDR*	dest,fu,R	IR	(11+10n)	Entrada,decr.y repite
INDBR*				dest <-- fuent Autodec. dir. dest R <-- R-1 Repite hasta R=0
INI*	dest,fu,R	IR	21	Entrada e incrementa
INIB*				dest <-- fuent Autoinc. dir. dest R <-- R-1
INIR*	dest,fu,R	IR	(11+10n)	Entrada,incr.y repite
INIBR*				dest <-- fuent Autoinc. dir. dest R <-- R-1 Repite hasta R=0
OUT*	dest,R	IR	10	Salida
OUTB*		DA	12	dest <-- R
OUTD*	dest,fu,R	IR	21	Salida y decrementa
OUTDB*				dest <-- fuent Autodec. dir.fuent R <-- R-1
OUTDR*	dest,fu,R	RIR	(11+10n)	Salida,decr.y repite
OUTDBR*				dest <-- fuent Autodec. dir.fuent R <-- R-1 Repite hasta R=0
OUTI*	dest,fu,R	IR	21	Salida e incrementa
OUTIB*				dest <-- fuent Autoinc. dir.fuent R <-- R-1
OUTIR*	dest,fu,R	RIR	(11+10n)	Salida,incr.y repite
OUTIBR*				dest <-- fuent Autoinc. dir.fuent R <-- R-1 Repite hasta R=0
SIN*	R,fuent	DA	12	Entrada especial
SINB*				R <-- fuent
SIND*	dest,fu,R	IR	21	Entrada especial y decr.
SINDB*				dest <-- fuent Autodec. dir. dest R <-- R-1



### Ciclos reloj

<u>Nemón.</u>	<u>Operando</u>	<u>M.Dir.</u>	<u>P.,B.</u>	<u>P.L.</u>	<u>Operación</u>
SINDR*	dest,f,R	IR	(11+10n)		Entrada especial,decr. y repite.
SINDRB*					dest <-- fuent Autodecr. dir. dest R <-- R-1 Repite hasta R=0
SINI*	dest,fu,R	IR	21		Entrada especial e incr.
SINIB*					dest <-- fuent Autoincr. dir. dest R <-- R-1
SINIR*	dest,f,R	IR	(11+10n)		Entrada especial,incr. y repite.
SINIRB*					dest <-- fuent Autoincr. dir. dest R <-- R-1 Repite hasta R=0
SOUT*	dest,fu	DA	12		Salida especial
SOUTB*					dest <-- fuent
SOUTD*	dest,f,R	IR	21		Salida especial y decr.
SOUTDB*					dest <-- fuent Autodecr. dir. dest R <-- R-1
SOUTDR*	des,f,R	IR	(11+10n)		Entrada especial,decr. y repite.
SOUTDRB*					dest <-- fuent Autodecr.dir. fuent R <-- R-1 Repite hasta R=0
SOUTI*	dest,f,R	IR	21		Entrada especial e incr.
SOUTIB*					dest <-- fuent Autoincr.dir. fuent R <-- R-1
SOUTIR*	dest,f,R	IR	(11+10n)		Entrada especial,incr. y repite.
SOUTIRB*					dest <-- fuent Autoincr.dir. fuent R <-- R-1 Repite hasta R=0
<u>Control de CPU</u>					
COMFLG	flags		7		Complementa flag (Cualquier combinación de C,Z,S,P/V)
DI*	int		7		Prohíbe interrupción (Cualquier combinación de NVI,VI)
EI*	int		7		Permite interrupción (Cualquier combinación de NVI,VI)

Ciclos reloj

<u>Nemón.</u>	<u>Operando</u>	<u>M.Dir.</u>	<u>P.,B.</u>	<u>P.L.</u>	<u>Operación</u>
HALT*				(8+3n)	Alto
LDCTL*	CTLR, fu	R		7	Carga en el registro de control. CTLR <-- fuente
LDCTL*	des, CTLR	R		7	Carga desde el registro de control dest <-- CTLR
LDCTLB	FLGR, fu	R		7	Carga en reg. de flags FLGR <-- fuente
LDCTLB	des, FLGR	R		7	Carga el FLGR dest <-- FLGR
LDPS*	fuelle	IR DA X		12 16 17	Carga status de programa PS <-- fuente
MBIT*				7	Prueba bit multi-micro Activa S si M <sub>1</sub> es bajo borra S si es alto
MREQ*	dest	R		(12+7n)	Requisición de multi-m.
MRES*				5	Reset de multi-micro
MSET*				5	Puesta a 1 de multi-mic.
NOP				7	No operación
RESFLG	flag			7	Resetea flag (Cualquier combinación de C,Z,S,P/V)
SETFLG				7	Activa flag (Cualquier combinación de C,Z,S,P/V)

\* indica instrucciones privilegiadas, ejecutables sólo en modo sistema.

Códigos de condiciones (cc)

A continuación se da una tabla con los distintos códigos de condiciones, flags que activan y campo cc respectivo.

<u>Código</u>	<u>Significado</u>	<u>Flags activados</u>	<u>CC</u>
	Siempre falso	-	0000
	Siempre verdad	-	1000
Z	Cero	Z=1	0110
NZ	No cero	Z=0	1110
C	Acarreo	C=1	0111
NC	No acarreo	C=0	1111
PL	Positivo	S=0	1101
MI	Negativo	S=1	0101
NE	No igual	Z=0	1110
EQ	Igual	Z=1	0110
OV	Desbordamiento (overflow)	P/V=1	0100
NOV	No desbordamiento	P/V=0	1100
PE	Paridad par	P/V=1	0100
PO	Paridad impar	P/V=0	1100
GE	Mayor o igual (con signo)	(S XOR P/V)=0	1001
LT	Menor que (con signo)	(S XOR P/V)=1	0001
GT	Mayor que (con signo)	[Z OR (S XOR P/V)]=0	1010
LE	Menor o igual que (signo)	[Z OR (S XOR P/V)]=1	0010
UGE	Menor o igual que (signo)	C=0	1111
ULT	Menor que (con signo)	C=1	0111
UGT	Mayor que (sin signo)	[(C=0) AND (Z=0)]=1	1011
ULE	Menor o igual que (signo)	(C OR Z)=1	0011

Nótese que algunos códigos de condición activan idénticos flags y tienen iguales campos CC en la instrucción:

Z=EQ, NZ=NE, C=ULT, NC=UGE, OV=PE, NOV=PO

### Códigos de líneas de status

<u>ST<sub>3</sub>-ST<sub>0</sub></u>	<u>Significado</u>
0000	Operación interna
0001	Refresco de memoria
0010	Referencia de entrada/salida
0011	Referencia especial de entrada/salida (por ej. a MMU)
0100	Reconocimiento de trap de segmento
0101	Reconocimiento de interrupción no enmascarable
0110	Reconocimiento de interrupción no vectorizada
0111	Reconocimiento de interrupción vectorizada
1000	Requerimiento de memoria de datos
1001	Requerimiento de memoria de stack
1010	Requerimiento de memoria de datos (EPU)
1011	Requerimiento de memoria de stack (EPU)
1100	Referencia de programa, palabra enésima
1101	Recogida de instrucción, primera palabra
1110	Transferencia de procesador de extensión
1111	Reservada

### Descripción de pines de la CPU

En la fig. A1-5 se representa el diagrama de pines de la CPU.

### Temporización de la CPU

El proceso de ejecución de una instrucción atraviesa por distintas etapas o ciclos básicos de máquina, como pueden ser: de lectura o escritura de memoria, de entrada/salida, de reconocimiento de interrupción o de ejecución interna. Cada uno de esos ciclos básicos requiere entre 3 y 10 ciclos de reloj para ejecutarse. Las instrucciones que requieren más ciclos de reloj están divididas en varios ciclos de máquina. Con ello se consigue una respuesta más rápida a una petición de ocupación de bus.

El código de operación se recoge mediante una operación de lectura de memoria. Se puede insertar un ciclo de refresco de memoria al final de cada ciclo de recogida de instrucción 1 (IF1), o mientras se ejecutan las instrucciones MULT, MULTL, DIV, DIVL, HALT, instrucciones de desplazamiento, de movimiento de bloques, o de solicitud de multi-micro (MREQ).

Las figuras A1-6, A1-7, A1-8 y A1-9 muestran las relaciones de temporización de señales de la CPU para las instrucciones básicas.

Cuando un ciclo de máquina requiere ciclos adicionales de reloj para funcionamiento interno de la CPU, se añaden de 1 a 5 ciclos de reloj. La lectura y escritura de memoria o periféricos, así como los ciclos de reconocimiento de interrupción,

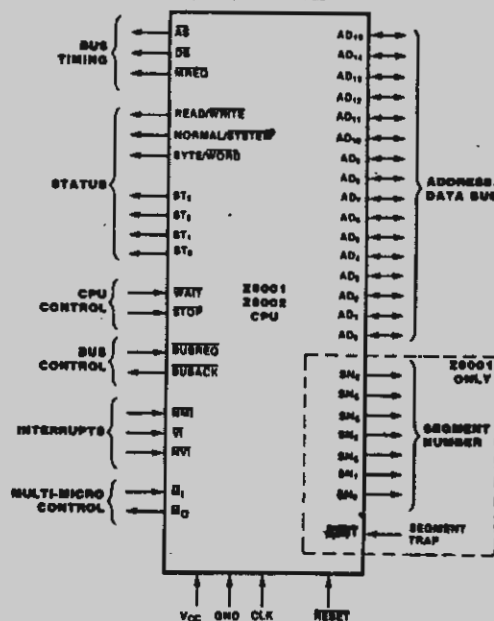


Fig. A1-5

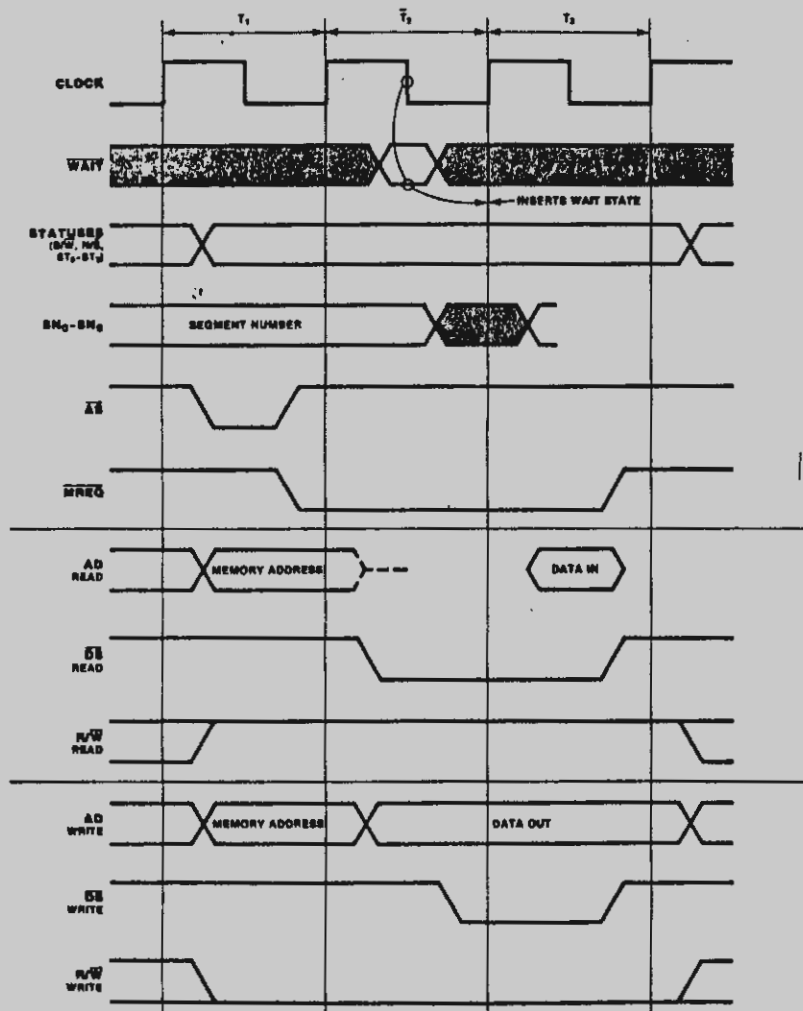


Fig. A1-6

se pueden extender activando la entrada  $\overline{\text{WAIT}}$ . Esta entrada es asincrónica, y la señal que se le aplique deberá sincronizarse antes con el reloj del sistema.

### Lectura y escritura de memoria

Los ciclos de recogida de instrucción de lectura y escritura de memoria son idénticos, excepto por la información de las salidas de status de la CPU, ST0 a ST3. Durante un ciclo de lectura de memoria se sitúa una dirección de 16 bits en las salidas ADO-AD15 en la primera parte del primer ciclo de reloj, como muestra la figura A1-6. Se considera que la dirección es válida cuando  $\overline{\text{AS}}$  pasa a nivel alto. El status y la información de modo se hacen válidas al principio del ciclo de acceso a memoria y permanecen estables durante éste.

El estado de la entrada  $\overline{\text{WAIT}}$  se muestrea en la mitad del segundo ciclo de reloj, por el flanco de bajada de reloj. Si está a nivel bajo, se añade un periodo de reloj adicional entre T2 y T3, muestreándose de nuevo  $\overline{\text{WAIT}}$  a la mitad de ese ciclo de espera, siendo insertados nuevos estados de espera si sigue activa esta señal. Esto permite trabajar con memorias lentas. Durante los estados de espera no cambian las salidas de control.

Aunque la memoria está organizada por palabras, la memoria se direcciona por bytes. Todas las instrucciones están alineadas por palabras, usando direcciones pares. Dentro de una palabra de 16 bits, el byte más significativo (D<sub>0</sub>-D<sub>15</sub>) se direcciona por la dirección de menor orden (A<sub>0</sub> = nivel bajo) y el byte más significativo por la dirección de orden alto (A<sub>0</sub> = nivel alto).

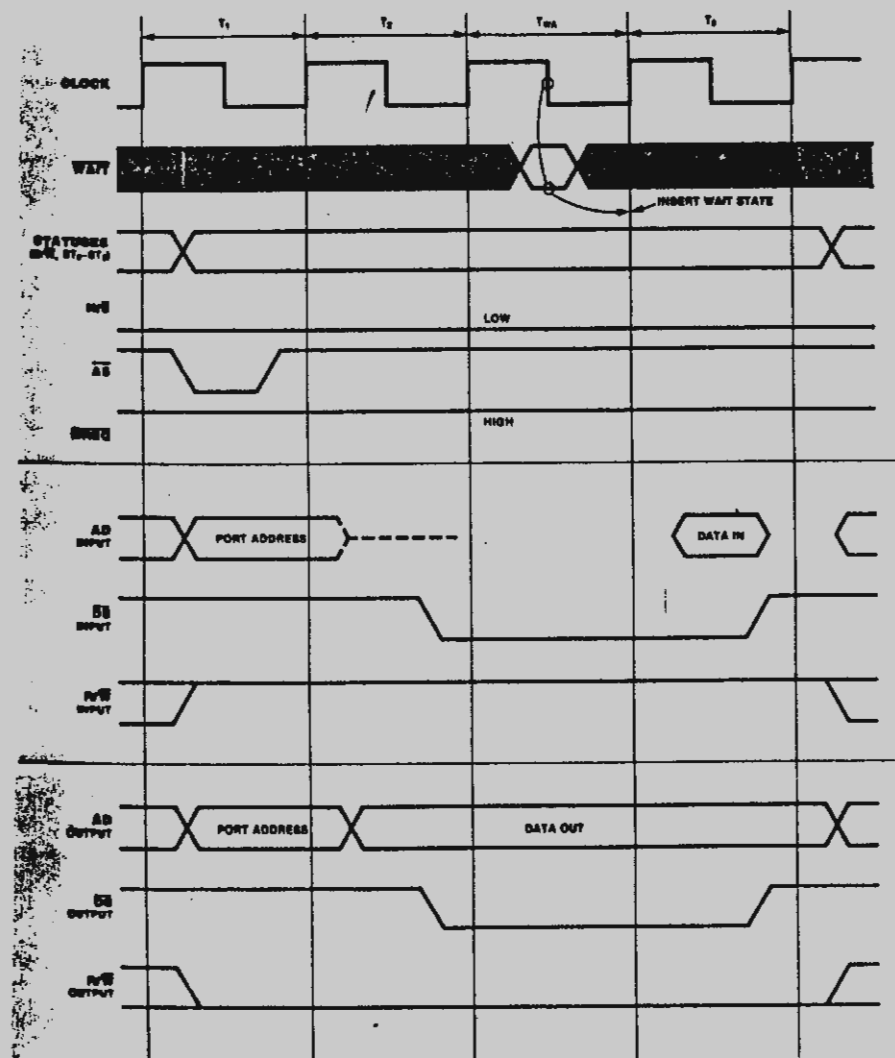


Fig. B1-7



### Entrada/Salida

La temporización de entrada/salida es similar a la de lectura o escritura de memoria, excepto en que se inserta automáticamente un ciclo de espera entre T2 y T3.

### Solicitud y reconocimiento de interrupciones

La CPU reconoce tres entradas de interrupción (no enmascarables, vectorizada y no vectorizada). Cualquier transición a nivel bajo en la entrada  $\overline{\text{NMI}}$  se detecta asincrónicamente por flanco, y activa el latch interno de NMI. Las entradas  $\overline{\text{VI}}$  y  $\overline{\text{NVI}}$  y el estado del latch interno de NMI se muestrean al comienzo de T3, en el último ciclo de máquina de cualquier instrucción.

En respuesta a una interrupción o trap se empieza a ejecutar el siguiente ciclo IF1, pero se aborta. El contador de programa no se actualiza, pero el puntero del stack del sistema se decrementa.

El siguiente ciclo de máquina es el reconocimiento de la interrupción. Tiene 5 estados de espera automáticos, siendo posible añadir más, como muestra la fig. A1-8.

Tras el último estado de espera, la CPU lee la información en AD0-AD15, y la almacena temporalmente, para guardarla después de esta secuencia en el stack. Esta palabra identifica la fuente de la interrupción o trap. Para las interrupciones no vectorizadas y las no enmascarables los 16 bits pueden representar información del estado de los dispositivos periféricos. Para la interrupción vectorizada el byte bajo es el





vector de salto y el alto puede ser un status extra de usuario.

Tras el ciclo de reconocimiento, la salida  $N/\overline{S}$  indica el cambio automático al modo sistema.

#### Secuencia de conservación del status

Los ciclos de máquina siguientes al reconocimiento de la interrupción sirven para poner la información del anterior status en el stack del sistema en el siguiente orden: contador de programa, palabra de flag y control e identificador de interrupción. Los ciclos de máquina siguientes recogerán el nuevo status de programa del área de status de programa, y saltarán a la rutina de servicio correspondiente a esa interrupción o trap.

#### Temporización de reconocimiento de solicitud de bus

Un nivel bajo en la entrada  $\overline{BUSREQ}$  indica a la CPU que otro dispositivo está solicitando usar el bus de direcciones, datos y el de control. La entrada  $\overline{BUSREQ}$  es asincrónica y está sincronizada con el comienzo de cualquier ciclo de máquina. (Ver fig. A1-9). Si  $\overline{BUSREQ}$  está a nivel bajo, se genera la señal sincrónica interna  $\overline{BUSREQ}$  la cual, después de completar el ciclo máquina corriente, hace que la salida  $\overline{BUSACK}$  pase a nivel bajo y todas las salidas del bus pasen a estado de alta impedancia. Esto permite que el dispositivo solicitante, típicamente de DMA, pueda controlar ya el bus.

Cuando  $\overline{BUSREQ}$  pasa a nivel alto, se sincroniza con el siguiente flanco de subida de reloj, y la salida  $\overline{BUSACK}$  se de-

sactiva un periodo más tarde, indicando que la CPU puede tomar de nuevo el control del bus.

### Stop

La entrada  $\overline{\text{STOP}}$  se muestrea en el último flanco de bajada de reloj previo a un ciclo IF1 (ver fig. A1-10). Si se encuentra a nivel bajo, se inserta tras T3 un canal de ciclos de refresco de memoria, muestreandose la señal STOP a cada flanco de bajada de reloj en los estados T3. Esta operación de refresco no usa el preescalador de refresco sino que por el contrario, hace que el contador de refresco se incremente el doble cada 3 ciclos de reloj. Cuando  $\overline{\text{STOP}}$  se desactiva, se completa el siguiente ciclo de refresco, se ejecutan los estados T que faltaban del ciclo IF1, y se continúa normalmente.

### Operación interna

Ciertas instrucciones largas, como la multiplicación y la división, y algunas instrucciones especiales, necesitan tiempo adicional por la ejecución de operaciones internas. En estos casos, la CPU funciona mediante una secuencia de ciclos de máquina de operación interna, cada uno de los cuales dura de 3 a 9 ciclos de reloj (ver fig. A1-11). Aunque las salidas de dirección están sin definir durante T1,  $\overline{\text{AS}}$  se usa para satisfacer los requerimientos de futuras memorias dinámicas de auto-refresco, compatibles con el bus Z.

### Refresco de memoria

Cuando el preescalador de 6 bit del contador de refresco de memoria ha llegado a cero comienza un ciclo de refresco,



consistente en tres estados T tan pronto como sea posible, es decir, después del próximo ciclo IF1 o ciclo de operación interna. (Ver fig.A1-12).

El valor del contador de refresco de 9 bits se pone en los 9 bits menos significativos del bus de direcciones. Como la memoria está organizada por palabras, A<sub>0</sub> será siempre 0 durante el refresco, y el contador de refresco siempre se incrementa por dos, pasando a través de 256 direcciones de refresco consecutivas en AD1-AD8. Aunque esté inhibido, el preescalador preseleccionable corre continuamente y el retardo en el comienzo de un ciclo de refresco no es, por lo tanto, acumulativo.

Mientras STOP esté activa se ejecuta un conjunto de ciclos de refresco de memoria, cada uno de 3 estados de duración, sin usar el preescalador.

### Halt

La instrucción HALT ejecuta un número ilimitado de operaciones internas de 3 ciclos, entremezclados con ciclos de refresco de memoria cuando se precise. Las únicas formas de salir de una instrucción HALT son una interrupción o un reset.

La CPU muestra las entradas  $\overline{VI}$ ,  $\overline{NVI}$ ,  $\overline{NMI}$  al comienzo de cada ciclo T3. Si se encuentra una entrada activa durante 2 muestras consecutivas, el ciclo IF1 siguiente se ejecuta, pero abortado, y empieza el ciclo de reconocimiento normal en interrupciones.

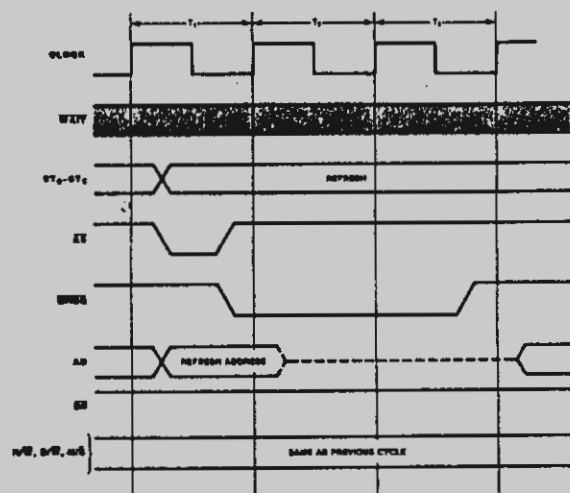


Fig. R1-12

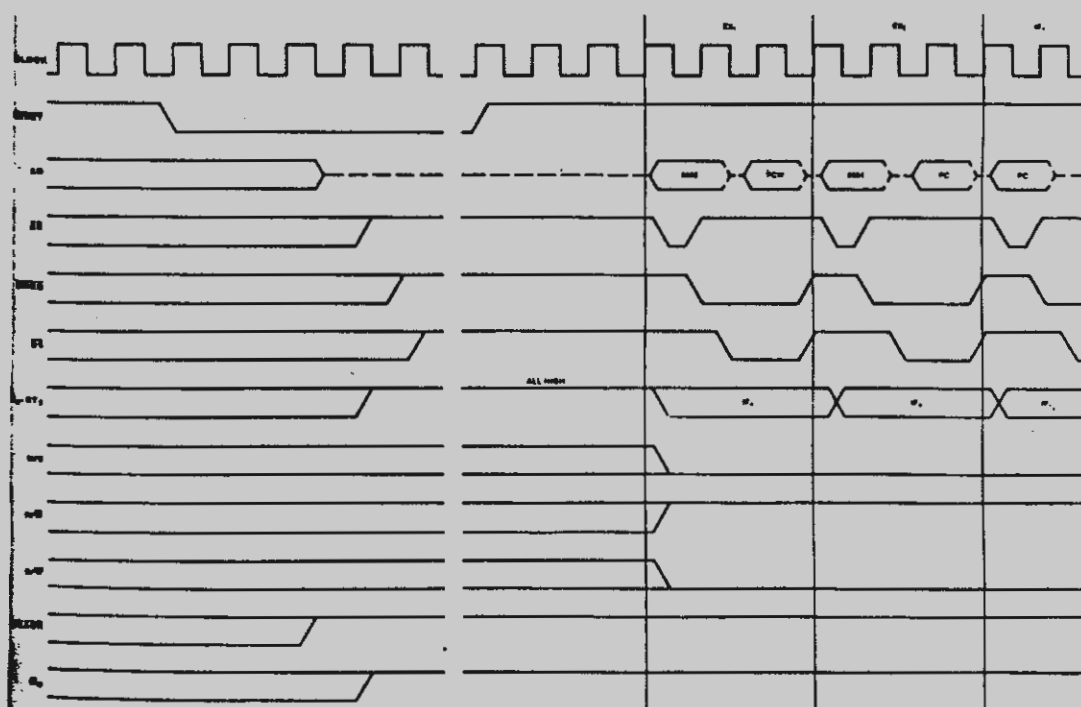


Fig. R1-13

### Reset

Un nivel bajo en la entrada  $\overline{\text{RESET}}$  (ver fig. A1-13) ocasiona los siguientes resultados dentro de 5 ciclos de reloj:

- $\text{AD}_0\text{-AD}_{15}$  en alta impedancia.
- $\overline{\text{AS}}$ ,  $\overline{\text{DS}}$ ,  $\overline{\text{MREQ}}$ ,  $\overline{\text{BUSACK}}$  y  $\overline{\text{MO}}$  a nivel alto.
- $\text{ST}_0\text{-ST}_3$  y  $\text{SN}_0\text{-SN}_3$  a nivel bajo.
- Refresco inhibido.
- $\text{R}/\overline{\text{W}}$ ,  $\text{B}/\overline{\text{W}}$ ,  $\text{N}/\overline{\text{S}}$  no son afectados.

Cuando el  $\overline{\text{RESET}}$  ha estado a nivel alto durante 3 periodos de reloj, se ejecutan dos ciclos de lectura de memoria consecutivas en el modo sistema.

En el Z8002, el primer ciclo lee la palabra de flag y control de la posición 0002, y el siguiente lee el contador de programa, de la posición 0004. El siguiente ciclo IF, comienza la ejecución.



## 2. TECNICAS DE VENTANA

Es bien conocido que la terminación abrupta de una serie de Fourier en el dominio de la frecuencia causa serios problemas de convergencia en el dominio del tiempo, y conduce a una respuesta transitoria oscilante, lo que se conoce como fenómeno de Gibbs, descrito en la mayoría de los textos de técnicas de análisis espectral.

Sin embargo, también existe un fenómeno similar, aunque en forma dual: la terminación abrupta de una función del tiempo da lugar a una transformada de Fourier oscilante. Este fenómeno ya ha sido mencionado en capítulos anteriores, y se denomina fuga espectral, y ocurre siempre que una función del dominio del tiempo empieza o acaba bruscamente. Esto es así cuando se trunca la función en el tiempo, es decir, se aplica una ventana rectangular.

Una ventana es una función del tiempo que se multiplica por la función de entrada tras el muestreo, para 'modelar' su forma a un comienzo y fin más suave. Estudiemos el caso de la ventana rectangular. (Ver fig. A2-1).

Sea una señal de entrada sinusoidal

$$x(t) = V \cos(2\pi f_0 t) \quad (A2.1)$$

Su transformada de Fourier será:

$$X(f) = \int_{-\infty}^{\infty} x(t) e^{-j2\pi f t} dt \quad (A2.2)$$

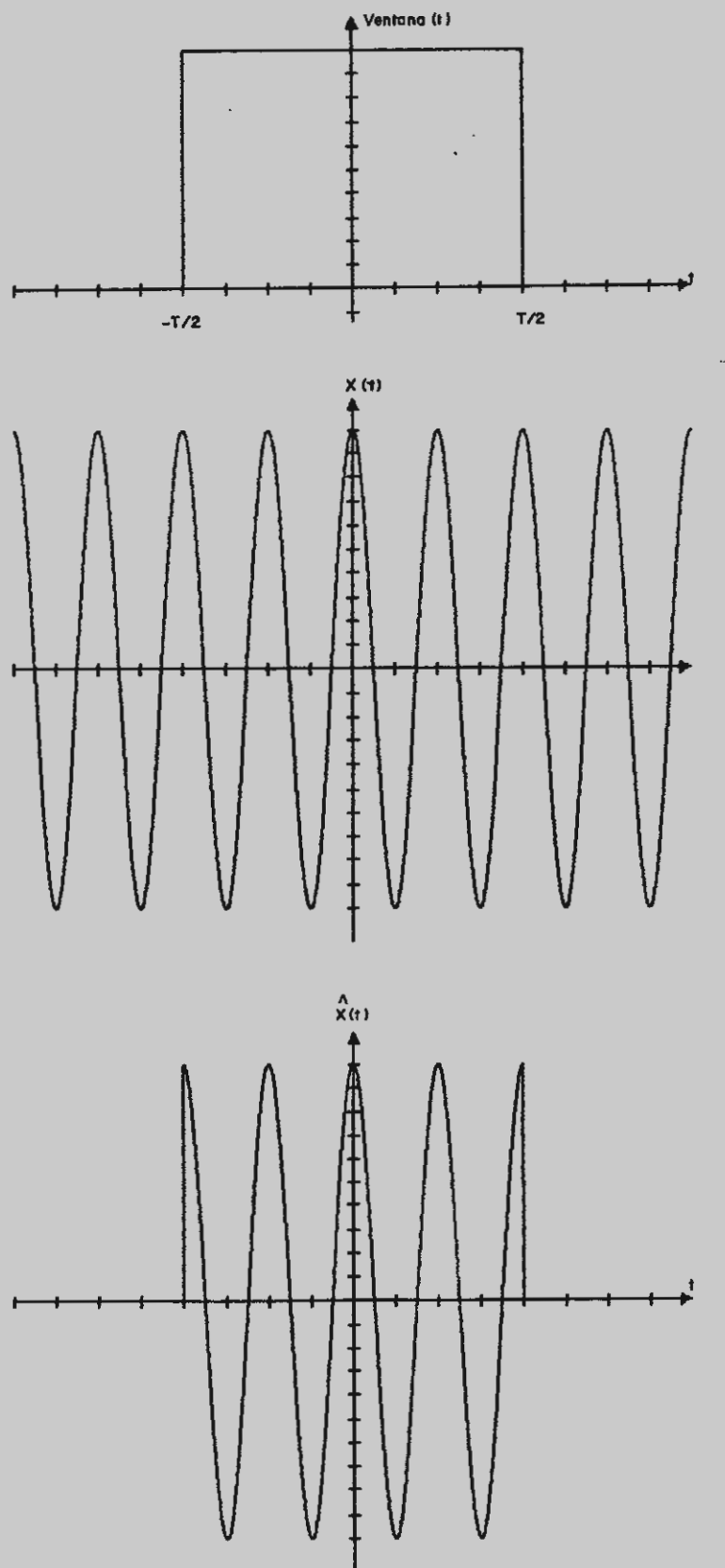


Fig. B2-1

$$X(f) = \int_{-T/2}^{T/2} V \cos(2\pi f_0 t) e^{-j2\pi f t} dt = \quad (A2.3)$$

$$= \frac{V}{2} \left[ \frac{e^{-j\pi T(f+f_0)} - e^{-j\pi T(f-f_0)}}{2\pi j(f+f_0)} + \frac{e^{j\pi T(f-f_0)} - e^{-j\pi T(f+f_0)}}{2\pi j(f-f_0)} \right]$$

La ecuación anterior representa un espectro de frecuencias complejo, de frecuencias positivas y negativas, siendo el espectro de frecuencias positivas:

$$X(f) = VT \frac{\sin[\pi T(f-f_0)]}{\pi T(f-f_0)} = VT \text{sinc}[T(f-f_0)] \quad (A2.4)$$

donde

$$\text{sinc}(x) = \sin(\pi x) / (\pi x) \quad (A2.5)$$

y se ha representado en la fi. A2-2

Si hacemos  $f=n\Delta f$  obtendremos la versión muestreada de (A2.4), donde  $\Delta f=1/T$ . Normalizamos la expresión A2.4 haciendo  $VT=1$ :

$$S(n\Delta f) = \text{sinc}[n-f_0/\Delta f] \quad (A2.6)$$

De la ecuación anterior se desprende que cuando la frecuencia  $f_0$  sea un múltiplo entero del ancho de banda de la FFT  $\Delta f$ , no habrá fuga espectral en el espectro calculado, y sólo habrá una componente distinta de cero (véase fig. A2.3).

Sustituyendo  $f_0=n_0\Delta f$  tenemos

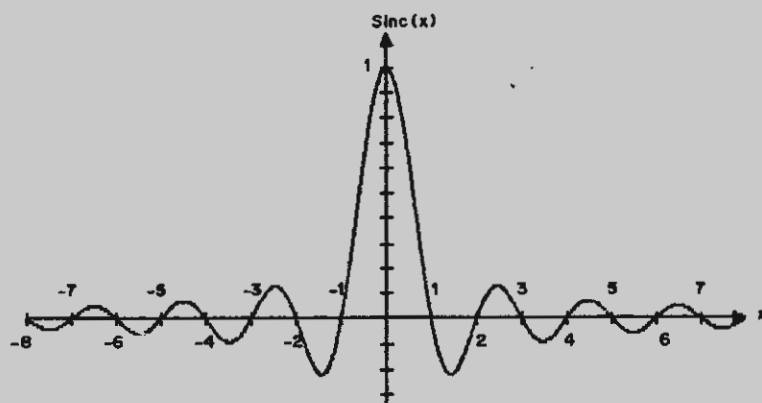


Fig. A2-2

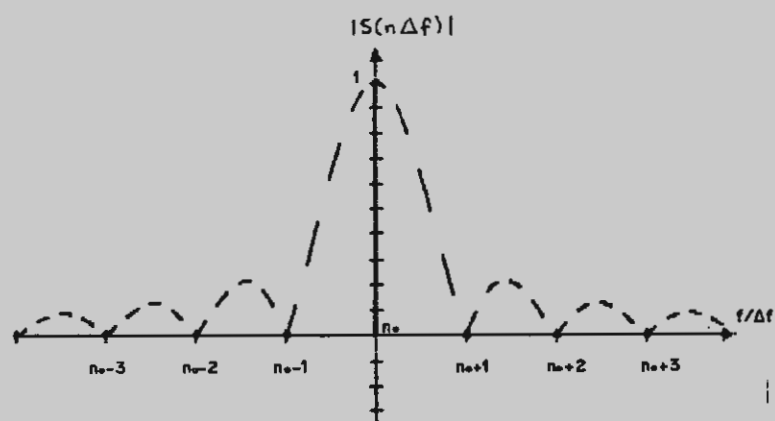


Fig. A2-3

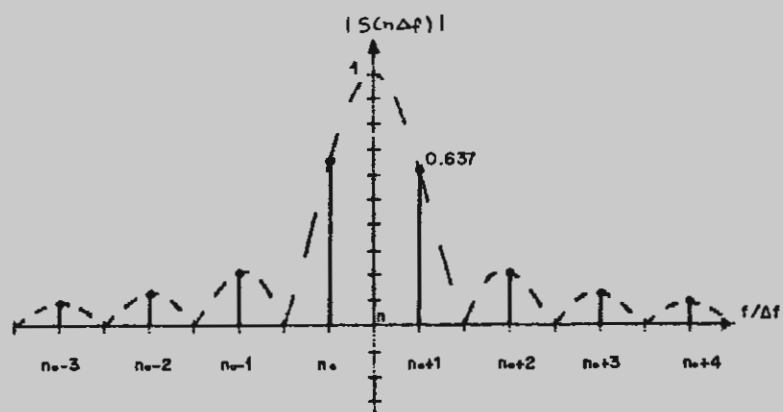


Fig. A2-4



$$S(n \Delta f) = \text{sinc}(n - n_0) \quad (\text{A2.7})$$

que vale cero excepto para  $n=n_0$ , donde vale 1.

En cambio, cuando la frecuencia de la sinusoides de entrada no es un múltiplo entero de  $\Delta f$ , el espectro calculado tiene muchas componentes espectrales, debido a los efectos de la fuga espectral. El peor caso posible se produce cuando la frecuencia de la señal de entrada está a mitad de camino entre un  $n \Delta f$  y  $(n+1) \Delta f$ , es decir, cuando  $f_0 = (n+1/2) \Delta f$ . (Ver fig. A2-4).

$$S(n \Delta f) = \text{sinc}[n - (n_0 + 1/2)] \quad (\text{A2.8})$$

Bajo las condiciones de fuga en el caso peor es imposible distinguir entre dos componentes de frecuencia separadas  $\Delta f$ , debido a la fuga espectral combinada de ambas componentes. Esto nos da idea de que la resolución efectiva obtenida es distinta de la  $\Delta f$  teórica, entendiéndose por resolución en frecuencia la capacidad de discernir entre dos frecuencias cercanas, quedando una de ellas atenuada en al menos 6 dB respecto a la deseada.

Podemos conocer el valor de la fuga espectral en cualquier punto del eje de frecuencias sin más que aplicar

$$S(f) = \text{sinc}[n - f / \Delta f] \quad (\text{A2.9})$$

Hemos visto pues, el efecto de la fuga espectral cuando se aplica una ventana rectangular. Existe la posibilidad de disminuir los lóbulos laterales en la función  $S(f)$ , a costa de aumentar el lóbulo central, mediante el empleo de funciones

ventana distintas a la rectangular. Para ello se multiplican las muestras de entrada por la función ventana, antes de aplicar la FFT.

Hay muchos tipos de ventana que se pueden usar, aunque sólo consideremos los tipos más interesantes que se encuentran en el análisis espectral. Un tratamiento más completo se da en [24].

Definimos ganancia coherente como el valor máximo de la función ventana. Normalizaremos respecto a  $T_0$ .

### Ventana rectangular

Ya la hemos visto implícitamente en el apartado anterior. (Ver fig. A2-5).

Se define como:

$$h(t) = \begin{cases} 1 & \text{para } -T_0/2 \leq t \leq T_0/2 \\ 0 & \text{para los demás } t \end{cases} \quad (\text{A2.10})$$

Su transformada de Fourier es:

$$H(f) = \int_{-T_0/2}^{T_0/2} e^{-j2\pi ft} dt = T_0 \text{sinc}(T_0 f) \quad (\text{A2.11})$$

donde

$$T_0 = 1 / \Delta f \quad (\text{A2.12})$$

La función  $|H(f)|$  se representa en la fig. A2-6.

Su ganancia coherente es 1 mientras que el nivel de lóbulo

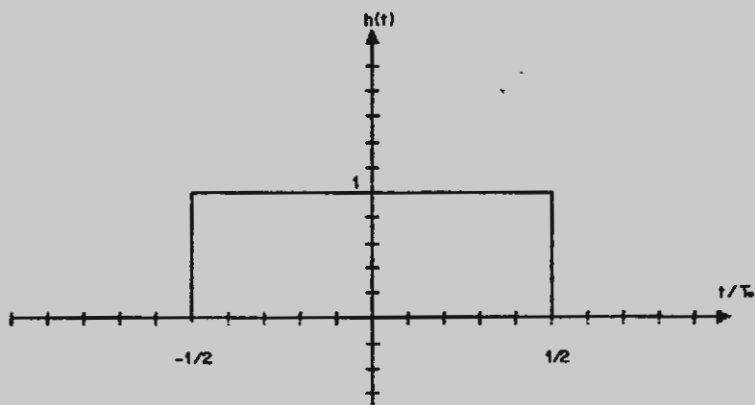


Fig. A2-5

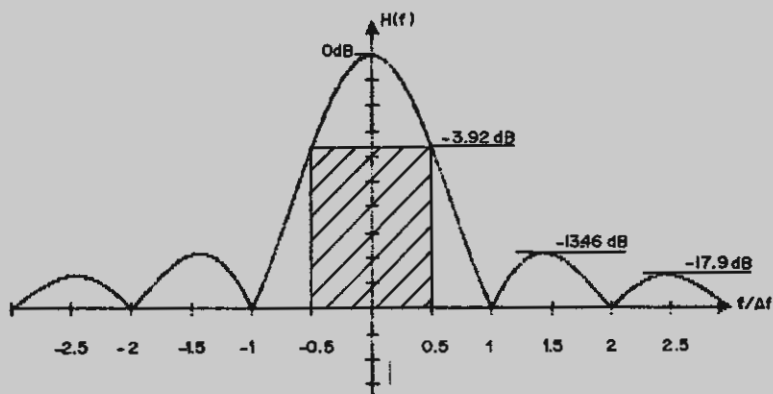


Fig. A2-6

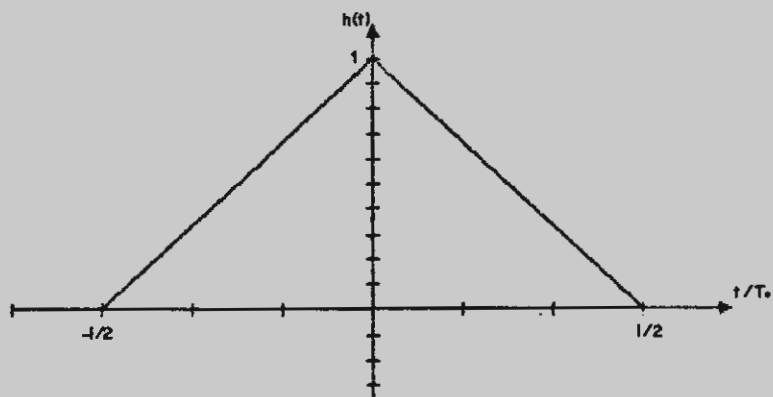


Fig. A2-7



lateral en el caso peor es de -13.46 dB, siendo las bandas de 3 y 6 dB de  $0.984 \Delta f$  y  $1.205 \Delta f$  respectivamente. El lóbulo central tiene un ancho de  $2 \Delta f$ .

### Ventana de Bartlett

Se define com

$$h(t) = \begin{cases} (2t+T_0)/T_0 & \text{para } -T_0/2 \leq t \leq 0 \\ (-2t+T_0)/T_0 & \text{para } 0 \leq t \leq T_0/2 \end{cases} \quad (A2.13)$$

se representa en la fig. A2-7.

Su transformada de Fourier es:

$$\begin{aligned} H(f) &= 1/T_0 \int_{-T_0/2}^0 (2t+T_0) e^{-j2\pi ft} dt + 1/T_0 \int_0^{T_0/2} (-2t+T_0) e^{-j2\pi ft} dt = \\ &= (T_0/2) [\text{sinc}(f T_0/2)]^2 \end{aligned} \quad (A2.14)$$

y su módulo se representa en la fig. A2-8.

Su ganancia coherente es 1/2 (-6dB), mientras que el nivel de lóbulo lateral en el caso peor es de -26.92 dB, siendo las bandas de 3 y 6 dB respectivamente  $1.274 \Delta f$  y  $1.769 \Delta f$ . El lóbulo central tiene un ancho de  $4 \Delta f$ .

### Ventana de Hanning

También llamada coseno cuadrado, se define como:

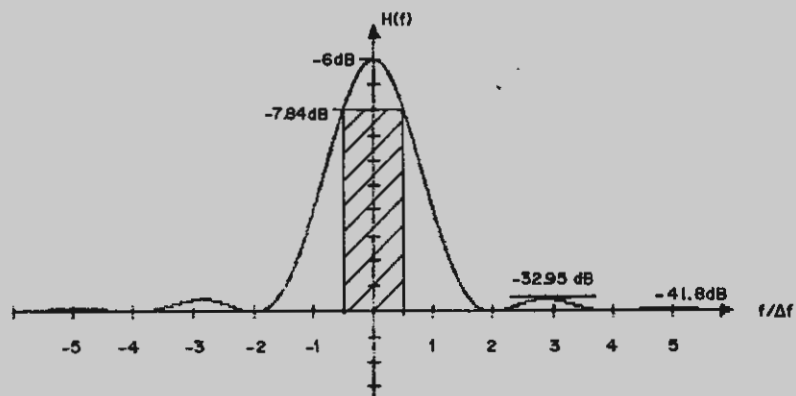


Fig. A2-8

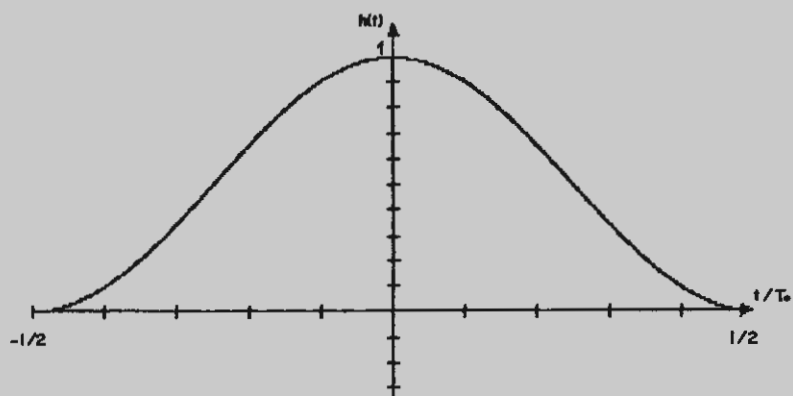


Fig. A2-9

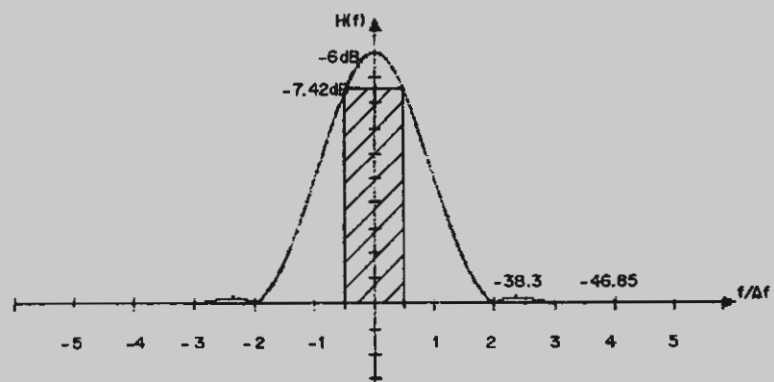


Fig. A2-10

$$h(t) = \begin{cases} \cos^2(\pi t/T_0) = 1/2[1+\cos(2\pi t/T_0)] & -T_0/2 \leq t \leq T_0/2 \\ 0 & \text{en el resto de } t \end{cases} \quad (A2.14)$$

Se representa en la fig. A2-9 y su transformada de Fourier es:

$$\begin{aligned} H(f) &= 1/2 \int_{-T_0/2}^{T_0/2} [1+\cos(2\pi t/T_0)] e^{-j2\pi f t} dt = \\ &= T_0 \{ 1/2 \text{sinc}(fT_0) + 1/4 [\text{sinc}(fT_0-1) + \text{sinc}(fT_0+1)] \} \end{aligned} \quad (A2.15)$$

y su módulo se representa en la fig. A2-10.

La ganancia coherente es 1/2 (-6dB). El nivel de lóbulo lateral es de -32.3 dB en el peor caso. La banda de 3 dB es de  $1.438 \Delta f$  y la de 6 dB de  $2 \Delta f$ . El ancho de lóbulo principal es de  $4 \Delta f$ .

#### Ventana de Hamming

Se define como

$$h(t) = \begin{cases} 0.54 + 0.46 \cos(2\pi t/T_0) & -T_0/2 \leq t \leq T_0/2 \\ 0 & \text{resto de } t \end{cases} \quad (A2.16)$$

y se representa en la fig. A2-11.

Su transformada de Fourier es

$$\begin{aligned} H(f) &= \int_{-T_0/2}^{T_0/2} [0.54 + 0.46 \cos(2\pi t/T_0)] e^{-j2\pi f t} dt = \\ &= 0.54 T_0 \text{sinc}(fT_0) + 0.23 T_0 [\text{sinc}(fT_0-1) + \text{sinc}(fT_0+1)] \end{aligned} \quad (A2.17)$$

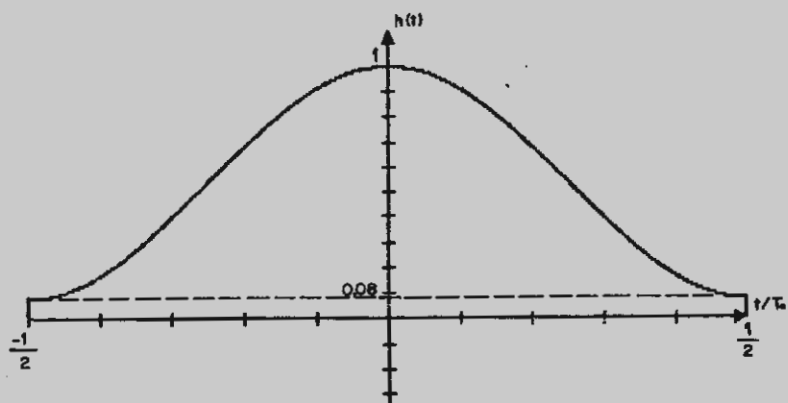


Fig. A2-11

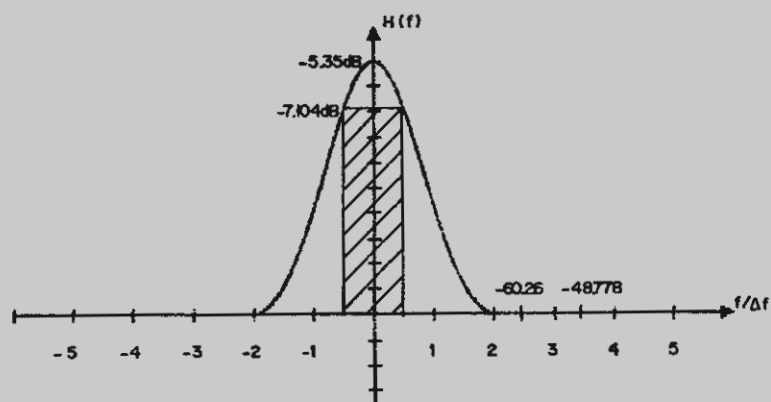


Fig. A2-12

y su módulo se representa en la fig. A2-12.

Su ganancia coherente es -5.35 dB. El nivel de lóbulo lateral es de -54.91, siendo la banda de 3 dB de  $1.301\Delta f$ , la de 6 dB de  $1.812\Delta f$  y el ancho del lóbulo principal,  $4\Delta f$ .

### Ventana de Blackman

Se define como

$$h(t) = 0.42 + 0.50\cos(2\pi t/T_0) + 0.08\cos(4\pi t/T_0) \quad (A2.18)$$

para  $-T_0/2 \leq t \leq T_0/2$  y  $h(t) = 0$  para el resto de  $t$ . Se representa en la fig. A2-13.

Su transformada de Fourier es:

$$\begin{aligned} H(f) &= \int_{-T_0/2}^{T_0/2} [0.42 + 0.5\cos(2\pi t/T_0) + 0.08\cos(4\pi t/T_0)] e^{-2\pi jft} dt = \\ &= T_0(0.42\text{sinc}(fT_0) + 0.25[\text{sinc}(fT_0-1) + \text{sinc}(fT_0+1)] + \\ &0.04[\text{sinc}(fT_0-2) + \text{sinc}(fT_0+2)]) \end{aligned} \quad (A2.19)$$

y su módulo se representa en la fig. A2-14.

La ganancia coherente es de -7.535 dB. El nivel de lóbulo lateral es de -58.2 dB. El ancho de banda de 3 dB es de  $1.65\Delta f$  y el de 6 dB es de  $2.296\Delta f$ . El ancho del lóbulo principal es de  $6\Delta f$ .

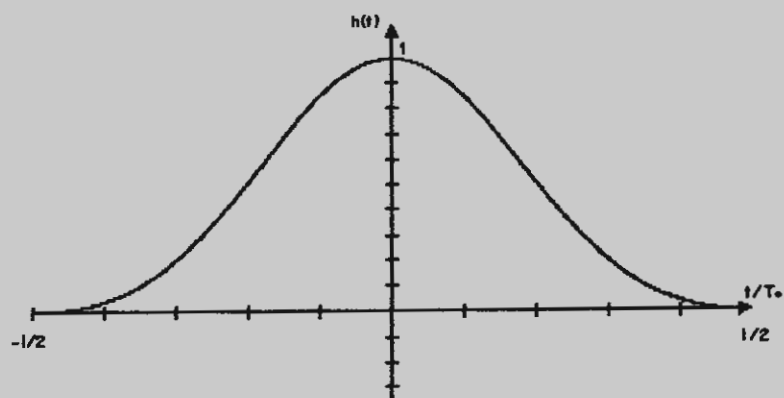


Fig. A2-13

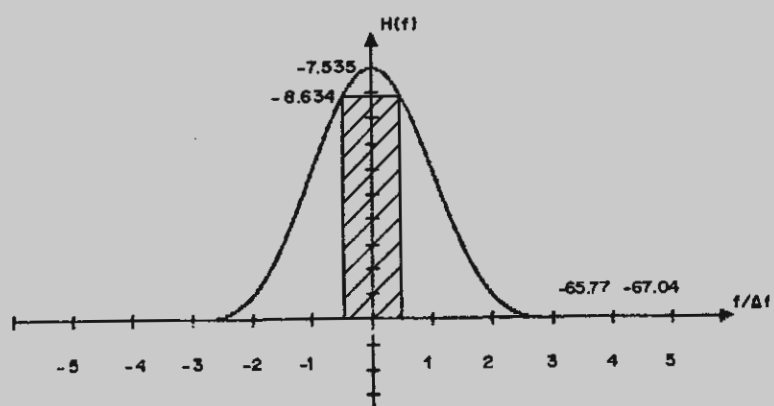


Fig. A2-14

Comparación de propiedades de las ventanas más importantes

<u>Ventana</u>	<u>gcia.coherente</u>	<u>BW3dB</u>	<u>BW6dB</u>
Rectangular	0 dB	$0.884\Delta f$	$1.205\Delta f$
Bartlett	-6 dB	$1.274\Delta f$	$1.769\Delta f$
Hanning	-6 dB	$1.438\Delta f$	$2.000\Delta f$
Hamming	-5.35 dB	$1.301\Delta f$	$1.812\Delta f$
Blackman	-7.535 dB	$1.65 \Delta f$	$2.296\Delta f$

<u>Ventana</u>	<u>ancho lob. princ.</u>	<u>nivel lob. lat.</u>
Rectangular	$2\Delta f$	-13.46 dB
Bartlett	$4\Delta f$	-26.93 dB
Hanning	$4\Delta f$	-32.33 dB
Hamming	$4\Delta f$	-54.91 dB
Blackman	$6\Delta f$	-58.2 dB

En la tabla anterior queda reflejado como cada ventana proporciona un compromiso entre la anchura del lóbulo principal (y de ahí, resolución en frecuencia) y nivel de lóbulo lateral en el caso peor, obtenido en la salida de la FFT.

Conclusión

Generalmente hablando, las funciones ventana son necesarias cuando el sistema debe ser capaz de distinguir entre componentes de frecuencia de amplitudes muy diferentes y espaciadas sólo unos pocos  $\Delta f$ . Sin el uso de las técnicas de ventana sería muy difícil conseguirlo. Su principal inconveniente es su menor resolución en frecuencia cuanto mejor es su atenuación lateral.

### 3. TABLAS DE FUNCION NORMAL DE ERROR

$$\operatorname{erf} x = \frac{2}{\sqrt{\pi}} \int_0^x \exp(-y^2) dy$$

$x$	$\operatorname{erf} x$	$x$	$\operatorname{erf} x$	$x$	$\operatorname{erf} x$	$x$	$\operatorname{erf} x$
0.00	0.000 000	0.40	0.428 392	0.80	0.742 101	1.20	0.910 314
0.01	0.011 223	0.41	0.437 969	0.81	0.748 003	1.21	0.912 956
0.02	0.022 565	0.42	0.447 468	0.82	0.753 811	1.22	0.915 534
0.03	0.033 841	0.43	0.456 887	0.83	0.759 524	1.23	0.918 050
0.04	0.045 111	0.44	0.466 225	0.84	0.765 143	1.24	0.920 505
0.05	0.056 372	0.45	0.475 482	0.85	0.770 668	1.25	0.922 900
0.06	0.067 622	0.46	0.484 655	0.86	0.776 100	1.26	0.925 236
0.07	0.078 858	0.47	0.493 745	0.87	0.781 440	1.27	0.927 514
0.08	0.090 078	0.48	0.502 750	0.88	0.786 687	1.28	0.929 734
0.09	0.101 281	0.49	0.511 668	0.89	0.791 843	1.29	0.931 899
0.10	0.112 463	0.50	0.520 500	0.90	0.796 908	1.30	0.934 008
0.11	0.123 623	0.51	0.529 244	0.91	0.801 883	1.31	0.936 063
0.12	0.134 758	0.52	0.537 899	0.92	0.806 768	1.32	0.938 065
0.13	0.145 867	0.53	0.546 464	0.93	0.811 564	1.33	0.940 015
0.14	0.156 947	0.54	0.554 939	0.94	0.816 271	1.34	0.941 914
0.15	0.167 996	0.55	0.563 323	0.95	0.820 891	1.35	0.943 762
0.16	0.179 012	0.56	0.571 616	0.96	0.825 424	1.36	0.945 561
0.17	0.189 992	0.57	0.579 816	0.97	0.829 870	1.37	0.947 312
0.18	0.200 936	0.58	0.587 923	0.98	0.834 232	1.38	0.949 016
0.19	0.211 840	0.59	0.595 936	0.99	0.838 508	1.39	0.950 673
0.20	0.222 703	0.60	0.603 856	1.00	0.842 701	1.40	0.952 285
0.21	0.233 522	0.61	0.611 681	1.01	0.846 810	1.41	0.953 852
0.22	0.244 296	0.62	0.619 411	1.02	0.850 838	1.42	0.955 376
0.23	0.255 023	0.63	0.627 046	1.03	0.854 784	1.43	0.956 857
0.24	0.265 700	0.64	0.634 586	1.04	0.858 650	1.44	0.958 297
0.25	0.276 326	0.65	0.642 029	1.05	0.862 436	1.45	0.959 695
0.26	0.286 900	0.66	0.649 377	1.06	0.866 144	1.46	0.961 054
0.27	0.297 418	0.67	0.656 628	1.07	0.869 773	1.47	0.962 373
0.28	0.307 880	0.68	0.663 782	1.08	0.873 326	1.48	0.963 654
0.29	0.318 283	0.69	0.670 840	1.09	0.876 803	1.49	0.964 898
0.30	0.328 627	0.70	0.677 801	1.10	0.880 205	1.50	0.966 105
0.31	0.338 908	0.71	0.684 666	1.11	0.883 533	1.51	0.967 277
0.32	0.349 126	0.72	0.691 433	1.12	0.886 788	1.52	0.968 413
0.33	0.359 279	0.73	0.698 104	1.13	0.889 971	1.53	0.969 516
0.34	0.369 365	0.74	0.704 678	1.14	0.893 082	1.54	0.970 586
0.35	0.379 382	0.75	0.711 156	1.15	0.896 124	1.55	0.971 623
0.36	0.389 330	0.76	0.717 537	1.16	0.899 096	1.56	0.972 628
0.37	0.399 206	0.77	0.723 822	1.17	0.902 000	1.57	0.973 603
0.38	0.409 009	0.78	0.730 010	1.18	0.904 837	1.58	0.974 547
0.39	0.418 739	0.79	0.736 103	1.19	0.907 608	1.59	0.975 462



$x$	$\operatorname{erf} x$	$x$	$\operatorname{erf} x$	$x$	$\operatorname{erf} x$	$x$	$\operatorname{erf} x$
1.60	0.976 348	2.10	0.997 021	2.60	0.999 764	3.10	0.999 988 35
1.61	0.977 207	2.11	0.997 155	2.61	0.999 777	3.11	0.999 989 08
1.62	0.978 038	2.12	0.997 284	2.62	0.999 789	3.12	0.999 989 77
1.63	0.978 843	2.13	0.997 407	2.63	0.999 800	3.13	0.999 990 42
1.64	0.979 622	2.14	0.997 523	2.64	0.999 811	3.14	0.999 991 03
1.65	0.980 376	2.15	0.997 639	2.65	0.999 822	3.15	0.999 991 60
1.66	0.981 105	2.16	0.997 747	2.66	0.999 831	3.16	0.999 992 14
1.67	0.981 810	2.17	0.997 851	2.67	0.999 841	3.17	0.999 992 64
1.68	0.982 493	2.18	0.997 951	2.68	0.999 849	3.18	0.999 993 11
1.69	0.983 153	2.19	0.998 046	2.69	0.999 858	3.19	0.999 993 56
1.70	0.983 790	2.20	0.998 137	2.70	0.999 866	3.20	0.999 993 97
1.71	0.984 407	2.21	0.998 224	2.71	0.999 873	3.21	0.999 994 36
1.72	0.985 003	2.22	0.998 308	2.72	0.999 880	3.22	0.999 994 73
1.73	0.985 578	2.23	0.998 388	2.73	0.999 887	3.23	0.999 995 07
1.74	0.986 135	2.24	0.998 464	2.74	0.999 893	3.24	0.999 995 40
1.75	0.986 672	2.25	0.998 537	2.75	0.999 899	3.25	0.999 995 70
1.76	0.987 190	2.26	0.998 607	2.76	0.999 905	3.26	0.999 995 98
1.77	0.987 691	2.27	0.998 674	2.77	0.999 910	3.27	0.999 996 24
1.78	0.988 174	2.28	0.998 738	2.78	0.999 916	3.28	0.999 996 49
1.79	0.988 641	2.29	0.998 799	2.79	0.999 920	3.29	0.999 996 72
1.80	0.989 091	2.30	0.998 857	2.80	0.999 925	3.30	0.999 996 94
1.81	0.989 525	2.31	0.998 912	2.81	0.999 929	3.31	0.999 997 15
1.82	0.989 943	2.32	0.998 966	2.82	0.999 933	3.32	0.999 997 34
1.83	0.990 347	2.33	0.999 016	2.83	0.999 937	3.33	0.999 997 51
1.84	0.990 736	2.34	0.999 063	2.84	0.999 941	3.34	0.999 997 68
1.85	0.991 111	2.35	0.999 111	2.85	0.999 944	3.35	0.999 997 83
1.86	0.991 472	2.36	0.999 155	2.86	0.999 948	3.36	0.999 997 98
1.87	0.991 821	2.37	0.999 197	2.87	0.999 951	3.37	0.999 998 120
1.88	0.992 156	2.38	0.999 237	2.88	0.999 954	3.38	0.999 998 247
1.89	0.992 479	2.39	0.999 275	2.89	0.999 956	3.39	0.999 998 367
1.90	0.992 790	2.40	0.999 311	2.90	0.999 959	3.40	0.999 998 478
1.91	0.993 090	2.41	0.999 346	2.91	0.999 961	3.41	0.999 998 582
1.92	0.993 378	2.42	0.999 379	2.92	0.999 964	3.42	0.999 998 679
1.93	0.993 656	2.43	0.999 411	2.93	0.999 966	3.43	0.999 998 770
1.94	0.993 923	2.44	0.999 441	2.94	0.999 968	3.44	0.999 998 855
1.95	0.994 179	2.45	0.999 469	2.95	0.999 970	3.45	0.999 998 934
1.96	0.994 426	2.46	0.999 497	2.96	0.999 972	3.46	0.999 999 008
1.97	0.994 664	2.47	0.999 523	2.97	0.999 973	3.47	0.999 999 077
1.98	0.994 892	2.48	0.999 547	2.98	0.999 975	3.48	0.999 999 141
1.99	0.995 111	2.49	0.999 571	2.99	0.999 977	3.49	0.999 999 201
2.00	0.995 322	2.50	0.999 593	3.00	0.999 977 91	3.50	0.999 999 257
2.01	0.995 525	2.51	0.999 614	3.01	0.999 979 26	3.51	0.999 999 309
2.02	0.995 719	2.52	0.999 635	3.02	0.999 980 53	3.52	0.999 999 358
2.03	0.995 906	2.53	0.999 654	3.03	0.999 981 73	3.53	0.999 999 403
2.04	0.996 086	2.54	0.999 672	3.04	0.999 982 86	3.54	0.999 999 445
2.05	0.996 258	2.55	0.999 689	3.05	0.999 983 92	3.55	0.999 999 485
2.06	0.996 423	2.56	0.999 706	3.06	0.999 984 92	3.56	0.999 999 521
2.07	0.996 582	2.57	0.999 722	3.07	0.999 985 86	3.57	0.999 999 555
2.08	0.996 734	2.58	0.999 736	3.08	0.999 986 74	3.58	0.999 999 587
2.09	0.996 880	2.59	0.999 751	3.09	0.999 987 57	3.59	0.999 999 617

$x$	$\text{erf } x$	$x$	$\text{erf } x$	$x$	$\text{erf } x$	$x$	$\text{erf } x$
3.60	0.999 999 644	3.70	0.999 999 833	3.80	0.999 999 923	3.90	0.999 999 963
3.61	0.999 999 670	3.71	0.999 999 845	3.81	0.999 999 929	3.91	0.999 999 968
3.62	0.999 999 694	3.72	0.999 999 857	3.83	0.999 999 934	3.92	0.999 999 970
3.63	0.999 999 716	3.73	0.999 999 867	3.83	0.999 999 935	3.93	0.999 999 973
3.64	0.999 999 736	3.74	0.999 999 877	3.84	0.999 999 944	3.94	0.999 999 975
3.65	0.999 999 756	3.75	0.999 999 886	3.85	0.999 999 948	3.95	0.999 999 977
3.66	0.999 999 773	3.76	0.999 999 895	3.86	0.999 999 952	3.96	0.999 999 979
3.67	0.999 999 790	3.77	0.999 999 903	3.87	0.999 999 956	3.97	0.999 999 980
3.68	0.999 999 805	3.78	0.999 999 910	3.88	0.999 999 959	3.98	0.999 999 982
3.69	0.999 999 820	3.79	0.999 999 917	3.89	0.999 999 962	3.99	0.999 999 983

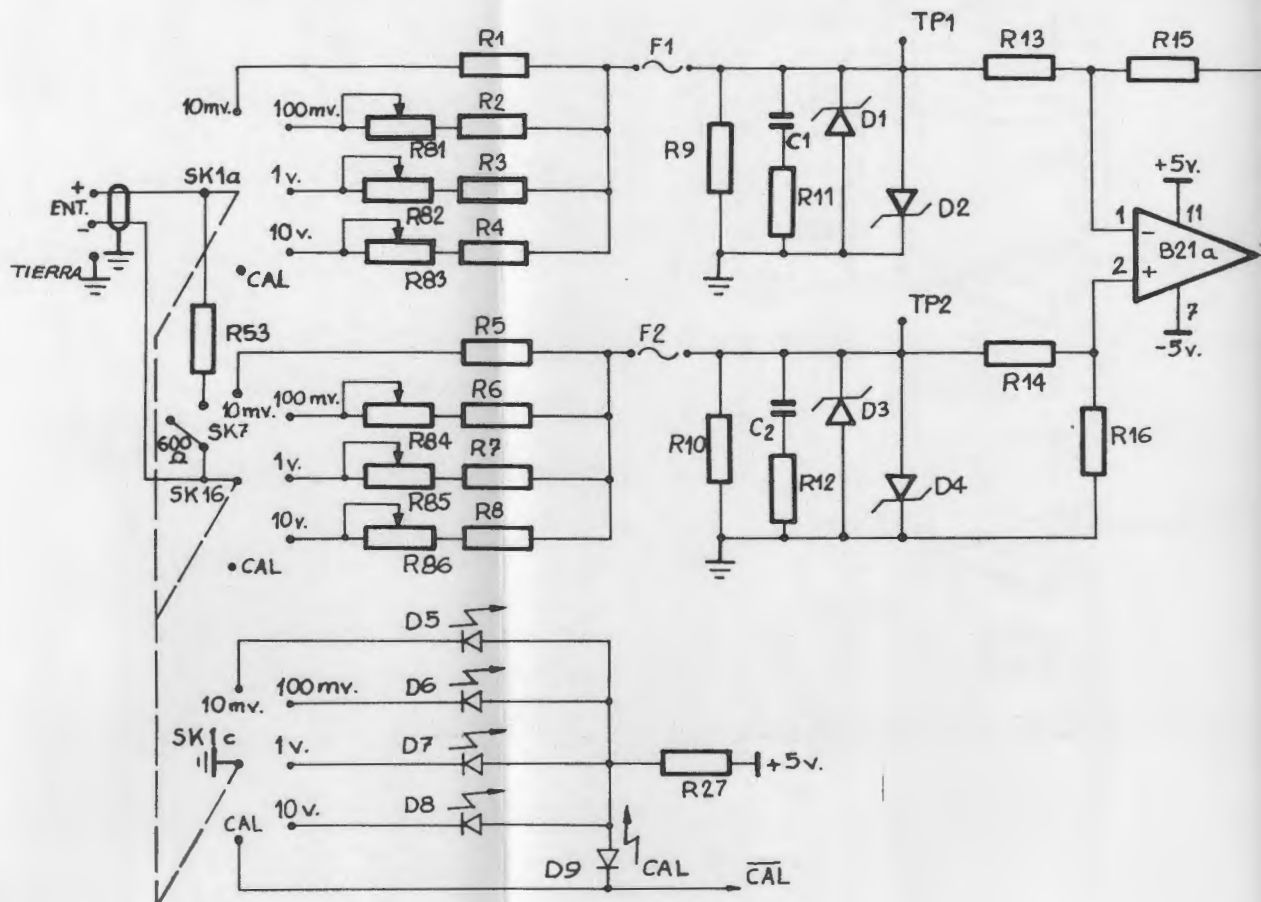


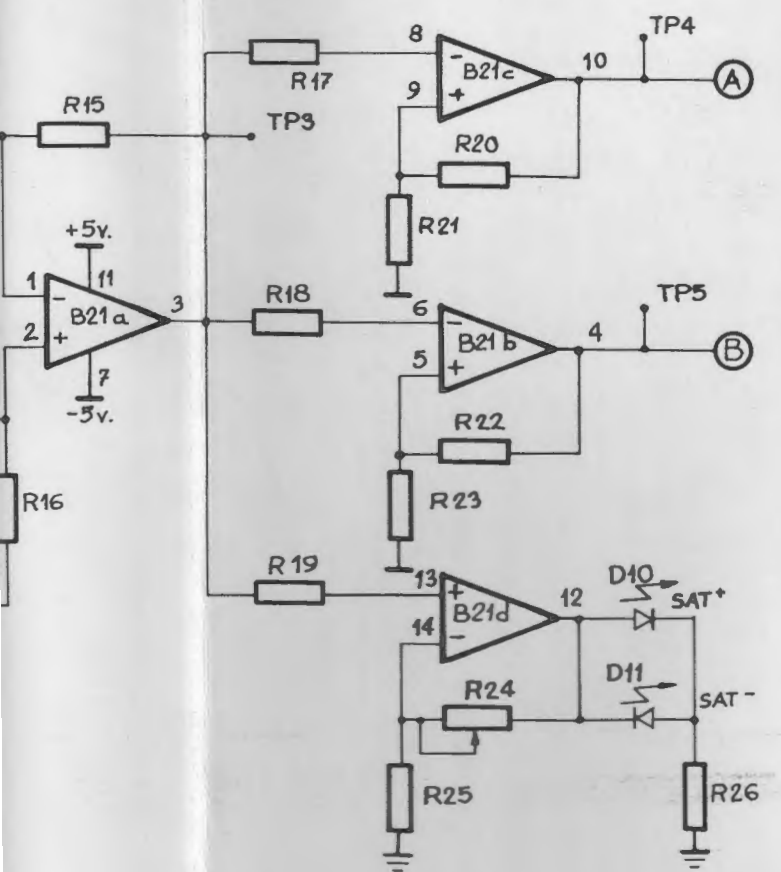
# PLANOS

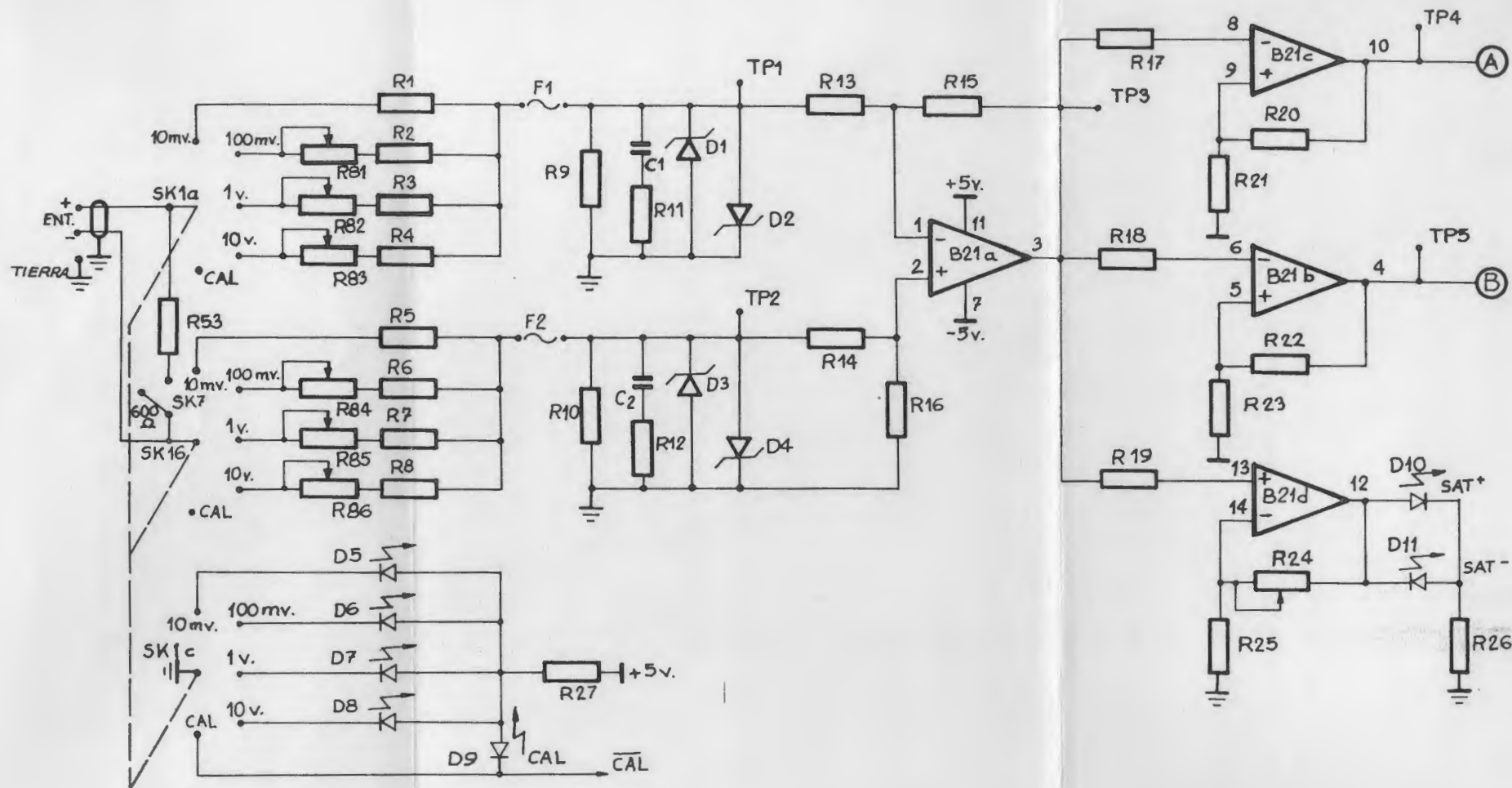
---

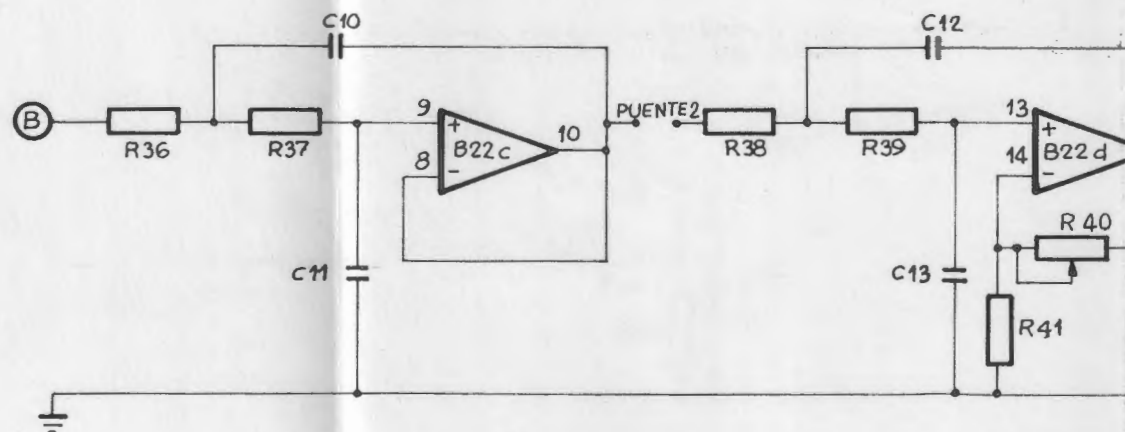
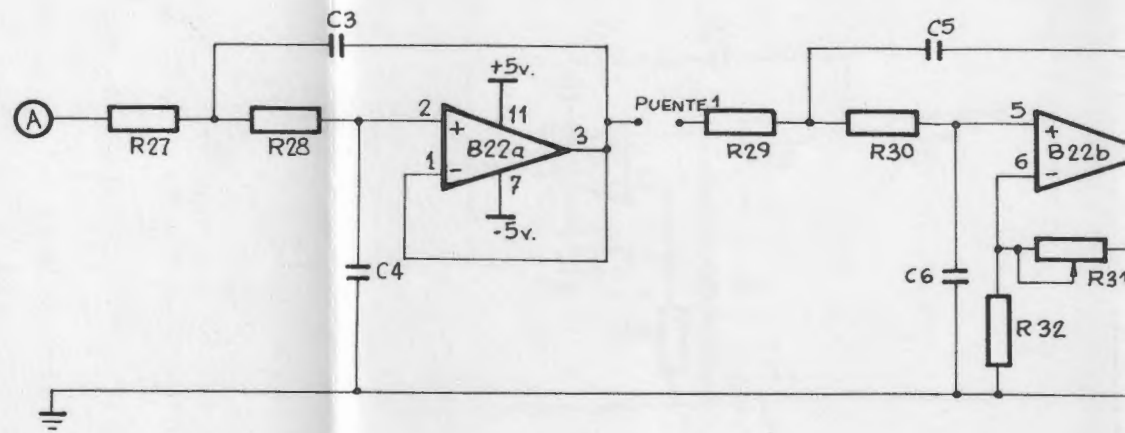


II - PLANOS

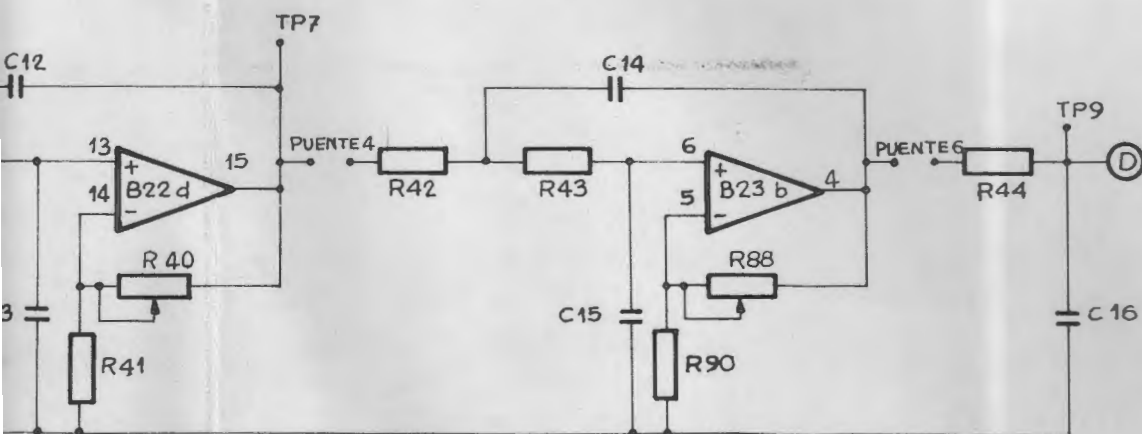
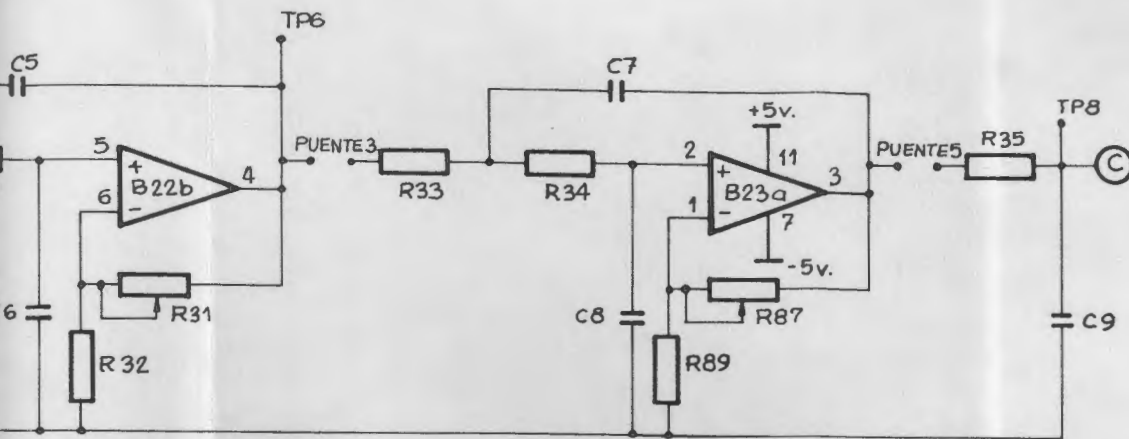


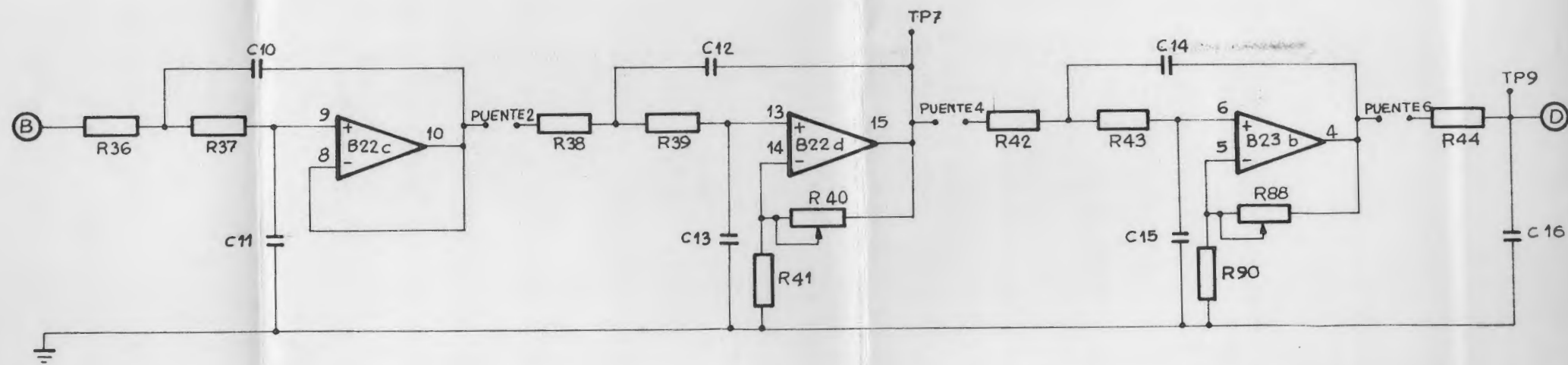
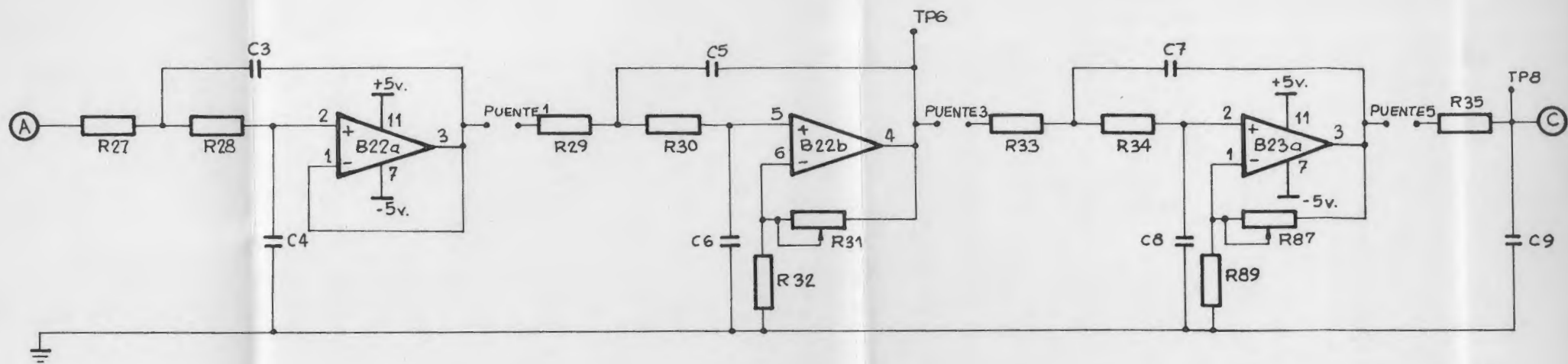


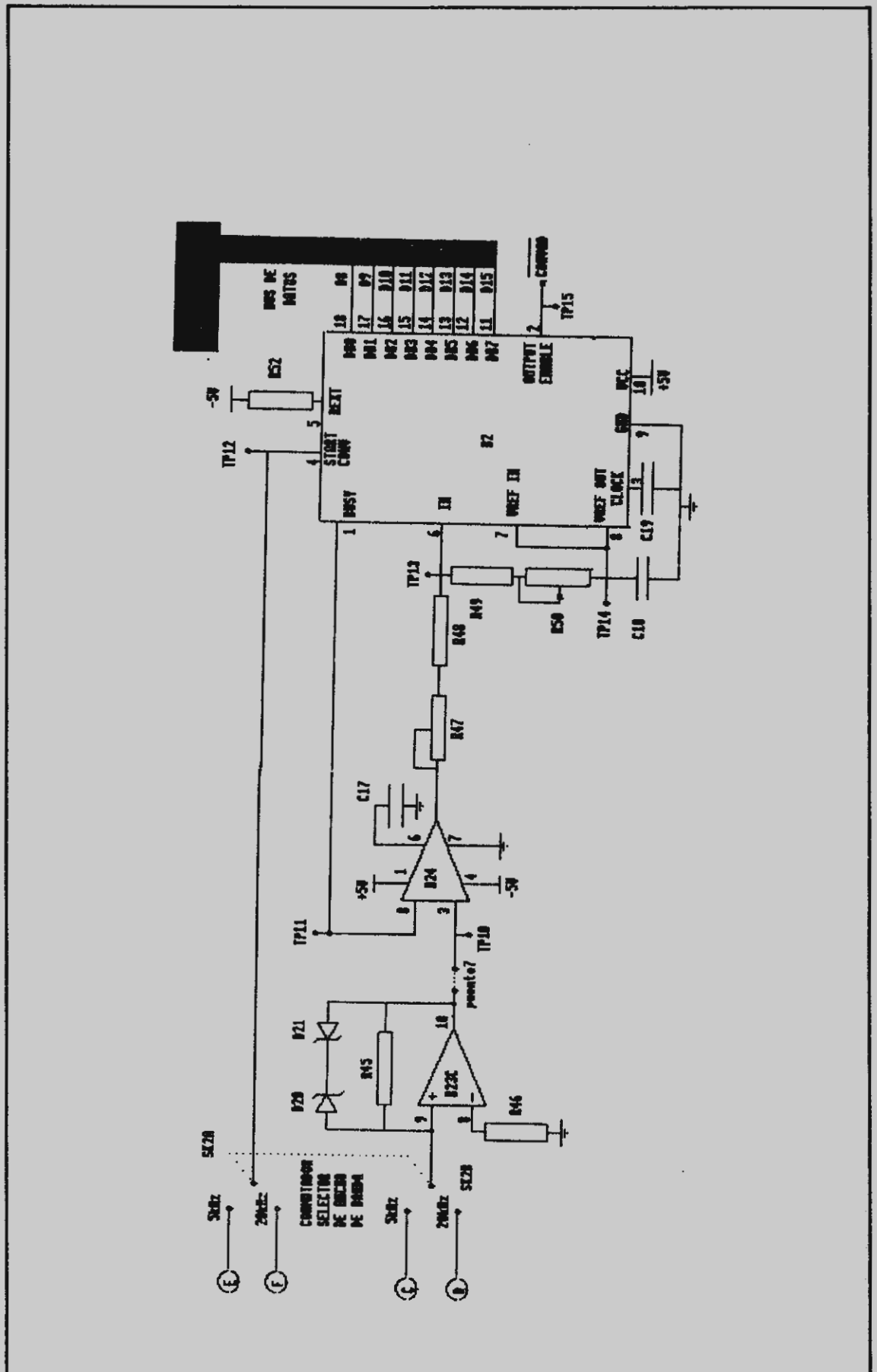


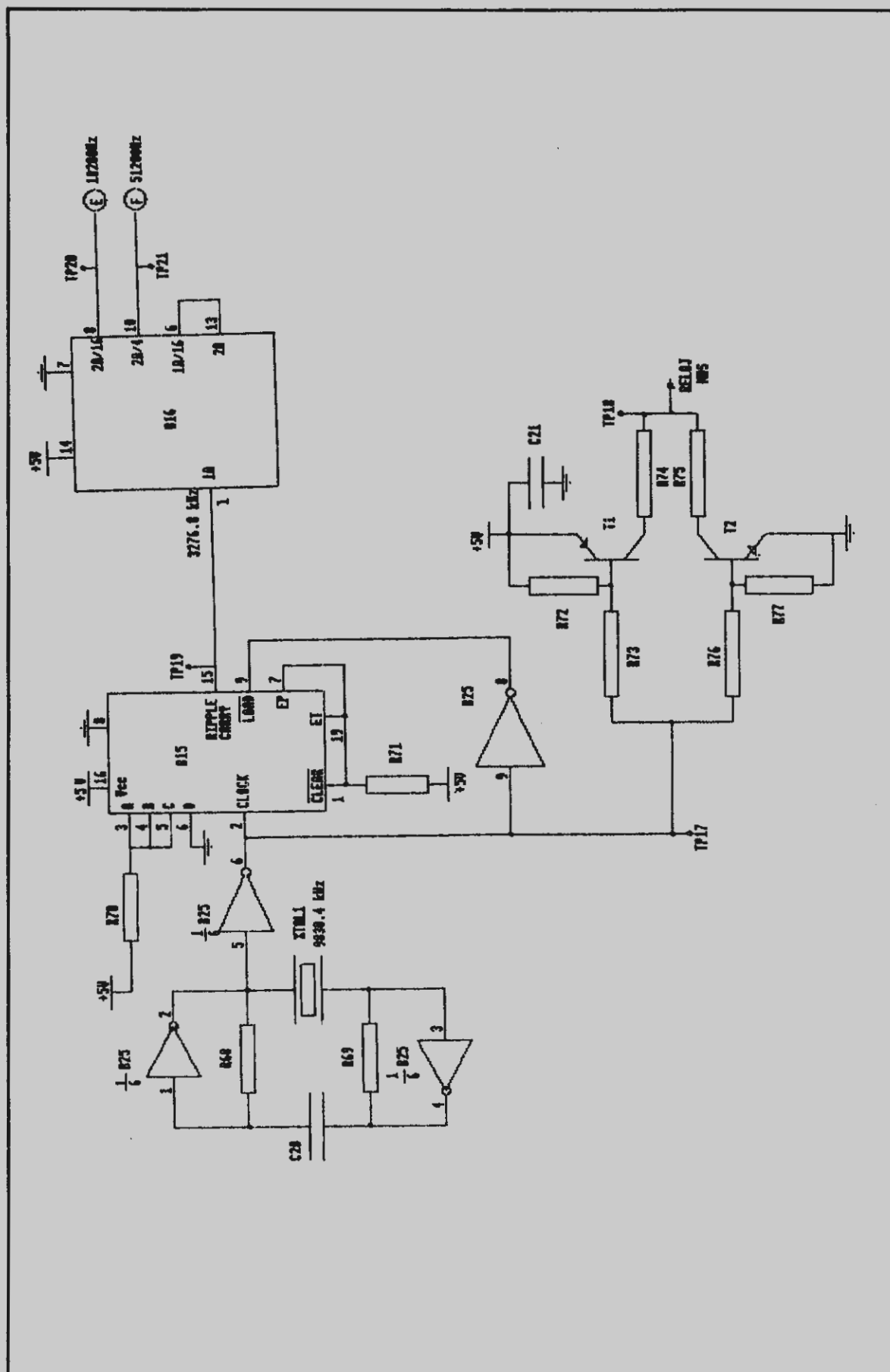








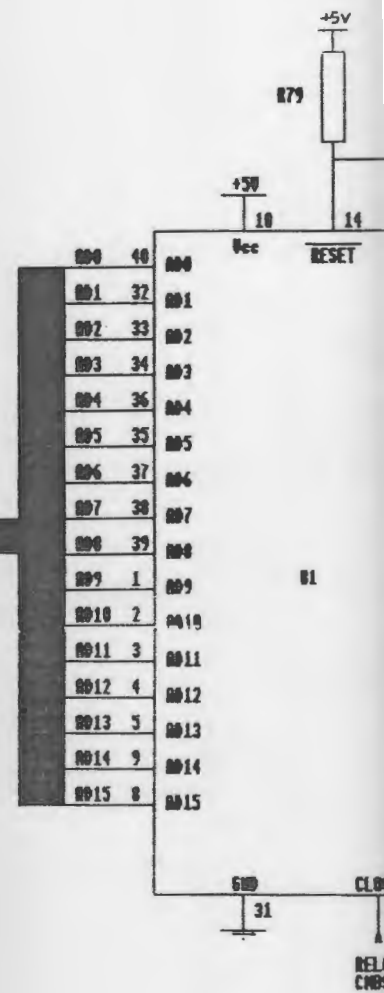
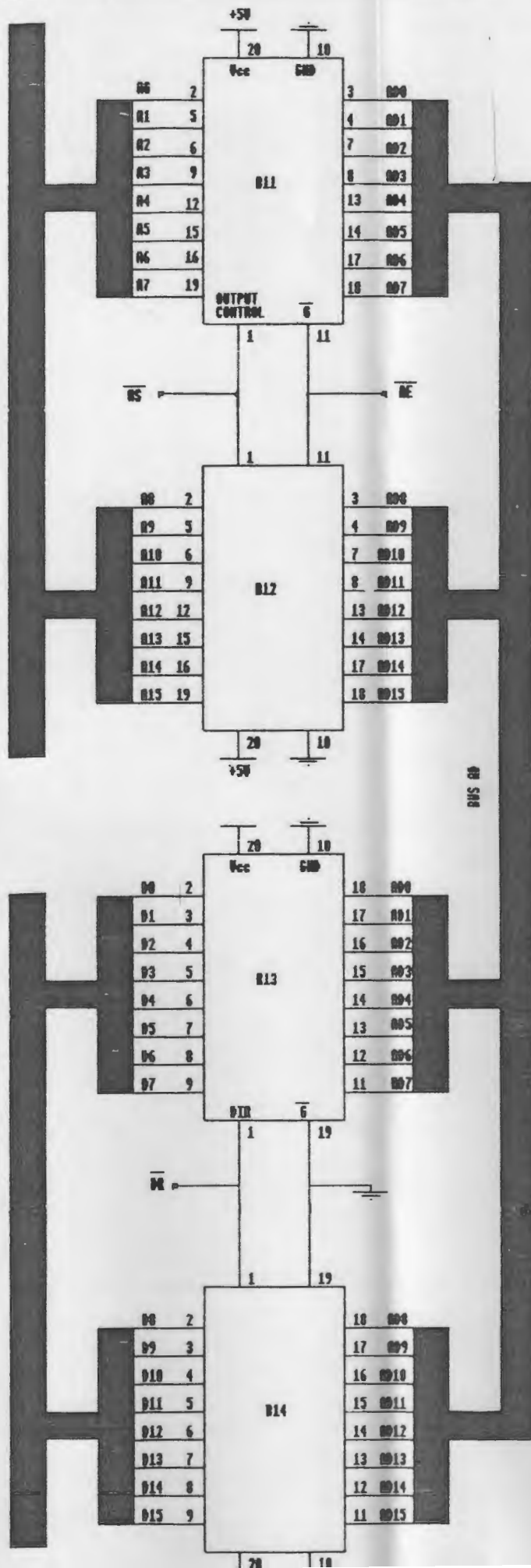


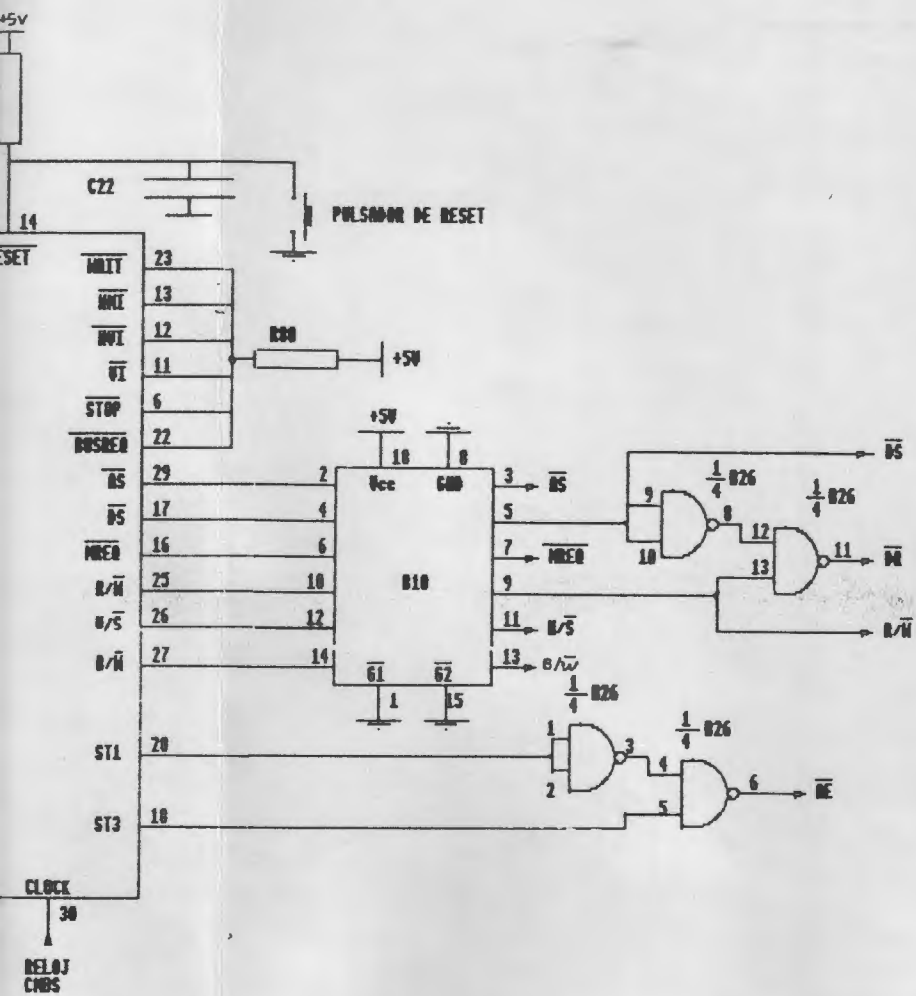


PLAND 4

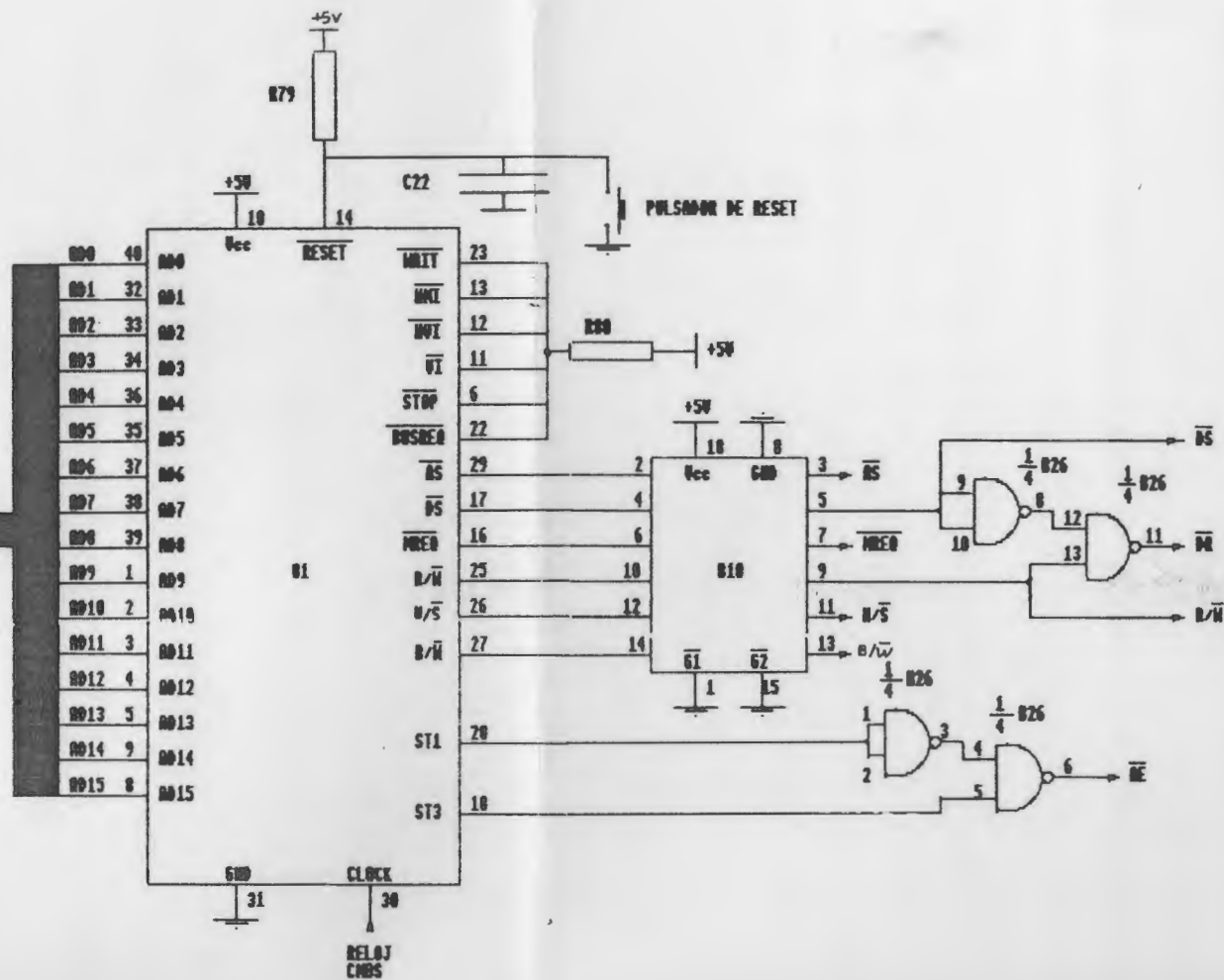
BUS DE DIRECCIONES

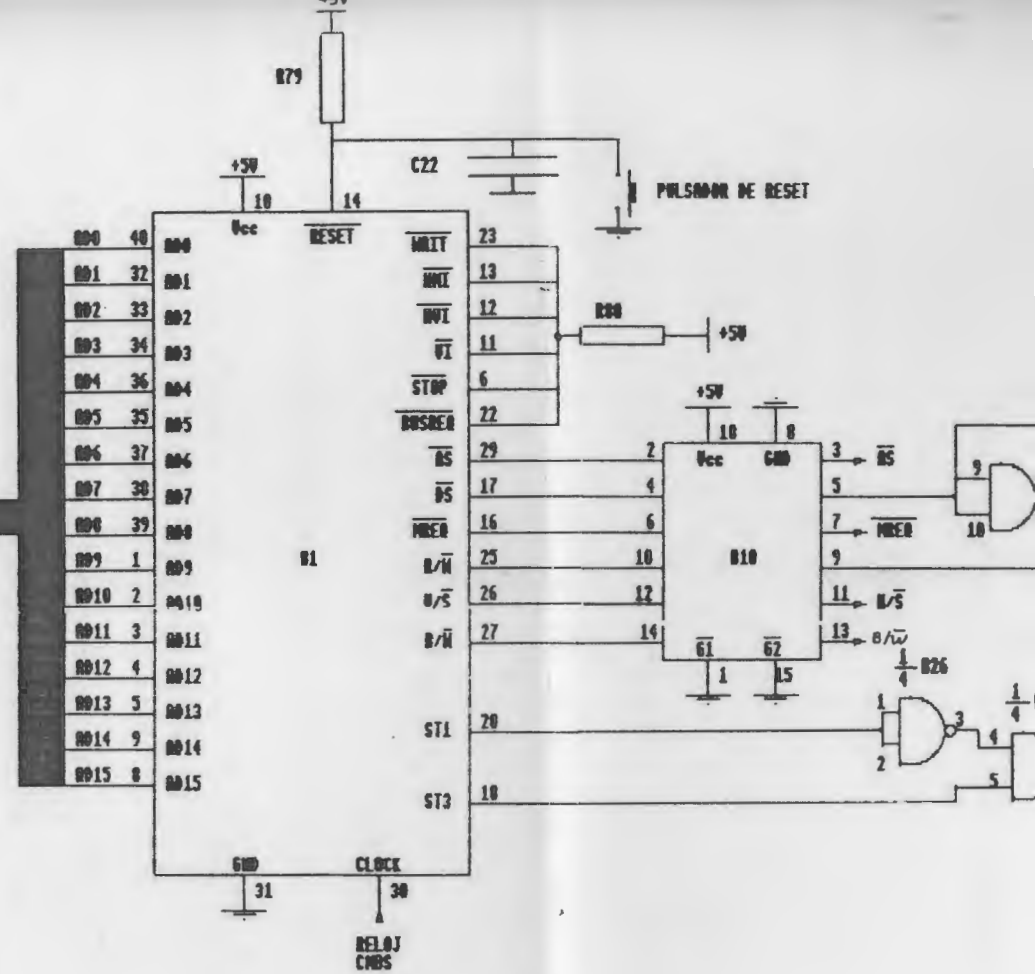
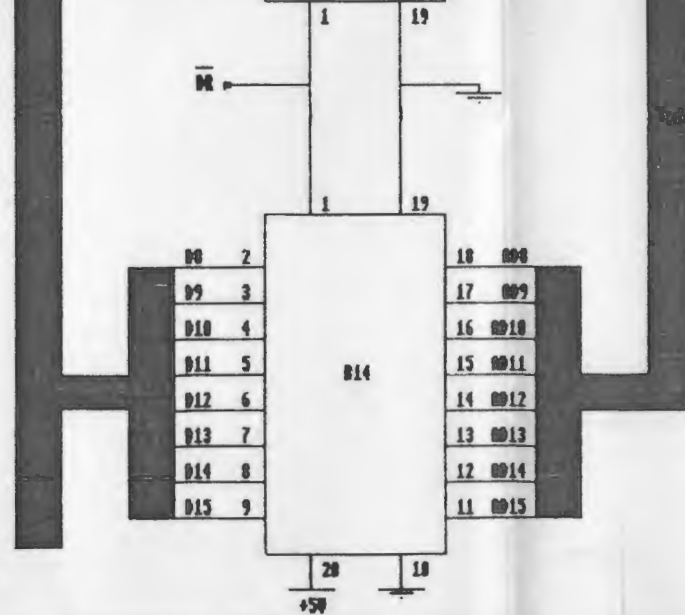
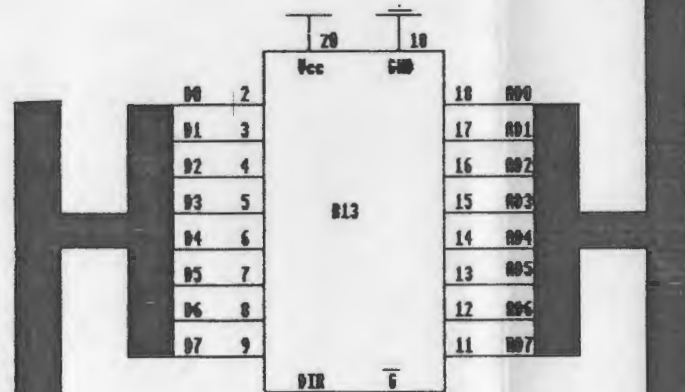
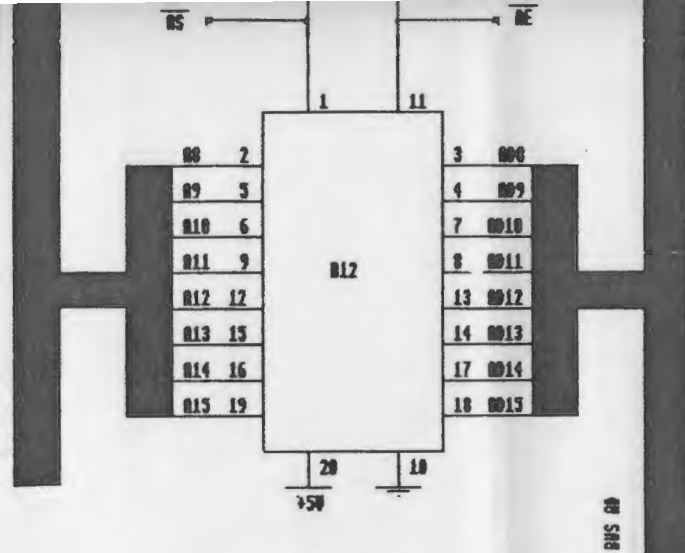
BUS DE DATOS



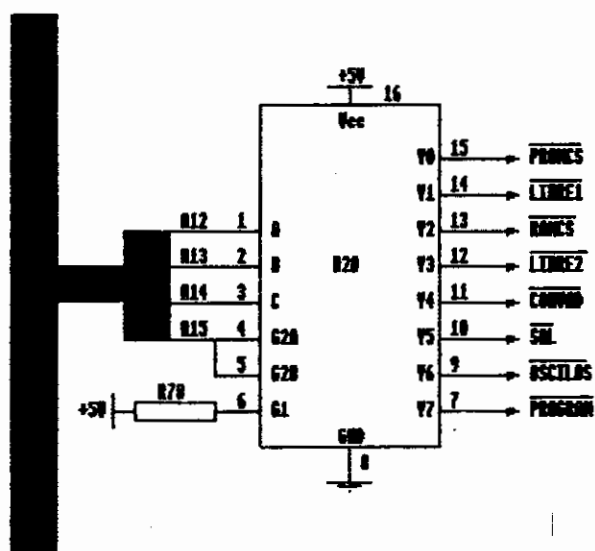


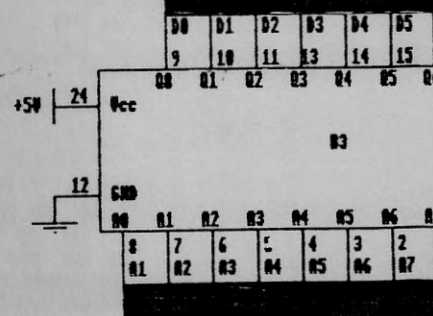
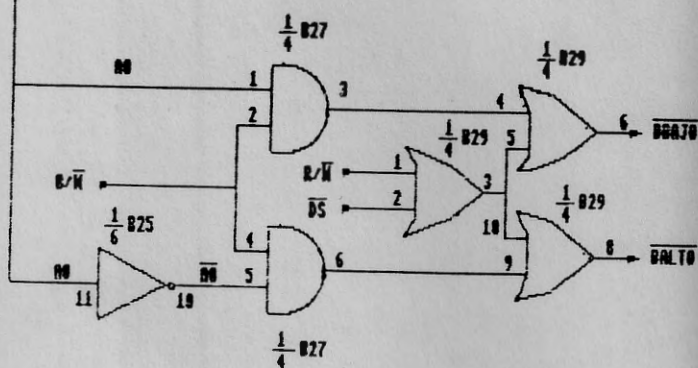
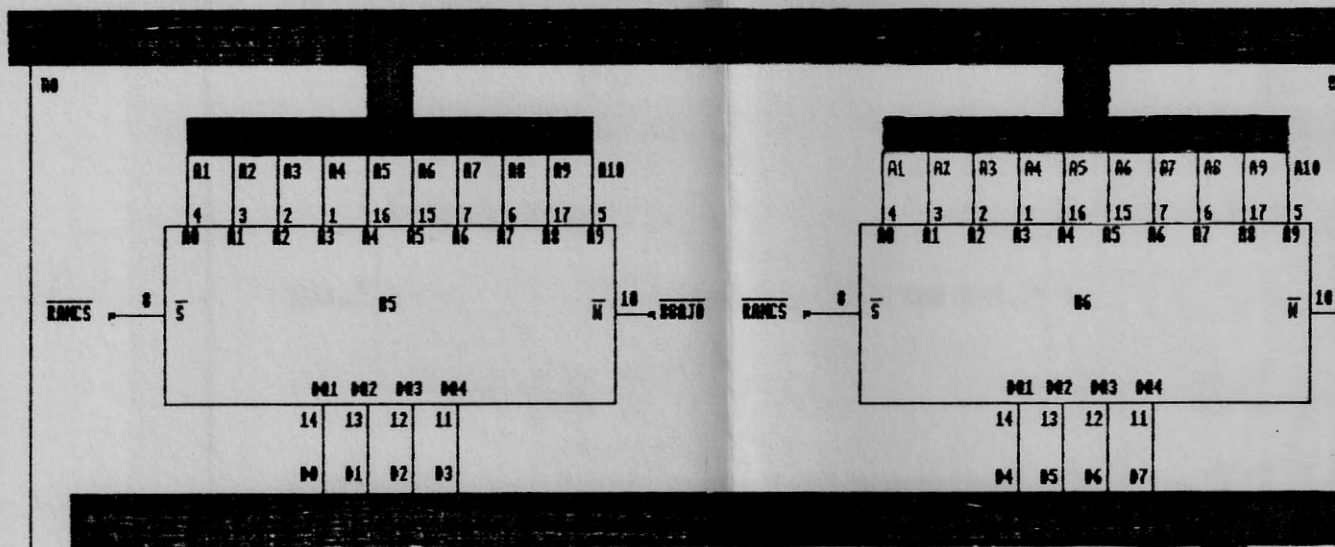
**SHS**

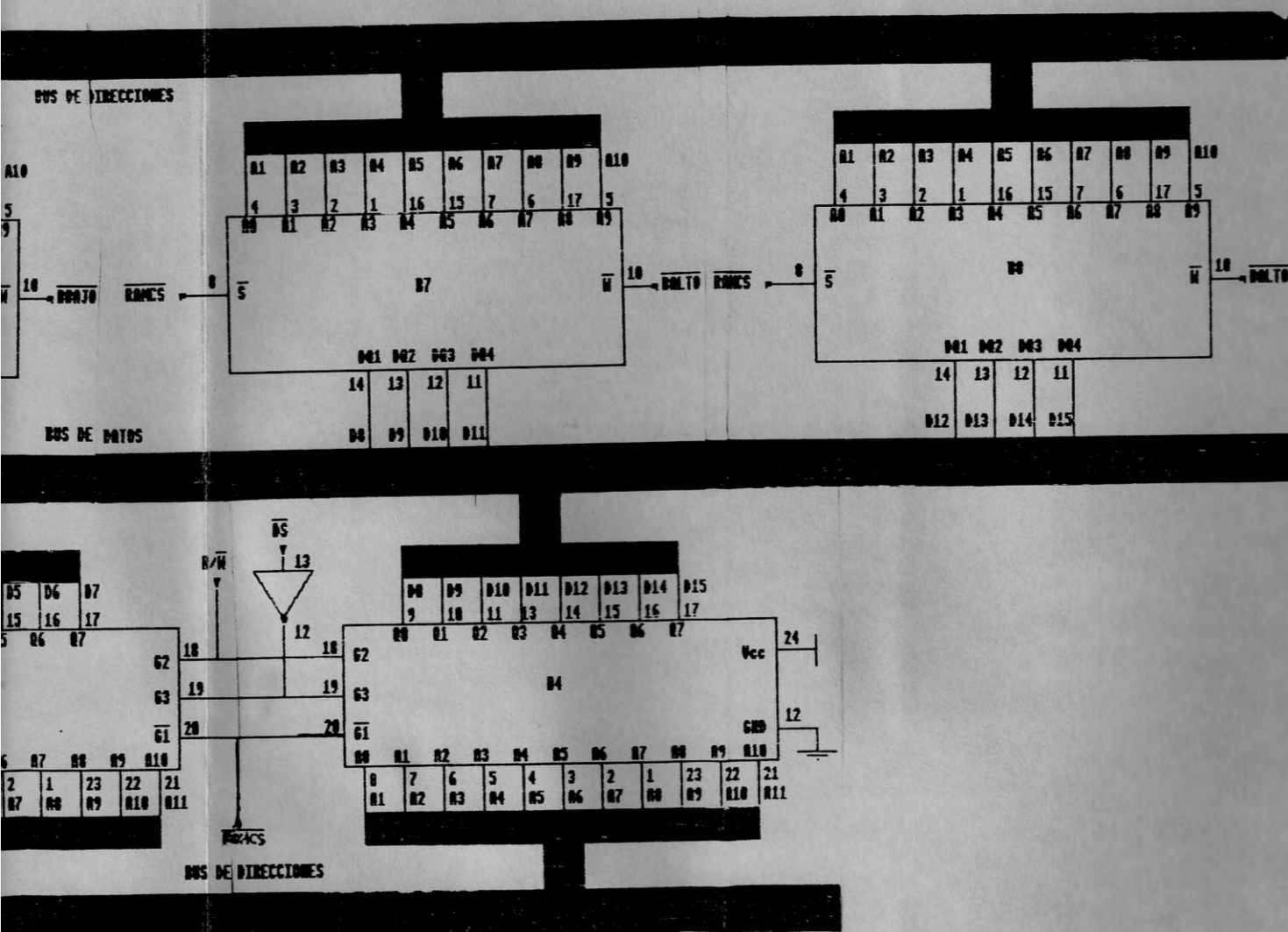


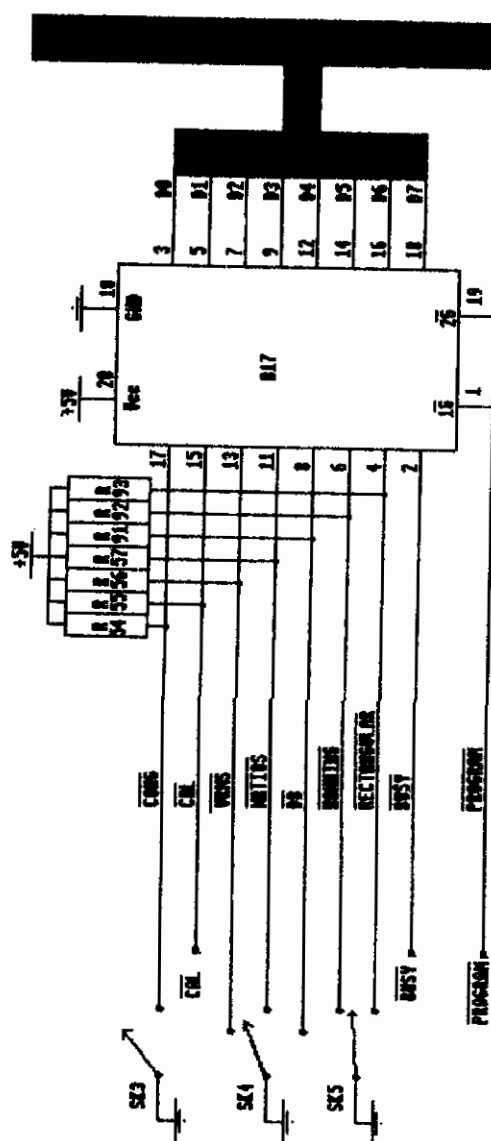




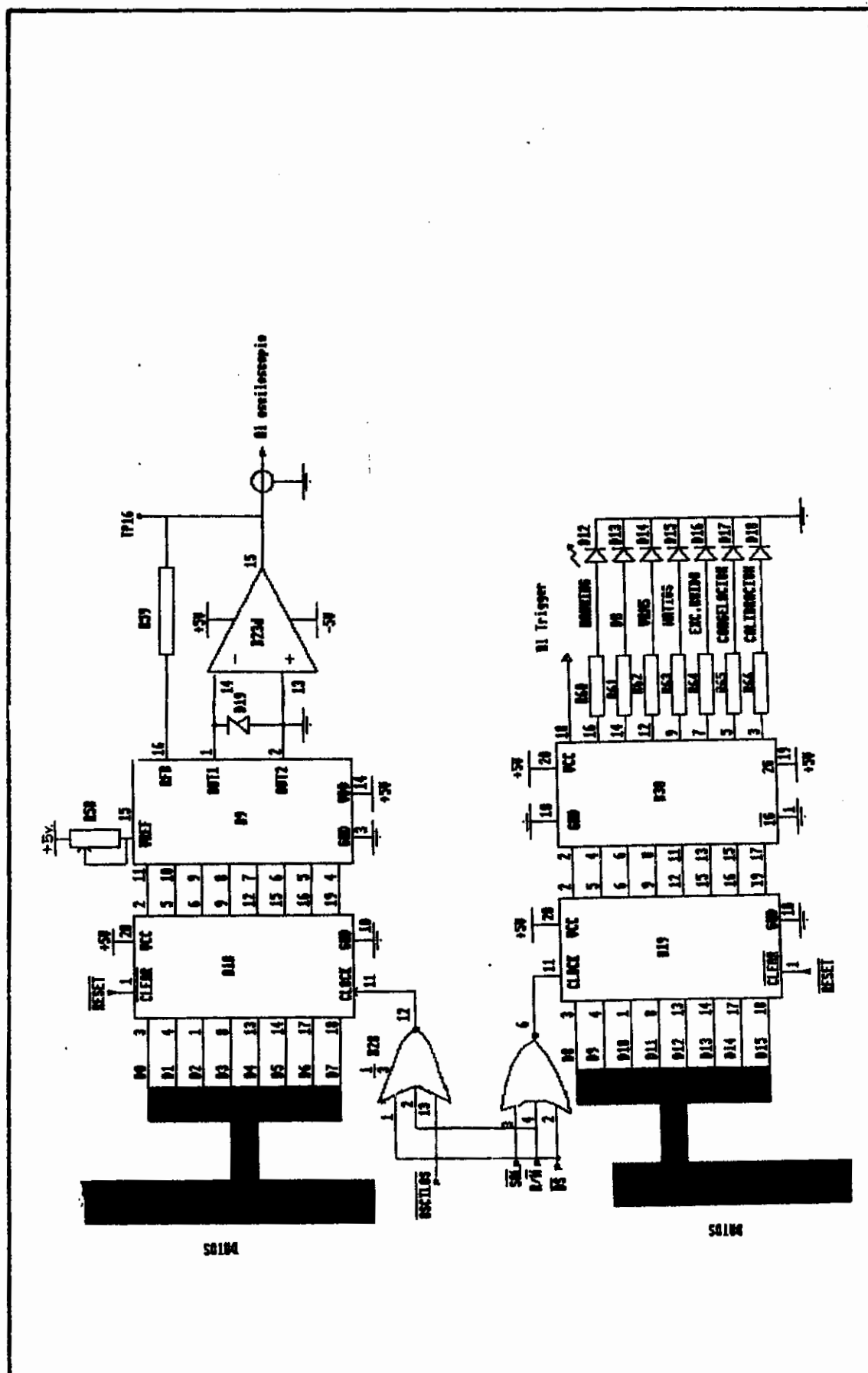



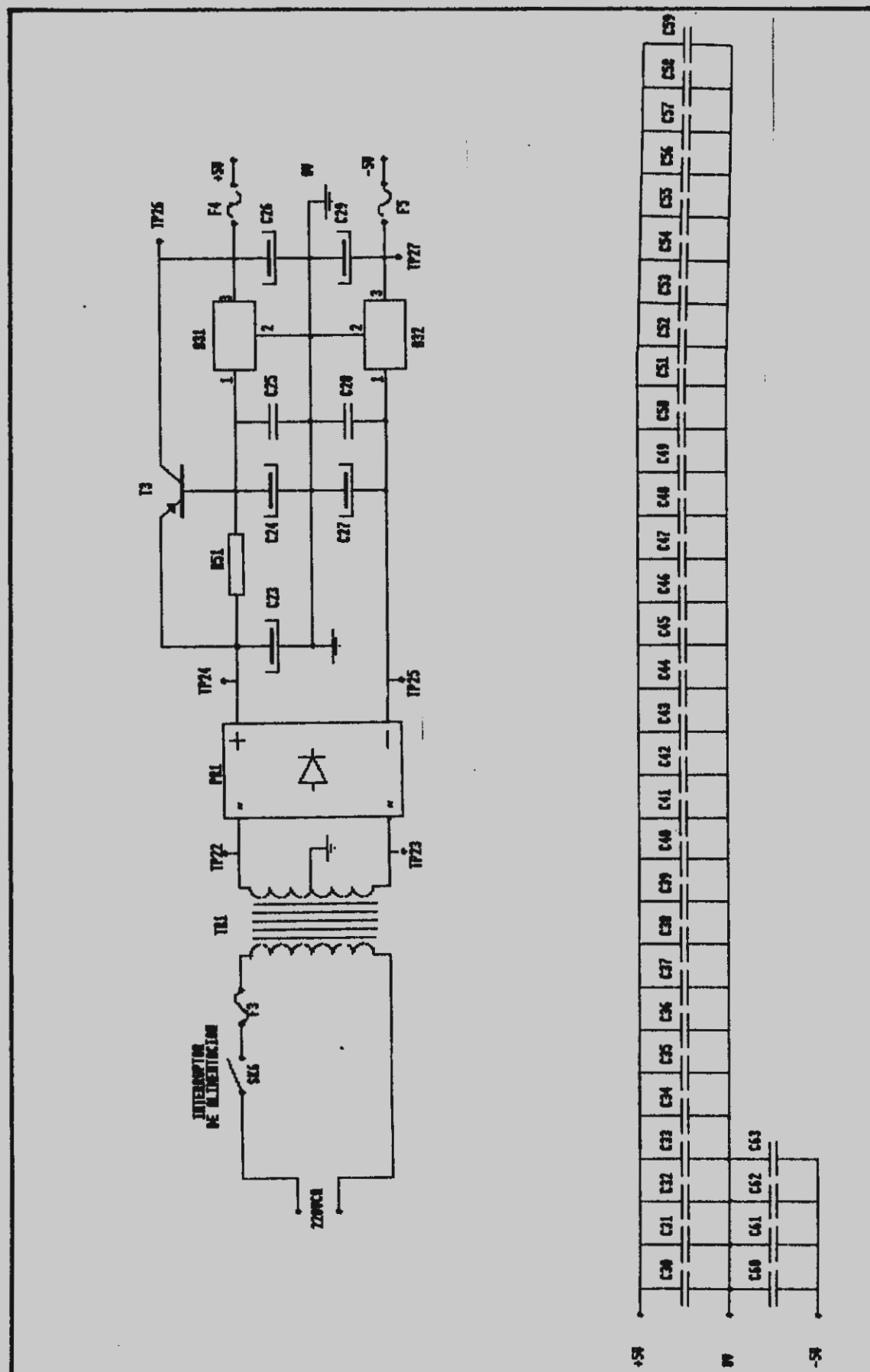






PLANO 8







# PLIEGO DE CONDICIONES

---



### III - PLIEGO DE CONDICIONES

## PLIEGO DE CONDICIONES

### 1 . - CARACTERISTICAS DEL SISTEMA

El sistema visualizador de espectros constará del hardware y software necesario para cumplir como mínimo los siguientes requisitos:

- La impedancia de entrada en todas las escalas de medida será de  $20k\Omega/V$ , siendo la entrada de tipo diferencial, con un coeficiente de rechazo al modo común (CMRR) de 35 dB.

- La sensibilidad de entrada en la escala más sensible será de 1mV de pico. Se deberá poder variar la sensibilidad por medio de conmutador en al menos 3 márgenes.

- El margen de frecuencias de entrada que se podrá analizar será como mínimo de 300 a 3400Hz (canal telefónico).

- La resolución en frecuencia o canal de 6 dB será del 2% de la banda total.

- El margen dinámico a la salida deberá ser, para cualquier escala, de 30 dB.

- La salida deberá estar preparada para conexionar directamente con un osciloscopio convencional. Al efecto estará dotada de señal para el eje y del osciloscopio y señal de disparo (trigger).

- La imagen que aparezca en el osciloscopio deberá representar el espectro de potencia, de energía o de amplitudes de

la señal presente en la entrada del sistema, siendo el eje de las X el eje de frecuencia, y el de las Y el de potencia, energía o amplitud de las distintas componentes espectrales de la señal.

- La imagen presentada deberá actualizarse a una velocidad tal (definida como velocidad de presentación) que produzca sensación de variación continua o instantánea del nivel de las distintas componentes espectrales. Para ello la velocidad de presentación será mayor de 16Hz. Además deberá poderse congelar la imagen presente en la pantalla del osciloscopio.

- El margen de temperaturas de funcionamiento será de 10°C a 40°C.

- El margen de temperaturas de almacenamiento será de -20°C a +70°C.

- El margen operativo de humedad relativa del aire será del 20% al 80%.

- El margen de funcionamiento de vibraciones será de 0 a 1 g para frecuencias de hasta 50Hz.

- La fiabilidad será tal que el tiempo medio entre fallos (MTBF) sea 10.000 horas.

- El tiempo medio de reparación (MTTR) será de 48 horas.

Las anteriores condiciones son exigibles al Ingeniero encargado de la realización del Proyecto. El resto de las condiciones son exigibles a la persona o personas encargadas de la

realización práctica y puesta a punto del sistema proyectado.

## 2 . - CONDICIONES DE MATERIALES

A continuación se dará una lista de piezas de los componentes materiales del sistema. En ella se menciona el código que tiene el componente de que se trate en los diagramas eléctricos del sistema, representados en la sección de planos. A continuación se cita el tipo de componente y sus valores nominales y tolerancias, o características. Por último se menciona el suministrador, representante o fabricante del componente en cuestión en España.

Todas las resistencias son de 1/4W salvo especificación en sentido contrario.

LISTA DE COMPONENTES

<u>Código</u>	<u>Componente</u>	<u>Valor</u>	<u>Suministrador</u>
R1	Resistencia bobinada 5%	2Ω/1W	COSESA S.A.
R2	Resistencia pel. metálica 1%	8K87	Santos del Valle
R3	Resistencia pel. metálica 1%	97K6	Santos del Valle
R4	Resistencia pel. metálica 1%	976K	Santos del Valle
R5	Resistencia de carbón 5%	2Ω/1W	COSESA S.A.
R6	Resistencia pel. metálica 1%	8K87	Santos del Valle
R7	Resistencia pel. metálica 1%	97K6	Santos del Valle
R8	Resistencia pel. metálica 1%	976K	Santos del Valle
R9	Resistencia pel. metálica 1%	1K 1/2W	Santos del Valle
R10	Resistencia pel. metálica 1%	1K 1/2W	Santos del Valle
R11	Resistencia de carbón 5%	1Ω 1/2W	COSESA S.A.
R12	Resistencia de carbón 5%	1Ω 1/2W	COSESA S.A.
R13	Resistencia pel. metálica 1%	10K	Santos del Valle
R14	Resistencia pel. metálica 1%	10K	Santos del Valle
R15	Resistencia pel. metálica 1%	249K	Santos del Valle
R14	Resistencia pel. metálica 1%	249K	Santos del Valle
R17	Resistencia de carbón 5%	10K	COSESA S.A.
R18	Resistencia de carbón 5%	10K	COSESA S.A.
R19	Resistencia de carbón 5%	10K	COSESA S.A.
R20	Resistencia pel. metálica 1%	100K	Santos del Valle
R21	Resistencia pel. metálica 1%	10K	Santos del Valle
R22	Resistencia pel. metálica 1%	100K	Santos del Valle
R23	Resistencia pel. metálica 1%	10K	Santos del Valle
R24	Potenciómetro multivuelta 10%	100K	COSESA S.A.
R25	Resistencia de carbón 5%	10K	COSESA S.A.
R26	Resistencia de carbón 5%	330Ω1/2W	COSESA S.A.
R27	Resistencia pel. metálica 1%	2940Ω	Santos del Valle
R28	Resistencia pel. metálica 1%	2940Ω	Santos del Valle
R29	Resistencia pel. metálica 1%	1960Ω	Santos del Valle

<u>Código</u>	<u>Componente</u>	<u>Valor</u>	<u>Suministrador</u>
R30	Resistencia pel. metálica 1%	1960Ω	Santos del Valle
R31	Potenciómetro multivuelta 10%	2K	COSESA S.A.
R32	Resistencia de carbón 5%	1K	COSESA S.A.
R33	Res. pel. met. 0.5% Sovcor	1620Ω	DIODE ESPAÑA
R34	Res. pel. met. 0.5% Sovcor	1620Ω	DIODE ESPAÑA
R35	Resistencia pel. metálica 1%	4530Ω	Santos del Valle
R36	Resistencia pel. metálica 1%	11K8	Santos del Valle
R37	Resistencia pel. metálica 1%	11K8	Santos del Valle
R38	Resistencia pel. metálica 1%	7K87	Santos del Valle
R39	Resistencia pel. metálica 1%	7K87	Santos del Valle
R40	Potenciómetro multivuelta 10%	2K	COSESA S.A.
R41	Resistencia de carbón 5%	1K	COSESA S.A.
R42	Res. pel. met. 0.5% Sovcor	6490Ω	DIODE ESPAÑA
R43	Res. pel. met. 0.5% Sovcor	6490Ω	DIODE ESPAÑA
R44	Resistencia pel. met. 2%	18K	Santos del Valle
R46	Resistencia de carbón 5%	100K	COSESA S.A.
R47	Resistencia de carbón 5%	10K	COSESA S.A.
R47	Potenciómetro multivuelta 10%	4K7	COSESA S.A.
R48	Resistencia pel. metálica 1%	5K6	Santos del Valle
R49	Resistencia pel. metálica 1%	5K6	Santos del Valle
R50	Potenciómetro multivuelta 10%	4K7	COSESA S.A.
R51	Resistencia de carbón 5%	4.7Ω 1/2W	COSESA S.A.
R52	Resistencia de carbón 5%	32K	COSESA S.A.
R53	Resistencia bobinada 1%	600Ω 1W	SANDOVAL S.A.
R54	Resistencia de carbón 5%	2K7	COSESA S.A.
R55	Resistencia de carbón 5%	2K7	COSESA S.A.
R56	Resistencia de carbón 5%	2K7	COSESA S.A.
R57	Resistencia de carbón 5%	2K7	COSESA S.A.
R58	Potenciómetro multivuelta 10%	2K	COSESA S.A.
R59	Resistencia pel. metálica 1%	1K	Santos del Valle
R60	Resistencia de carbón 5%	330Ω	COSESA S.A.



<u>Código</u>	<u>Componente</u>	<u>Valor</u>	<u>Suministrador</u>
R61	Resistencia de carbón 5%	330Ω	COSESA S.A.
R62	Resistencia de carbón 5%	330Ω	COSESA S.A.
R63	Resistencia de carbón 5%	330Ω	COSESA S.A.
R64	Resistencia de carbón 5%	330Ω	COSESA S.A.
R65	Resistencia de carbón 5%	330Ω	COSESA S.A.
R66	Resistencia de carbón 5%	330Ω	COSESA S.A.
R67	Resistencia de carbón 5%	330Ω	COSESA S.A.
R68	Resistencia de carbón 5%	330Ω	COSESA S.A.
R69	Resistencia de carbón 5%	330Ω	COSESA S.A.
R70	Resistencia de carbón 5%	1K	COSESA S.A.
R71	Resistencia de carbón 5%	1K	COSESA S.A.
R72	Resistencia de carbón 5%	120	COSESA S.A.
R73	Resistencia de carbón 5%	470Ω1/2W	COSESA S.A.
R74	Resistencia de carbón 5%	22Ω1/2W	COSESA S.A.
R75	Resistencia de carbón 5%	22Ω1/2W	COSESA S.A.
R76	Resistencia de carbón 5%	470Ω1/2W	COSESA S.A.
R77	Resistencia de carbón 5%	120Ω	COSESA S.A.
R78	Resistencia de carbón 5%	2K7	COSESA S.A.
R79	Resistencia de carbón 5%	10K	COSESA S.A.
R80	Resistencia de carbón 5%	1K	COSESA S.A.
P81	Potenciómetro multivuelta 10%	470Ω	COSESA S.A.
P82	Potenciómetro multivuelta 10%	4K7	COSESA S.A.
P83	Potenciómetro multivuelta 10%	47K	COSESA S.A.
P84	Potenciómetro multivuelta 10%	470Ω	COSESA S.A.
P85	Potenciómetro multivuelta 10%	4K7	COSESA S.A.
P86	Potenciómetro multivuelta 10%	47K	COSESA S.A.
P87	Potenciómetro multivuelta 10%	10K	COSESA S.A.
P88	Potenciómetro multivuelta 10%	10K	COSESA S.A.
P89	Resistencia de carbón 5%	1K	COSESA S.A.
P90	Resistencia de carbón 5%	1K	COSESA S.A.
P91	Resistencia de carbón 5%	2K7	COSESA S.A.

<u>Código</u>	<u>Componente</u>	<u>Valor</u>	<u>Suministrador</u>
R92	Resistencia de carbón 5%	2K7	COSESA S.A.
R93	Resistencia de carbón 5%	2K7	COSESA S.A.
C1	Condensador cerámico 20%	220pF	COSESA S.A.
C2	Condensador cerámico 20%	220pF	COSESA S.A.
C3	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C4	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C5	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C6	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C7	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C8	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C9	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C10	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C11	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C12	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C13	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C14	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C15	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C16	Cond. Sovcor CYFM30 1%	4.7nF	DIODE ESPAÑA
C17	Condensador cerámico 20%	15nF	COSESA S.A.
C18	Cond. polic. met.FACO CCR1J 5%	1µF	FACO
C19	Cond. polic. met.FACO CCR1K 10%	100pF	FACO
C20	Cond. polic. met.FACO CCR1K 10%	0.01µF	FACO
C21	Cond. polic. met.FACO CCR1J 20%	0.01µF	FACO
C22	Condensador cerámico 20%	10nF	COSESA S.A.
C23	Condensador electrolítico 16V	6800µF	COSESA S.A.
C24	Condensador electrolítico 16V	220µF	COSESA S.A.
C25	Condensador tantaló 23V	1µF	COSESA S.A.
C26	Condensador electrolítico 16V	470µF	COSESA S.A.
C27	Condensador electrolítico 16V	470µF	COSESA S.A.
C28	Condensador tantaló 23V	1µF	COSESA S.A.
C29	Condensador electrolítico 16V	47µF	COSESA S.A.

<u>Código</u>	<u>Componente</u>	<u>Valor</u>	<u>Suministrador</u>
C30	Condensador cerámico 20%	1µF	COSESA S.A.
C31	Condensador cerámico 20%	1µF	COSESA S.A.
C32	Condensador cerámico 20%	1µF	COSESA S.A.
C33	Condensador cerámico 20%	1µF	COSESA S.A.
C34	Condensador cerámico 20%	1µF	COSESA S.A.
C35	Condensador cerámico 20%	1µF	COSESA S.A.
C36	Condensador cerámico 20%	1µF	COSESA S.A.
C37	Condensador cerámico 20%	1µF	COSESA S.A.
C38	Condensador cerámico 20%	1µF	COSESA S.A.
C39	Condensador cerámico 20%	1µF	COSESA S.A.
C40	Condensador cerámico 20%	1µF	COSESA S.A.
C41	Condensador cerámico 20%	1µF	COSESA S.A.
C42	Condensador cerámico 20%	1µF	COSESA S.A.
C43	Condensador cerámico 20%	1µF	COSESA S.A.
C44	Condensador cerámico 20%	1µF	COSESA S.A.
C45	Condensador cerámico 20%	1µF	COSESA S.A.
C46	Condensador cerámico 20%	1µF	COSESA S.A.
C47	Condensador cerámico 20%	1µF	COSESA S.A.
C48	Condensador cerámico 20%	1µF	COSESA S.A.
C49	Condensador cerámico 20%	1µF	COSESA S.A.
C50	Condensador cerámico 20%	1µF	COSESA S.A.
C51	Condensador cerámico 20%	1µF	COSESA S.A.
C52	Condensador cerámico 20%	1µF	COSESA S.A.
C53	Condensador cerámico 20%	1µF	COSESA S.A.
C54	Condensador cerámico 20%	1µF	COSESA S.A.
C55	Condensador cerámico 20%	1µF	COSESA S.A.
C56	Condensador cerámico 20%	1µF	COSESA S.A.
C57	Condensador cerámico 20%	1µF	COSESA S.A.
C58	Condensador cerámico 20%	1µF	COSESA S.A.
C59	Condensador cerámico 20%	1µF	COSESA S.A.
C60	Condensador cerámico 20%	1µF	COSESA S.A.
C61	Condensador cerámico 20%	1µF	COSESA S.A.
C62	Condensador cerámico 20%	1µF	COSESA S.A.
C63	Condensador cerámico 20%	1µF	COSESA S.A.

<u>Cód.</u>	<u>Componente</u>	<u>Características</u>	<u>Suministrador</u>
B1	Z8C02B	CPU de 16 bits Zilog	UNITRONICS S.A.
B2	ZN4481	Convertidor A/D Ferranti	M.Gabarró (Bar.)
B3	TBP28S166	memoria PROM, Texas Instr. (*)	T.I. España
B4	TBP28S166	memoria PROM, Texas Instr. (*)	T.I. España
B5	TMS2149	memoria RAM, Texas Instrum.	T.I. España
B6	TMS2149	memoria RAM, Texas Instrum.	T.I. España
B7	TMS2149	memoria RAM, Texas Instrum.	T.I. España
B8	TMS2149	memoria RAM, Texas Instrum.	T.I. España
B9	AD7523	convertidor D/A	SANDOVAL S.A.
B10	74LS365	buffer octal	COSESA S.A.
B11	74LS373	latch octal	COSESA S.A.
B12	74LS373	latch octal	COSESA S.A.
B13	74LS245	buffer bidireccional octal	COSESA S.A.
B14	74LS245	buffer bidireccional octal	COSESA S.A.
B15	74LS160A	contador programable	COSESA S.A.
B16	74LS393	contador	COSESA S.A.
B17	74LS340	bus driver	COSESA S.A.
B18	74LS273	8 biestables tipo D	COSESA S.A.
B19	74LS273	8 biestables tipo D	COSESA S.A.
B20	74LS138	decodificador 3 a 8	COSESA S.A.
B21	RC4236	4 amplificadores operacional.	COSESA S.A.
B22	RC4236	4 amplificadores operacional.	COSESA S.A.
B23	RC4236	4 amplificadores operacional.	COSESA S.A.
B24	LF298	sample & hold	COSESA S.A.
B25	74S01	8 inversores	COSESA S.A.
B26	74LS00	4 puertas NAND	COSESA S.A.
B27	74LS08	4 puertas AND	COSESA S.A.
B28	74LS27	3 puertas NOR de 3 entradas	COSESA S.A.
B29	74LS30	4 puertas OR	COSESA S.A.
B30	74LS241	bus driver octal	COSESA S.A.
B31	7805	regulador tensión 5V	COSESA S.A.
B32	7905	regulador tensión -5V	COSESA S.A.

<u>Cód.</u>	<u>Componente</u>	<u>Características</u>	<u>Suministrador</u>
T1	2N3546	Transistor PNP	COSESA S.A.
T2	2N3646	Transistor NPN	COSESA S.A.
T3	2N2955	Transistor PNP de potencia	COSESA S.A.
D1	diodo zener 2.7V 1W		COSESA S.A.
D2	diodo zener 2.7V 1W		COSESA S.A.
D3	diodo zener 2.7V 1W		COSESA S.A.
D4	diodo zener 2.7V 1W		COSESA S.A.
D5	diodo led verde miniatura TIL 211		COSESA S.A.
D6	diodo led verde miniatura TIL 211		COSESA S.A.
D7	diodo led verde miniatura TIL 211		COSESA S.A.
D8	diodo led verde miniatura TIL 211		COSESA S.A.
D9	diodo led amarillo miniatura TIL212		COSESA S.A.
D10	diodo led rojo miniatura TIL209		COSESA S.A.
D11	diodo led rojo miniatura TIL209		COSESA S.A.
D12	diodo led verde miniatura TIL 211		COSESA S.A.
D13	diodo led verde miniatura TIL 211		COSESA S.A.
D14	diodo led verde miniatura TIL 211		COSESA S.A.
D15	diodo led verde miniatura TIL 211		COSESA S.A.
D16	diodo led rojo miniatura TIL209		COSESA S.A.
D17	diodo led verde miniatura TIL 211		COSESA S.A.
D18	diodo led verde miniatura TIL 211		COSESA S.A.
D19	diodo zener 6.2V 400mW		COSESA S.A.
D20	referencia integrada de tensión LM236		SANDOVAL S.A.
D21	referencia integrada de tensión LM236		SANDOVAL S.A.
TR1	transformador alim. 220/7.5+7.5V50W		LUGO Electr.
BR1	punte rectificador 400V 6A		COSESA S.A.
XTAL1	crystal de cuarzo 9830.4 KHz.		AMITRON S.A.
SK1	conmutador giratorio triple tandem, 5 pos.		COSESA S.A.
SK2	interruptor doble 2 pos.		COSESA S.A.
SK3	interruptor miniatura		COSESA S.A.
SK4	conmutador 3 pos.		COSESA S.A.
SK5	conmutador 2 pos.		COSESA S.A.
SK6	conmutador 400V 1A		COSESA S.A.

<u>Còd.</u>	<u>Características</u>	<u>Suministrador</u>
F1	fusible 0.1A	COSESA S.A.
F2	fusible 0.1A	COSESA S.A.
F3	fusible 250mA /220V	COSESA S.A.
F4	fusible 2A	COSESA S.A.
F5	fusible 300mA	COSESA S.A.

<u>Cant.</u>	<u>Material</u>
1	radiador para encapsulado T03 SERADE Ref. 1206
1	radiador para encapsulado T0220 SERADE
1	placa de circuito impreso
1	caja completa mecanizada con frontal serigrafiado
2	portafusibles para circuito impreso
1	portafusible chasis
1	pulsador
1	zòcalo DIL 40 pines
2	zòcalos DIL 24 pines
6	zòcalos DIL 20 pines
8	zòcalos DIL 18 pines
3	zòcalos DIL 16 pines
9	zòcalos DIL 14 pines
1	zòcalo circular 8 pines
1	conector macho de red, con cable de 1 mm de Ø
14	soportes diodos led
3	conectores BNC hembra
1	cable BNC-BNC
2	cables BNC- bananas
1	botòn para conmutador
1	aislante de mica para T03
10	terminales de masa
3	metros de cable apantallado de dos vias 0.5mm Ø
10	metros cablecillo flexible de colores

3 metros cable 1 mm Ø

torretas, pasacables, turcas, arandelas, tornillos, etc.

\*Programable con equipo KONTRON MPP80S , con módulo de personalidad nº19 , zócalo SA22 de 24 pines.



Todos los circuitos integrados llevan su correspondiente zócalo, para facilitar la reposición de componentes defectuosos, evitar destrucción de los componentes al soldarlos, y facilitar el proceso de reparación por aislamiento de etapas.

El regulador de tensión de +5V y el transistor de potencia de la fuente deben llevar disipadores térmicos, para evitar su destrucción por un posible calentamiento.

La placa de circuito impresa será de doble cara y llevará serigrafado el contorno de los componentes y su código, así como indicaciones auxiliares.

Su diseño se realizará preferiblemente por ordenador con medios de CAD (computer aided design). Se podrá encargar a una empresa especializada (Servocircuitos, por ejemplo).

El cristal de cuarzo es de fabricación por encargo a fin de obtener la frecuencia exacta deseada.

Las especificaciones de los componentes citados se entiende que son las mínimas que deben cumplir, y se deberá comprobar cada uno de los componentes antes de su montaje para verificar que cumplen lo requerido. Las resistencias se medirán con un ohmetro digital de una precisión mejor que el 0,25%. Los condensadores se medirán con un capacitmetro de precisión mejor que el 1%.

Los circuitos integrados no se someterán a prueba previa al montaje. Los diodos zener se probarán mediante una fuente de alimentación de 15V y una resistencia en serie con el diodo de 2k $\Omega$ . La tensión medida en sus bornos deberá estar dentro de

la tolerancia fijada. Los diodos led se probarán de igual manera, pero sin medir su tensión (sólo se comprobará que emiten luz). Los transistores no será necesario comprobarlos inicialmente.

El transformador de alimentación se probará conectándolo a la red en vacío. Su tensión a la salida deberá ser de  $7.5V_{RMS} \pm 10\%$ .

Se comprobarán asimismo todos los interruptores, conmutadores y fusibles.

En el ANEXO del pliego de condiciones se adjunta fotocopias de hojas de características de los circuitos integrados empleados.

### 3. CONDICIONES DE MONTAJE

El hardware del sistema deberá ir montado en el interior de una caja metálica adecuada, mecanizada y serigrafiada. La caja deberá tener unas asas que permitan el transporte del equipo de forma cómoda. También tendrá unas patitas de goma de al menos 1 cm. de altura para permitir la ventilación de los circuitos, a través de unas rejillas situadas en el panel inferior de la caja. Además tendrá rejillas la parte posterior de la caja.

Los componentes irán montados en la o las placas de circuito impreso, soldados con estaño al 60%. El soldador a emplear será de 15W o 20W.

Se deberá cuidar especialmente el cableado desde los terminales de entrada al circuito de entrada. Deberá emplearse cable apantallado de dos hilos y malla. Las mallas se conectarán a tierra en un sólo punto, situado a la entrada al circuito impreso, para evitar corrientes parásitas.

El chasis y todas las partes metálicas de la caja se conectarán a tierra en un sólo punto.

Asimismo se conectarán a tierra todas las carcassas metálicas de los interruptores, conmutadores, y el blindaje del transformador de alimentación.

Se procurará que la longitud de los cables no apantallados, entre la placa de circuito impreso e interruptores, conmutadores, diodos led, etc., sea lo menor posible. Cuando sean

de longitud superior a 5cm. deberán trenzarse entre si.

El transistor de potencia de la fuente de alimentación podrá situarse fuera de la placa de circuito impreso, junto a su disipador, que irá firmemente sujeto al chasis. El transistor no deberá hacer contacto eléctrico con su disipador. Para ello se le dotará de una aislante de mica.

Se pondrá una capa de silicona al transistor para su mejor conductividad térmica al disipador.

El transformador irá también firmemente sujeto al chasis. El condensador de filtro de alimentación se sujetará mediante bridas al chasis. Su conexionado se hará con cable de imm de Ø, al igual que el cable de salida de la fuente de alimentación.

#### 4. CONDICIONES DE AJUSTE Y PRUEBAS

Antes de probar el sistema es necesario realizar una serie de ajustes.

Para estos ajustes será necesario el siguiente instrumental:

- Fuente de alimentación variable 0-15V.
- Generador sinusoidal de hasta 20kHz.
- Multímetro digital.
- Osciloscopio de hasta 20MHz.
- Frecuencímetro digital de hasta 20MHz.

Es de gran utilidad el disponer de un sistema de desarrollo con emulador para el Z8002B, especialmente para el ajuste del convertidor A/D y para la comprobación de memorias. Se puede sustituir su uso por el de una sonda lógica para el ajuste del convertidor A/D.

##### 4.1 Prueba de la fuente de alimentación

Antes de conectar la fuente de alimentación al resto del sistema, es conveniente comprobar su correcto funcionamiento.

Conéctese la red al primario del transformador, estando la fuente sin carga alguna. Mídase con voltímetro digital entre TP22 y tierra el valor eficaz de tensión. Deberá indicar  $7.5V_{rms} \pm 10\%$ . Hagan lo mismo en TP23. Si algo falla, compruébese el transformador.

Mídase la tensión en TP24. Deberá ser de  $10.6V \pm 10\%$ .

Midase la tensión en TP25. Deberá ser de  $-10.4V \pm 10\%$ .

Midase la tensión en TP26. Deberá indicar  $5V \pm 5\%$ .

Midase la tensión en TP27. Deberá indicar  $-5V \pm 5\%$ .

Todas las tensiones anteriores están referenciadas a tierra (0V).

Conéctese entre la salida +5V y 0V una resistencia de  $2\Omega/25W$ . El valor de tensión en TP26 no deberá bajar de 4.8V.

Conéctese entre la salida -5V y 0V una resistencia de  $20\Omega/1W$ . El valor de tensión en TP26 no deberá subir de -4.8V.

Desconéctese la red y conéctese la fuente al resto del sistema.

#### 4.2 Ajuste del selector de nivel

Conéctese el voltímetro digital entre TP1 y 0v (ver plano 1).

Selecciónese con el conmutador de nivel de entrada la posición de 10V.

Ajustese la fuente de alimentación a 10V y conéctese el + a la entrada + del sistema, y el - a la entrada TIERRA del sistema. Ajústese R83 hasta obtener en TP1 una lectura de 10mV. Lácrese el potenciómetro R83.

El mismo proceso se seguirá seleccionando la posición de 1V, y con la fuente de alimentación proporcionando 1V. Ajustese R92 hasta obtener en TP1 10mV, y lácrese después.

Si la fuente no es capaz de suministrar 100mV estabilizados, conéctese un atenuador a su salida, hasta obtenerlos, midiéndose ese valor con la fuente conectada al sistema. Procédase al ajuste retocando R81. Lácrese una vez finalizado.

Un proceso dual se seguirá para el ajuste de las entradas negativas. Se conectará la fuente con el + a TIERRA y el - a la entrada negativa. Ajustese a 10mV en TP2 tocando R86 para 10V, R85 para 1V y R84 para 100mV. Lácrese los tres potenciómetros una vez ajustados.

#### 4.3 Ajuste de la etapa de filtros

Abránse los puentes 1, 2, 3, 4, 5 y 6 de la unidad de filtros. Inyéctese una señal sinusoidal de baja frecuencia (unos 100Hz) y 0.1V de pico y midase entre TP6 y tierra con un voltímetro digital. Ajustese R31 hasta que la ganancia sea de 1.82. Inyéctese una señal sinusoidal de 16036Hz y 0.1V<sub>pico</sub> y midase la ganancia. Deberá ser un punto de ganancia máxima e igual a 1.92 veces el valor de baja frecuencia. Retóquese R31 si es necesario.

Sigase idéntico proceso para el ajuste de R87, inyectando señal en el puente 3 y leyendo en puente 5. La ganancia a baja frecuencia será de 2.84 y a la frecuencia de 20770Hz, 6.26 veces ese valor.

Para ajustar el filtro de 5kHz se sigue el mismo proceso,

pero con frecuencias cuatro veces menores. Las ganancias son las mismas que en sus etapas equivalentes. (Véase plano 2).

Por último colóquense todos los puentes mencionados.

#### 4.4 Ajuste del convertidor A/D

Para efectuar este ajuste es de gran utilidad disponer de un sistema de desarrollo. Si no es así, el ajuste deberá hacerse con una sonda lógica conectada a los 8 bits más significativos del bus de datos y con una línea de validación conectada a TP15.

Se supondrá que se dispone de un sistema de desarrollo TEKTRONIX 8550 con emulador para Z8002.

Se pondrá el sistema en modo 1 de emulación (mapa de memoria compartido por prototipo y memoria del sistema de desarrollo). Se mapeará la memoria de forma que las direcciones de 4000H a 4FFFH sean del prototipo, y el resto, del sistema de desarrollo. Se cargará un programa que lea en un bucle la salida del convertidor A/D, y lo escriba en un registro, y se pondrá un breakpoint en esa instrucción. Se ejecutará el programa de forma que no se pare el programa en el breakpoint, sino que sólo escriba el contenido los registros. Así es posible visualizar la salida del convertidor que funciona en modo libre.

Con la sonda lógica el proceso será el mismo, observando los diodos LED de ésta.

Primero se ajustará el offset, y luego la ganancia. El



proceso a seguir será:

1) Abrase el puente 7 y póngase TP10 a -2.495V. Ajustese R47 hasta que el bit menos significativo oscile entre 0 y 1 y todos los demás sean cero (recuerda que se trata del byte alto). Se permitirá que aparezcan eventualmente y debido al ruido, valores distintos.

2) Póngase TP10 a +2.485V y ajústese R50 hasta que el bit menos significativo (bit 8) oscile entre 0 y 1, y todos los demás bits estén a 1.

Repítase los pasos 1 y el 2 iterativamente hasta conseguirlo.

Conéctese de nuevo el puente 7.

#### 4.5 Ajuste del convertidor D/A

Para este ajuste también es de utilidad el disponer del sistema de desarrollo anteriormente mencionado, aunque se puede suplir su uso por el siguiente método:

Conéctese la salida al voltímetro digital. Póngase los pines 11, 10, 9, 8, 7, 6, 5 y 4 de B7 a 1 lógico y ajústese R58 hasta obtener una lectura de 1V de continua.

## 5. INSTRUCCIONES DE MANEJO

El sistema necesita una tensión de red de 220V/50Hz, es decir, la normal en España.

A la salida OSCILOGO deberá conectarse un extremo del cable BNC-BNC. El otro irá a la entrada del eje Y de un osciloscopio convencional.

Conéctese la salida TRIGGER a la entrada correspondiente del osciloscopio y selecciónese sincronismo EXT.

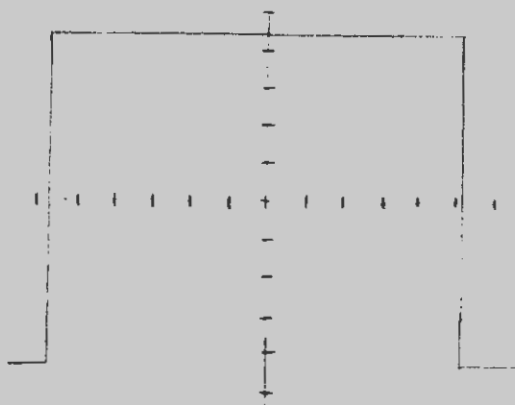
Póngase en funcionamiento el osciloscopio. Ajústese la posición vertical de forma que con 0V se esté en la parte inferior de la pantalla.

Selecciónese la sensibilidad de 0.1V/div, o una superior, si no hubiese ésta.

Selecciónese la velocidad de barrido de 0.2mseg/cm.

Conéctese la alimentación al sistema.

Selecciónese la posición CAL. Se deberá ver en la pantalla del osciloscopio una señal del tipo:



Ajústese la sensibilidad vertical, descalibrando el osciloscopio si es necesario, hasta que el nivel alto llegue a 10 cm. por encima del nivel bajo.

Ajústese la sensibilidad horizontal descalibrando el osciloscopio si es necesario hasta que el nivel alto de la señal dure desde la primera marca de la retícula hasta la última (10cm).

El osciloscopio ya está preparado. El indicador de exceso de ruido deberá estar apagado. Si está encendido indica que el ambiente es ruidoso en exceso.

Conéctese el cable BNC-bananas a las entradas ENT + y - del sistema, y seleccióñese el nivel de entrada deseado. Si no se conoce, se deberá comenzar con 10V.

Si se enciende alguno de los indicadores de saturación, pásese a una banda superior. Seleccióñese también el ancho de banda de estudio deseado a 20kHz o 5kHz.

El conmutador de congelación deberá estar en posición normal.

Elíjase la magnitud de salida deseada:

Lineal o dB y  $V_{rms}$  o Watios con los conmutadores marcados con esas palabras. Se encenderán los pilotos correspondientes.

Las escalas verticales serán:

$V_{rms}$  --> 1/10 del valor fondo de escala, por cm.

Watios --> 1/10 del valor fondo de escala, por cm.

dB --> 3dB/cm.

Los valores fondo de escala para las 4 posiciones del selector de nivel son:

<u>V<sub>nivel</sub></u>	<u>W(sobre 1Ω)</u>	<u>W(sobre 600Ω)</u>	<u>dBm(pos. 600Ω)</u>
10V	50W	83.33mW	+19.21dBm
1V	500mW	833.33μW	-0.79dBm
100mV	5mW	8.33μW	-20.79dBm
100mV	50uW	83.33nW	-40.79dBm

## 6. CONDICIONES AMBIENTALES

El sistema deberá cumplir las siguientes condiciones ambientales:

- El margen de temperaturas de funcionamiento es de 0°C a 50°C.

- El margen de temperaturas de almacenamiento es de -20°C a 100°C.

- El margen de humedad relativa del aire de funcionamiento es del 20% al 80%.

- El margen de funcionamiento de vibraciones es de 0 a 1 G para frecuencias de hasta 50Hz.

- La fiabilidad es tal que el tiempo medio entre fallos (MTBF) es de 10.000 horas.

- El tiempo medio de reparación (MTTR) es de 24 horas.

## ANEXO

# Central Processing Unit



### Features

- Regular, easy-to-use architecture
- Instruction set more powerful than many minicomputers
- Directly addresses 8M bytes
- Eight user-selectable addressing modes
- Seven data types that range from bits to 32-bit long words and word strings
- System and Normal operating modes
- Separate code, data and stack spaces
- Sophisticated interrupt structure
- Resource-sharing capabilities for multi-processing systems
- Multi-programming support
- Strong compiler support
- Memory management and protection provided by Z8010 Memory Management Unit
- 32-bit operations, including signed multiply and divide
- Z-BUS compatible
- 4,6 and 10 MHz clock rate

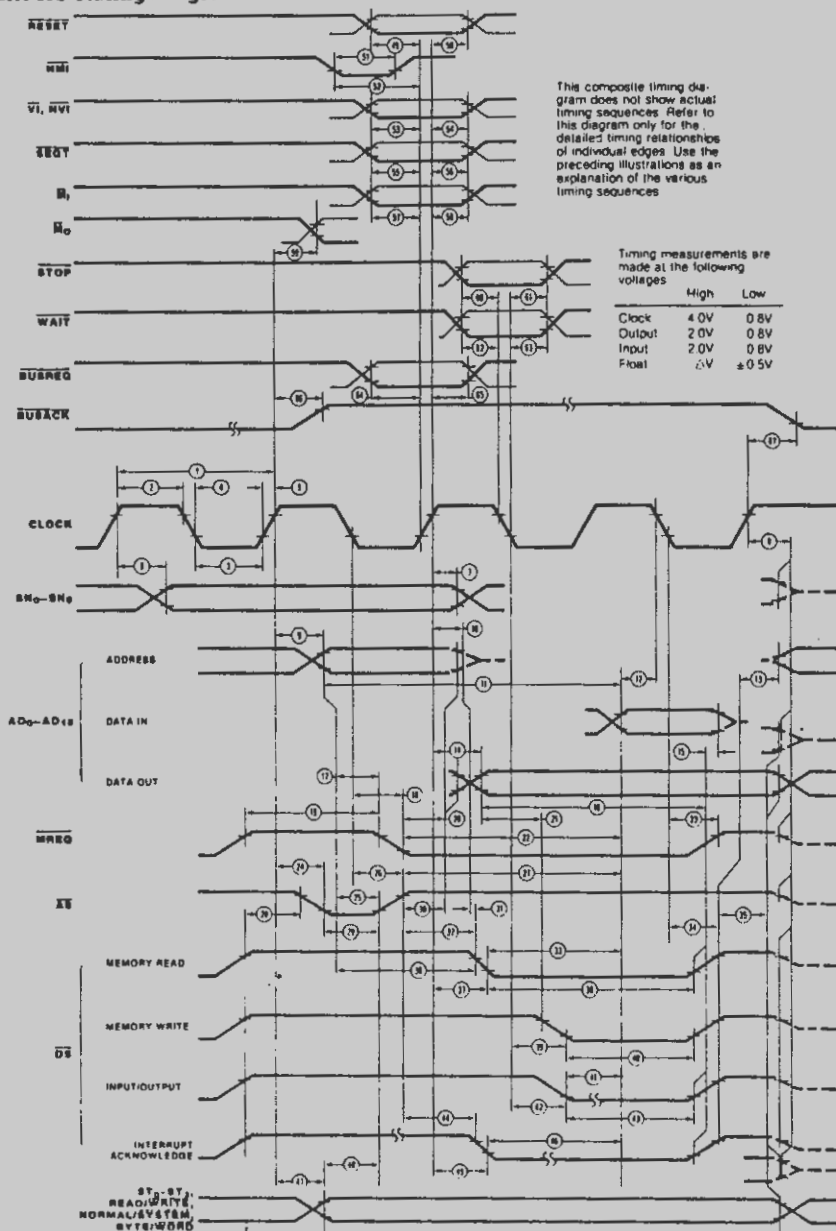
### General Description

The Z8000 is an advanced high-end 16-bit microprocessor that spans a wide variety of applications ranging from simple stand-alone computers to complex parallel-processing systems. Essentially, a monolithic minicom-

puter central processing unit, the Z8000 CPU is characterized by an instruction set more powerful than many minicomputers; resources abundant in registers, data types, addressing modes and addressing range; and a regular



# Composite AC Timing Diagram





## AC Characteristics

No.	Symbol	Parameter	Z8001/Z8002		Z8001A/Z8002A		Z8001B/Z8002B	
			Min (ns)	Max (ns)	Min (ns)	Max (ns)	Min (ns)	Max (ns)
1	T <sub>c</sub>	Clock Cycle Time	250	2000	165	2000	100	2000
2	T <sub>wCh</sub>	Clock Width (High)	105	2000	70	2000	40	
3	T <sub>wCl</sub>	Clock Width (Low)	105	2000	70	2000	40	
4	T <sub>fC</sub>	Clock Fall Time		20		10		10
5	T <sub>rC</sub>	Clock Rise Time		20		15		10
6	T <sub>dC</sub> (SN <sub>v</sub> )	Clock ↑ to Segment Number Valid (50 pF load)		110		80		60
7	T <sub>dC</sub> (SN <sub>n</sub> )	Clock ↑ to Segment Number Not Valid	20		10		5	
8	T <sub>dC</sub> (B <sub>z</sub> )	Clock ↑ to Bus Float		65		55		40
9	T <sub>dC</sub> (A)	Clock ↑ to Address Valid		100		75		50
10	T <sub>dC</sub> (A <sub>z</sub> )	Clock ↑ to Address Float		65		55		40
11	T <sub>dA</sub> (DR)	Address Valid to Read Data Required Valid		475		305*		180
12	T <sub>sDR</sub> (C)	Read Data to Clock ↓ Setup Time	30		20		10	
13	T <sub>dDS</sub> (A)	$\overline{DS}$ ↑ to Address Active	80		45		20*	
14	T <sub>dC</sub> (DW)	Clock ↑ to Write Data Valid		100		75		50
15	T <sub>hDR</sub> (DS)	Read Data to $\overline{DS}$ ↑ Hold Time	0		0		0	
16	T <sub>dDW</sub> (DS)	Write Data Valid to $\overline{DS}$ ↑ Delay	295*		195*		110*	
17	T <sub>dA</sub> (WR)	Address Valid to $\overline{MREQ}$ ↓ Delay	(55)*		(35)*		20*	
18	T <sub>dC</sub> (MR)	Clock ↓ to $\overline{MREQ}$ ↓ Delay		80		70		40
19	T <sub>wMRh</sub>	$\overline{MREQ}$ Width (High)	210*		135*		80*	
20	T <sub>dMR</sub> (A)	$\overline{MREQ}$ ↓ to Address Not Active	70*		35*		20*	
21	T <sub>dDW</sub> (DSW)	Write Data Valid to $\overline{DS}$ ↓ (Write) Delay	55*		35*		15*	
22	T <sub>dMR</sub> (DR)	$\overline{MREQ}$ ↓ to Read Data Required Valid	375		230		140*	
23	T <sub>dC</sub> (MR)	Clock ↓ $\overline{MREQ}$ ↑ Delay		80		60		45
24	T <sub>dC</sub> (AS)	Clock ↑ to $\overline{AS}$ ↓ Delay		80		60		40
25	T <sub>dA</sub> (AS)	Address Valid to $\overline{AS}$ ↑ Delay	55*		35*		20*	
26	T <sub>dC</sub> (AS <sub>r</sub> )	Clock ↓ to $\overline{AS}$ ↑ Delay		90		80		40
27	T <sub>dA</sub> (DR)	$\overline{AS}$ ↑ to Read Data Required Valid	360		220		140*	
28	T <sub>dDS</sub> (AS)	$\overline{DS}$ ↑ to $\overline{AS}$ ↓ Delay	70*		35*		15*	
29	T <sub>wAS</sub>	$\overline{AS}$ Width (Low)	85*		55*		30*	
30	T <sub>dAS</sub> (A)	$\overline{AS}$ ↑ to Address Not Active Delay	70		45		20*	
31	T <sub>dAz</sub> (DSR)	Address Float to $\overline{DS}$ (Read) ↓ Delay	0		0		0	
32	T <sub>dAS</sub> (DSR)	$\overline{AS}$ ↑ to $\overline{DS}$ (Read) ↓ Delay	80		55		30*	
33	T <sub>dDSR</sub> (DR)	$\overline{DS}$ (Read) ↓ to Read Data Required Valid	205		130		70*	
34	T <sub>dC</sub> (DS <sub>r</sub> )	Clock ↓ to $\overline{DS}$ ↑ Delay		70		65		45
35	T <sub>dDS</sub> (DW)	$\overline{DS}$ ↑ to Write Data Not Valid	75*		45*		25*	
36	T <sub>dA</sub> (DSR)	Address Valid to $\overline{DS}$ (Read) ↓ Delay	180*		110*		65*	
37	T <sub>dC</sub> (DSR)	Clock ↑ to $\overline{DS}$ (Read) ↓ Delay		120		85		60
38	T <sub>wDSR</sub>	$\overline{DS}$ (Read) Width (Low)	275*		185*		110*	
39	T <sub>dC</sub> (DSW)	Clock ↓ to $\overline{DS}$ (Write) ↓ Delay		95		80		60
40	T <sub>wDSW</sub>	$\overline{DS}$ (Write) Width (Low)	185*		110		75*	
41	T <sub>dDSI</sub> (DR)	$\overline{DS}$ (I/O) ↓ to Read Data Required Valid	330		210		120*	
42	T <sub>dC</sub> (DSI)	Clock ↓ to $\overline{DS}$ (I/O) ↓ Delay		120		90		60
43	T <sub>wDS</sub>	$\overline{DS}$ (I/O) Width (Low)	410*		255*		160*	

\* Clock cycle table dependent. See table on next page.





## AC Characteristics (Continued)

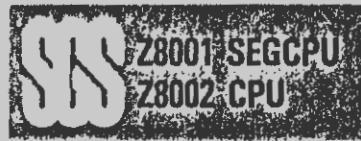
No.	Symbol	Parameter	Z8001/Z8002		Z8001A/Z8002A		Z8001B/Z8002B	
			Min (ns)	Max (ns)	Min (ns)	Max (ns)	Min (ns)	Max (ns)
44	TdAS(DSA)	AS ↑ to $\overline{DS}$ (Acknowledge) ↓ Delay	1065*		690*		410*	
45	TdC(DSA)	Clock ↑ to $\overline{DS}$ (Acknowledge) ↓ Delay		120		85		65
46	TdDSA(DR)	$\overline{DS}$ (Acknowledge) ↓ to Read Data Required Delay	455		295		165*	
47	TdC(S)	Clock ↑ to Status Valid Delay		110		85		60
48	TdS(AS)	Status Valid to AS ↑ Delay	50		30*		10*	
49	TsR(C)	RESET to Clock ↑ Setup Time	180		70		50	
50	ThR(C)	RESET to Clock ↑ Hold Time	0		0		0	
51	TwNMI	NMI Width (Low)	100		70		50	
52	TsNMI(C)	NMI to Clock ↑ Setup Time	140		70		50	
53	TsVI(C)	VI, NVI to Clock ↑ Setup Time	110		50		40	
54	ThVI(C)	VI, NVI to Clock ↑ Hold Time	20		20		10	
55	TsSGT(C)	SEGT to Clock ↑ Setup Time	70		55		40	
56	ThSGT(C)	SEGT to Clock ↑ Hold Time	0		0		0	
57	TsMI(C)	M $\overline{I}$ to Clock ↑ Setup Time	180		140		80	
58	ThMI(C)	M $\overline{I}$ to Clock ↑ Hold Time	0		0		0	
59	TdC(MD)	Clock ↑ to $\overline{MD}$ Delay		120		85		70
60	TsSTP(C)	STOP to Clock ↑ Setup Time	140		100		50	
61	ThSTP(C)	STOP to Clock ↑ Hold Time	0		0		0	
62	TsW(C)	WAIT to Clock ↑ Setup Time	50		30		20	
63	ThW(C)	WAIT to Clock ↑ Hold Time	10		10		5	
64	TsBRO(C)	BUSREQ to Clock ↑ Setup Time	90		80		60	
65	ThBRO(C)	BUSREQ to Clock ↑ Hold Time	10		10		5	
66	TdC(BAKr)	Clock ↑ to $\overline{BUSACK}$ ↑ Delay		100		75		60
67	TdC(BAKl)	Clock ↑ to $\overline{BUSACK}$ ↓ Delay		100		75		60
68	TwA	Address Valid Width	150*		95*		50*	
69	TdDS(S)	$\overline{DS}$ ↑ to STATUS Not Valid	80*		55*		30*	

\* Clock cycle table dependent. See table on next page.



## Clock-Cycle-Time-Dependent Characteristics

Number	Symbol	Z8001/Z8002 Equation	Z8001A/Z8002A Equation	Z8001B/Z8002B Equation
11	TdA(DR)	$2TcC + TwCh - 130 \text{ ns}$	$2TcC + TwCh - 95 \text{ ns}$	$2TcC + TwCh - 60 \text{ ns}$
13	TdDS(A)	$TwCl - 25 \text{ ns}$	$TwCl - 25 \text{ ns}$	$TwCl - 20 \text{ ns}$
16	TdDW(DS)	$TcC + TwCh - 60 \text{ ns}$	$TcC + TwCh - 40 \text{ ns}$	$TcC + TwCh - 30 \text{ ns}$
17	TdA(MR)	$TwCh - 50 \text{ ns}$	$TwCh - 35 \text{ ns}$	$TwCh - 20 \text{ ns}$
19	TwMRh	$TcC - 40 \text{ ns}$	$TcC - 30 \text{ ns}$	$TcC - 20 \text{ ns}$
20	TdMR(A)	$TwCl - 35 \text{ ns}$	$TwCl - 35 \text{ ns}$	$TwCl - 20 \text{ ns}$
21	TdDW(DSW)	$TwCh - 50 \text{ ns}$	$TwCh - 35 \text{ ns}$	$TwCh - 25 \text{ ns}$
22	TdMR(DR)	$2TcC - 130 \text{ ns}$	$2TcC - 100 \text{ ns}$	$2TcC - 60 \text{ ns}$
25	TdA(AS)	$TwCh - 50 \text{ ns}$	$TwCh - 35 \text{ ns}$	$TwCh - 20 \text{ ns}$
27	TdAS(DR)	$2TcC - 140 \text{ ns}$	$2TcC - 110 \text{ ns}$	$2TcC - 60 \text{ ns}$
28	TdDS(AS)	$TwCl - 35 \text{ ns}$	$TwCl - 35 \text{ ns}$	$TwCl - 25 \text{ ns}$
29	TwAS	$TwCh - 20 \text{ ns}$	$TwCh - 15 \text{ ns}$	$TwCh - 10 \text{ ns}$
30	TdAS(A)	$TwCl - 35 \text{ ns}$	$TwCl - 25 \text{ ns}$	$TwCl - 20 \text{ ns}$
32	TdAS(DSR)	$TwCl - 25 \text{ ns}$	$TwCl - 15 \text{ ns}$	$TwCl - 10 \text{ ns}$
33	TdDSR(DR)	$TcC + TwCh - 150 \text{ ns}$	$TcC + TwCh - 105 \text{ ns}$	$TcC + TwCh - 70 \text{ ns}$
35	TdDS(DW)	$TwCl - 30 \text{ ns}$	$TwCl - 25 \text{ ns}$	$TwCl - 15 \text{ ns}$
36	TdA(DSR)	$TcC - 70 \text{ ns}$	$TcC - 55 \text{ ns}$	$TcC - 35 \text{ ns}$
38	TwDSR	$TcC + TwCh - 80 \text{ ns}$	$TcC + TwCh - 50 \text{ ns}$	$TcC + TwCh - 30 \text{ ns}$
40	TwDSW	$TcC - 65 \text{ ns}$	$TcC - 55 \text{ ns}$	$TcC - 25 \text{ ns}$
41	TdDSI(DR)	$2TcC - 170 \text{ ns}$	$2TcC - 120 \text{ ns}$	$2TcC - 80 \text{ ns}$
43	TwDS	$2TcC - 90 \text{ ns}$	$2TcC - 75 \text{ ns}$	$2TcC - 40 \text{ ns}$
44	TdAS(DSA)	$4TcC + TwCl - 40 \text{ ns}$	$4TcC + TwCl - 40 \text{ ns}$	$4TcC + TwCl - 30 \text{ ns}$
46	TdDSA(DR)	$2TcC + TwCh - 150 \text{ ns}$	$2TcC + TwCh - 105 \text{ ns}$	$2TcC + TwCh - 75 \text{ ns}$
48	TdS(AS)	$TwCh - 55 \text{ ns}$	$TwCh - 40 \text{ ns}$	$TwCh - 30 \text{ ns}$
68	TwA	$TcC - 90 \text{ ns}$	$TcC - 70 \text{ ns}$	$TcC - 50 \text{ ns}$
69	TdDS(S)	$TwCl - 25 \text{ ns}$	$TwCl - 15 \text{ ns}$	$TwCl - 10 \text{ ns}$



### Absolute Maximum Ratings

Voltages on all inputs and outputs with respect to GND. . . . . -0.3 V to +7.0 V  
 Operating Ambient Temperature. . . . . 0°C to +70°C  
 Storage Temperature. . . . . -65°C to +150°C

Stresses greater than those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; operation of the device at any condition above those indicated in the operational sections of these specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

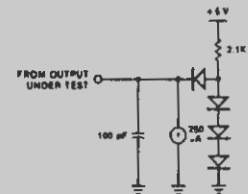
### Test Conditions

The characteristics below apply for the following test conditions, unless otherwise noted. All voltages are referenced to GND (0 V). Positive current flows into the referenced pin. Available operating temperature ranges are:

- 0°C to +70°C,  
+4.75 V  $\leq$   $V_{CC}$   $\leq$  +5.25 V
- -40°C to +85°C,  
+4.75 V  $\leq$   $V_{CC}$   $\leq$  +5.25 V
- -55°C to +125°C,  
+4.5 V  $\leq$   $V_{CC}$   $\leq$  +5.5 V

The product number for each operating

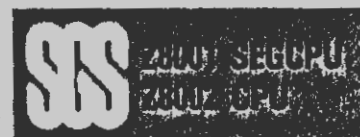
temperature range may be found in the ordering information section.



All ac parameters assume a load capacitance of 100 pF max, except for parameter 6 (50 pF max). Timing references between two output signals assume a load difference of 50 pF max.

### DC Characteristics

Symbol	Parameter	Min	Max	Unit	Condition
$V_{CH}$	Clock Input High Voltage	$V_{CC}-0.4$	$V_{CC}+0.3$	V	Driven by External Clock Generator
$V_{CL}$	Clock Input Low Voltage	-0.3	0.45	V	Driven by External Clock Generator
$V_{IH}$	Input High Voltage	2.0	$V_{CC}+0.3$	V	
$V_{IH\ RESET}$	Input High Voltage on RESET pin	2.4	$V_{CC}+0.3$	V	
$V_{IL}$	Input Low Voltage	-0.3	0.8	V	
$V_{OH}$	Output High Voltage	2.4		V	$I_{OH} = -250\ \mu A$
$V_{OL}$	Output Low Voltage		0.4	V	$I_{OL} = +2.0\ mA$
$I_{IL}$	Input Leakage		$\pm 10$	$\mu A$	$0.4 \leq V_{IN} \leq +2.4\ V$
$I_{IL\ SEGT}$	Input Leakage on SEGT pin	-100	100	$\mu A$	
$I_{OL}$	Output Leakage		$\pm 10$	$\mu A$	$0.4 \leq V_{IN} \leq +2.4\ V$
$I_{CC}$	$V_{CC}$ Supply Current		300	mA	



## Ordering Information

Type	Package	Temp	Clock	Description
Z8001 SEG CPU Z8001B1	Plastic 48 pin	0/ + 70°C	4MHz	Z8000 Segmented Central processing unit
	B6 Plastic 48 pin	-40/ + 85°C		
	D1 Ceramic 48 pin	0/ + 70°C		
	D2 Ceramic 48 pin	-55/ + 125°C		
Z8001A B1	D6 Ceramic 48 pin	-40/ + 85°C	6MHz	
	Plastic 48 pin	0/ + 70°C		
	B6 Plastic 48 pin	-40/ + 85°C		
	D1 Ceramic 48 pin	0/ + 70°C		
Z8001B B1	D6 Ceramic 48 pin	-40/ + 85°C	10MHz	
	Plastic 48 pin	0/ + 70°C		
	B6 Plastic 48 pin	-40/ + 85°C		
	D1 Ceramic 48 pin	0/ + 70°C		
Z8002 CPU Z8002 B1	D6 Ceramic 40 pin	-40/ + 85°C	4MHz	Z8000 Central processing unit
	Plastic 40 pin	0/ + 70°C		
	B6 Plastic 40 pin	-40/ + 85°C		
	D1 Ceramic 40 pin	0/ + 70°C		
Z8002A B1	D2 Ceramic 40 pin	-55/ + 125°C	6MHz	
	D6 Ceramic 40 pin	-40/ + 85°C		
	Plastic 40 pin	0/ + 70°C		
	B6 Plastic 40 pin	-40/ + 85°C		
Z8002B B1	D1 Ceramic 40 pin	0/ + 70°C	10MHz	
	D2 Ceramic 40 pin	-55/ + 125°C		
	D6 Ceramic 40 pin	-40/ + 85°C		
	Plastic 40 pin	0/ + 70°C		



A-D CONVERTER  
**ZN447**  
**ZN448**  
**ZN449**

## ADVANCE PRODUCT INFORMATION

### 8-Bit uP - Compatible A to D Converters

#### FEATURES

- Easy interfacing to microprocessors or operates as a 'stand alone' converter
- Fast 9  $\mu$ s conversion time guaranteed
- Choice of linearity:  $\frac{1}{2}$  LSB - ZN447,  $\frac{1}{4}$  LSB - ZN448, 1 LSB - ZN449
- On-chip clock
- Choice of on-chip or external reference voltage
- Unipolar or bipolar input ranges
- Choice of commercial or military temperature range

#### DESCRIPTION

The ZN447, ZN448 and ZN449 are 8-bit, successive approximation A to D converters designed for easy interfacing to microprocessors. All active circuitry is contained on-chip including a clock generator and stable 2.5V bandgap reference.

Only a reference resistor and capacitor, clock resistor and capacitor and input resistors are required for operation with either unipolar or bipolar input voltages. The ZN447, -8 and -9 are the most complete 8 bit monolithic ADCs available.

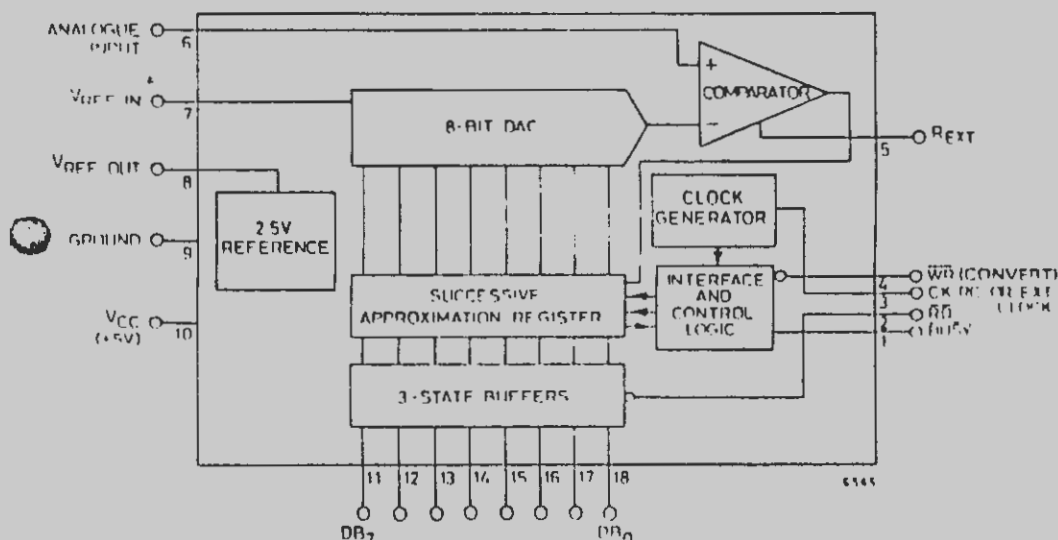


Fig 1 SYSTEM DIAGRAM

## ZN447/8/9

### ABSOLUTE MAXIMUM RATINGS

Supply Voltage, $V_{CC}$ .....	+7.0 volts
Max. Voltage, Logic and $V_{REF}$ Inputs.....	$V_{CC}$
Operating Temperature Range.....	0°C to +70°C ('E' package) -55°C to +125°C ('J' package)
Storage Temperature Range.....	-55°C to +125°C

ELECTRICAL CHARACTERISTICS ( $V_{CC} = +5V$ , $T_{amb} = 25^{\circ}C$ , $f_{clk} = 900kHz$ , unless otherwise stated).					
Parameter	Min.	Typ.	Max.	Units	Conditions
<b>ZN447</b>					
Linearity Error	—	—	$\pm 1/2$	LSB	Moulded 'E' package Ceramic 'J' package $V_{REF} = 2.560V$
Differential Linearity Error	—	—	$\pm 1/2$	LSB	
Zero Transition (00000000 $\rightarrow$ 00000001)	13.5	15	16.5	mV	
Full-scale Transition (11111110 $\rightarrow$ 11111111)	15.0	16.5	18.0	mV	
	2.548	2.550	2.552	V	
<b>ZN448</b>					
Linearity Error	—	—	$\pm 1/2$	LSB	Moulded 'E' package Ceramic 'J' package $V_{REF} = 2.560V$
Differential Linearity Error	—	—	$\pm 1$	LSB	
Zero Transition (00000000 $\rightarrow$ 00000001)	12.0	15.0	18.0	mV	
Full-scale Transition (11111110 $\rightarrow$ 11111111)	13.0	16.5	20.0	mV	
	2.545	2.550	2.555	V	
<b>ZN449</b>					
Linearity Error	—	—	$\pm 1$	LSB	Moulded 'E' package Ceramic 'J' package $V_{REF} = 2.560V$
Differential Linearity Error	—	—	$\pm 2$	LSB	
Zero Transition (00000000 $\rightarrow$ 00000001)	10.0	15.0	20.0	mV	
Full-scale Transition (11111110 $\rightarrow$ 11111111)	11.5	16.5	21.5	mV	
	2.542	2.550	2.558	V	
<b>ALL TYPES</b>					
Resolution	8	—	—	Bits	
Linearity Temperature Coefficient	—	$\pm 3.0$	—	ppm/ $^{\circ}C$	
Differential Linearity Temperature Coefficient	—	$\pm 6.0$	—	ppm/ $^{\circ}C$	
Full-scale Temperature Coefficient	—	$\pm 2.5$	—	ppm/ $^{\circ}C$	
Zero Temperature Coefficient	—	$\pm 8.0$	—	$\mu V/^{\circ}C$	
Reference Input Range	1	—	3	V	
Supply Voltage	4.5	5	5.5	V	
Supply Current	—	25	40	mA	
Power Consumption	—	125	—	mW	

## ZN447/8/9

ELECTRICAL CHARACTERISTICS ( $V_{CC} = +5V$ , $T_{amb} = 25^{\circ}C$ , $f_{clk} = 900kHz$ , unless otherwise stated).					
Parameter	Min.	Typ.	Max.	Units	Conditions
<b>COMPARATOR</b>					
Input Current	—	1	—	$\mu A$	$V_{IN} = +3V$ , $R_{EXT} = 82k$
Input Resistance	—	100	—		
Tail Current	25	65	150	$\mu A$	$V_{-} = -5V$
Negative Supply	-3	-5	-30	V	
Input Voltage	-0.5	—	+3.5	V	
<b>ON CHIP REFERENCE</b>					
Output Voltage ZN447	2.530	2.550	2.570	V	$R_{REF} = 390 \Omega$
ZN448	2.520	2.550	2.580		
ZN449	2.500	2.550	2.600		$C_{REF} = 4\mu F$
Slope Resistance	—	0.5	2	ohms	
$V_{REF}$ Temperature Coefficient	—	50	—	ppm/ $^{\circ}C$	
Reference Current	4	—	15	mA	
<b>CLOCK</b>					
On-chip Clock Frequency	—	—	1	MHz	
Clock Frequency Tempco	—	+0.5	—	%/ $^{\circ}C$	
Clock Resistor	—	—	2.0	kohms	
Maximum External Clock Frequency	—	0.9	1	MHz	
Clock Pulse Width	500	—	—	ns	
High Level Input Voltage $V_{IH}$	4.0	—	—	V	
Low Level Input Voltage $V_{IL}$	—	—	0.8	V	
High Level Input Current $I_{IH}$	—	—	800	$\mu A$	$V_{IN} = +4.0V$ , $V_{CC} = MAX$
Low Level Input Current $I_{IL}$	—	—	-500	$\mu A$	$V_{IN} = +0.8V$ , $V_{CC} = MAX$
<b>LOGIC (over operating temperature range)</b>					
<b>CONVERT INPUT</b>					
High Level Input Voltage $V_{IH}$	2	—	—	V	
Low Level Input Voltage $V_{IL}$	—	—	0.8	V	
High Level Input Current $I_{IH}$	—	300	—	$\mu A$	$V_{IN} = +2.4V$ , $V_{CC} = MAX$
Low Level Input Current $I_{IL}$	—	$\pm 10$	—	$\mu A$	$V_{IN} = +0.4V$ , $V_{CC} = MAX$
<b>RD INPUT</b>					
High Level Input Voltage $V_{IH}$	2.0	—	—	V	
Low Level Input Voltage $V_{IL}$	—	—	0.8	V	
High Level Input Current $I_{IH}$	—	-150	—	$\mu A$	$V_{IN} = +2.4V$ , $V_{CC} = MAX$
Low Level Input Current $I_{IL}$	—	-300	—	$\mu A$	$V_{IN} = +0.4V$ , $V_{CC} = MAX$



## ZN447/8/9

ELECTRICAL CHARACTERISTICS ( $V_{CC} = +5V$ , $T_{amb} = 25^{\circ}C$ , $f_{CLK} = 900kHz$ , unless otherwise stated)					
Parameter	Min.	Typ.	Max.	Units	Conditions
High Level Output Voltage $V_{OH}$	2.4	—	—	V	$I_{OH} = MAX, V_{CC} = MIN$ $I_{OL} = MAX, V_{CC} = MIN$
Low Level Output Voltage $V_{OL}$	—	—	0.4	V	
High Level Output Current $I_{OH}$	—	—	100	$\mu A$	
Low Level Output Current $I_{OL}$	—	—	16	mA	
Three-state Disabled	—	—	2	$\mu A$	$V_{OUT} = +2.0V$
Output Leakage	—	—	—	—	
Input Clamp Diode Voltage	—	—	1.5	V	
$\overline{RD}$ Input to Data Output Enable/Disable	—	180	250	ns	
Delay Times $T_{E1}$	180	210	260	ns	
$T_{E0}$	60	80	100	ns	
$T_{D1}$	80	110	140	ns	
$T_{D0}$	60	80	100	ns	
Convert Pulse Width $T_{WR}$	200	—	—	ns	
$\overline{WR}$ Input to $\overline{BUSY}$ Output	—	—	250	ns	
Propagation Delay $T_{BD}$	—	—	—	—	

## GENERAL CIRCUIT OPERATION

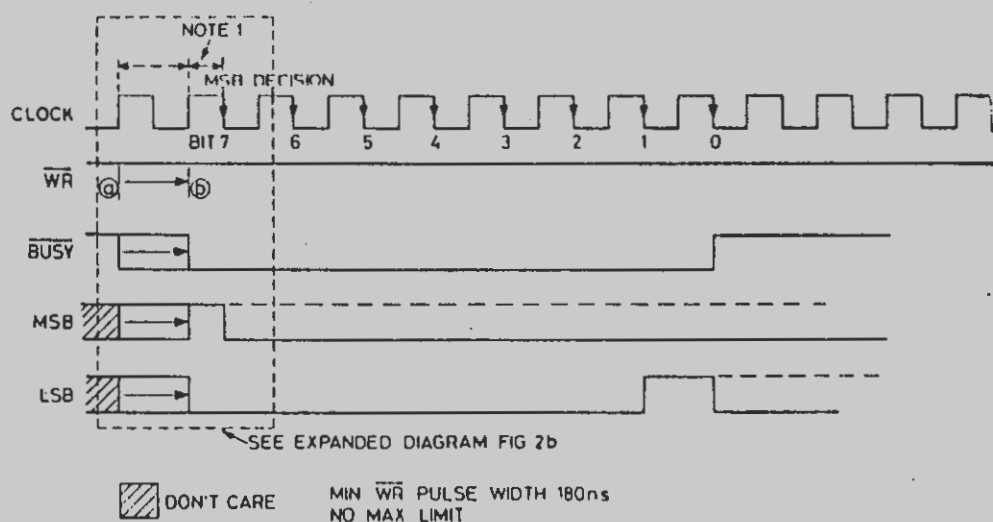
The ZN447 utilises the successive approximation technique. Upon receipt of a negative-going pulse at the  $\overline{WR}$  input the  $\overline{BUSY}$  output goes low, the MSB is set to 1 and all other bits are set to 0, which produces an output voltage of  $V_{REF/2}$  from the DAC. This is compared to the input voltage  $V_{IN}$ ; a decision is made on the next negative clock edge to reset the MSB to 0 if  $\frac{V_{REF}}{2} > V_{IN}$  or leave it set to 1 if  $\frac{V_{REF}}{2} \leq V_{IN}$ . Bit 2 is set to 1 on the same clock edge, producing an output from the DAC of  $\frac{V_{REF}}{4}$  or  $\frac{V_{REF}}{2} + \frac{V_{REF}}{4}$  depending on the state of the MSB. This voltage is compared to  $V_{IN}$  and on the next clock edge a decision is made regarding bit 2, whilst bit 3 is set to 1. This procedure is repeated for all eight bits. On the eighth negative clock edge  $\overline{BUSY}$  goes high indicating that the conversion is complete.

During a conversion the  $\overline{RD}$  input will normally be held high to keep the 3-state buffers in their high impedance state. Data can be read out by taking  $\overline{RD}$  low, thus enabling the 3-state outputs. Readout is non-destructive.

## ZN447/8/9

### CONVERSION TIMING

The ZN447 will accept a low-going CONVERT pulse, which can be completely asynchronous with respect to the clock, and will produce valid data between  $7\frac{1}{2}$  and  $8\frac{1}{2}$  clock pulses later depending on the relative timing of the clock and CONVERT signals. Timing diagrams for a conversion are shown in figure 2.



NOTE 1. GUARANTEED PERIOD OF  $\frac{1}{2}$  CLOCK CYCLE MIN  $1\frac{1}{2}$  CLOCK CYCLES MAX  
ALLOWS MSB TO SETTLE BEFORE MSB DECISION

FIG 2a

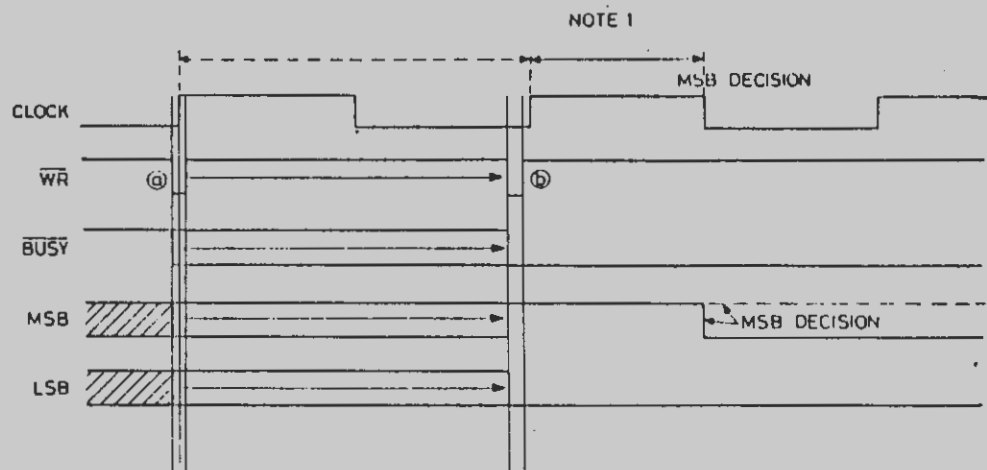


FIG 2b (EXPANDED INSERT)

Fig. 2 ZN447 TIMING DIAGRAMS

## ZN447/8/9

The converter is cleared by a low-going CONVERT pulse, which sets the most significant bit and resets all the other bits and the  $\overline{\text{BUSY}}$  flag. Whilst the CONVERT input is low the MSB output of the DAC is continuously compared with the analogue input, but otherwise the converter is inhibited.

After the CONVERT input goes high again the MSB decision is made and the successive approximation routine runs to completion.

The CONVERT pulse can be as short as 200ns; however the MSB must be allowed to settle for at least 550ns before the MSB decision is made. To ensure that this criterion is met even with short CONVERT pulses the converter waits, after the CONVERT input goes high, for a rising clock edge followed by a falling clock edge, the MSB decision being taken on the falling clock edge. This ensures that the MSB is allowed to settle for at least half a clock period, or 550ns at maximum clock frequency. The CONVERT input is not locked out during a conversion and if it is pulsed low at any time the conversion will restart.

The  $\overline{\text{BUSY}}$  output goes high at the end of a conversion indicating data valid. Note that if the three-state data outputs are enabled during a conversion then valid data will be available at the outputs on the rising edge of the  $\overline{\text{BUSY}}$  signal. If, however the outputs are not enabled until after  $\overline{\text{BUSY}}$  goes high then the data will be subject to the propagation delay of the three-state buffers. (See under DATA OUTPUTS).

### CONTINUOUS CONVERSION:

If a free running conversion is required then the converter can be made to cycle by inverting the  $\overline{\text{BUSY}}$  output and feeding it to the CONVERT input. To ensure that the converter starts reliably after power up an initial start pulse is required. This can be ensured by using a NOR gate instead of an inverter and feeding it with a positive going pulse which can be derived from a simple RC network that gives a single pulse when power is applied, as shown in figure 3a.

The ADC will complete a conversion on every eighth clock pulse, with the  $\overline{\text{BUSY}}$  output going high for a period determined by the propagation delay of the NOR gate, during which time the data can be stored in a latch. The time available for storing the data can be increased by inserting delays into the inverter path.

A timing diagram for the continuous conversion mode is shown in figure 3b.

## ZN447/8/9

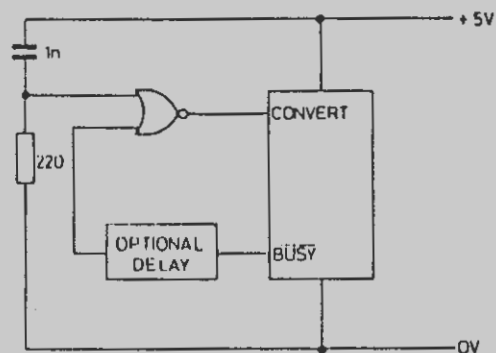
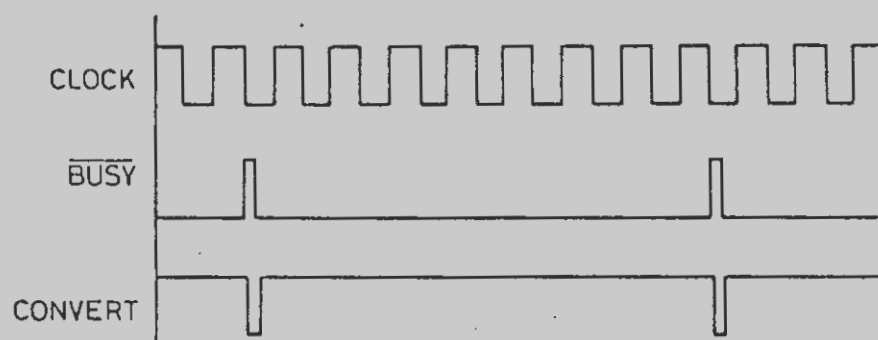


Fig. 3a CIRCUIT FOR CONTINUOUS CONVERSION



6547

Fig. 3b TIMING FOR CONTINUOUS CONVERSION

As the  $\overline{\text{BUSY}}$  output uses a passive pullup the rise time of this output depends on the RC time constant of the pullup resistor and load capacitance. In the continuous conversion mode the use of a 4k7 external pullup resistor is recommended to reduce the risetime and ensure that a logic 1 level is reached.

### DATA OUTPUTS

The data outputs are provided with 3 state buffers to allow connection to a common data bus. An equivalent circuit is shown in figure 4. Whilst the  $\overline{\text{RD}}$  input is high both output transistors are turned off and the ZN447 presents only a high impedance load to the bus. When  $\overline{\text{RD}}$  is low the data outputs will assume the logic states present at the outputs of the successive approximation register.

A test circuit and timing diagram for the output enable/disable delays are given in figure 5.



ZN447/8/9

#### BUSY OUTPUT

The  $\overline{\text{BUSY}}$  output, shown in figure 6, utilises a passive pullup for CMOS/TTL compatibility. This also allows up to four  $\overline{\text{BUSY}}$  outputs to be wire-ANDed together to form a common interrupt line.

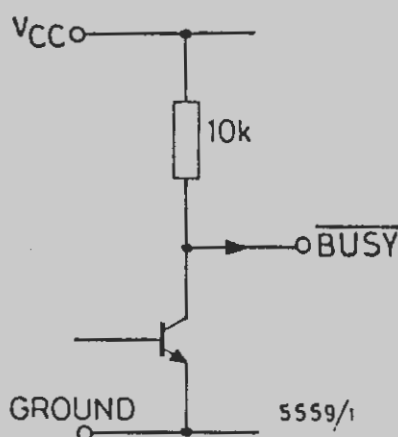
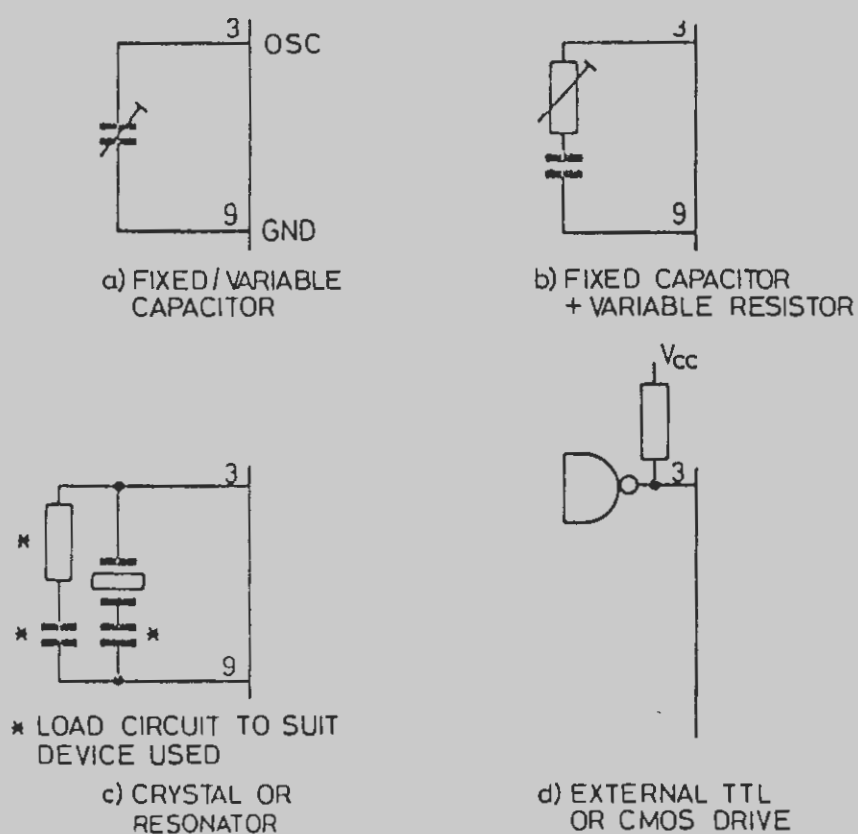


Fig. 6 BUSY OUTPUT

#### ON-CHIP CLOCK

The on-chip clock operates with only a single external capacitor connected between pin 3 and ground, as shown in figure 7a. A graph of typical oscillator frequency versus capacitance is given in figure 8. The oscillator frequency may be trimmed by means of an external resistor in series with the capacitor, as shown in figure 7b. For optimum accuracy and stability of the oscillator frequency without trimming the use of a crystal or ceramic resonator is recommended, as shown in figure 7c. The final option is to overdrive the oscillator input with an external clock signal from a TTL or CMOS gate, as shown in figure 7d.

# ZN447/8/9



6550

Fig. 7 CLOCK CIRCUIT EXTERNAL COMPONENTS

## ZN447/8/9

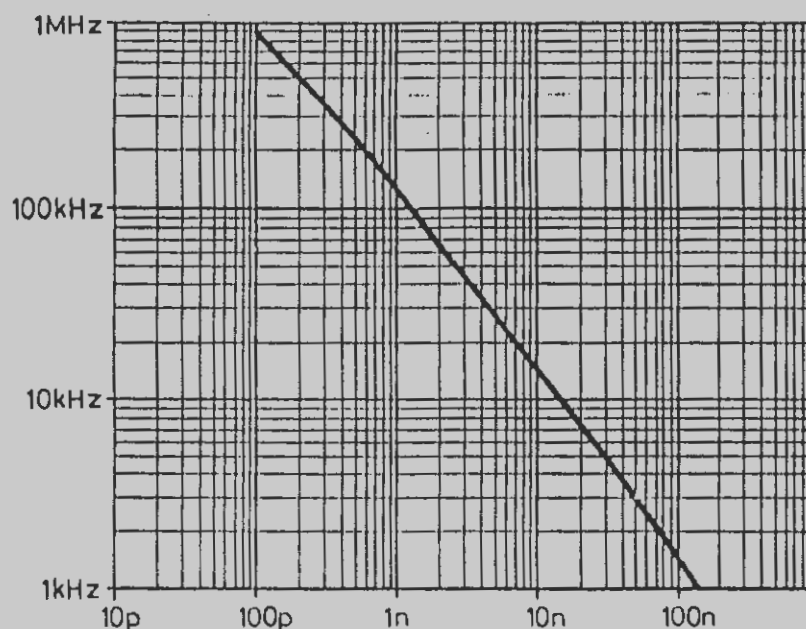


Fig. 8 TYPICAL CLOCK FREQUENCY vs.  $C_{CR}$  ( $R_{CK} = 0$ )

6551

### ANALOGUE CIRCUITS D to A CONVERTER

The converter is of the voltage switching type and uses an R-2R ladder network as shown in figure 9. Each element is connected to either 0V or  $V_{REF IN}$  by transistor voltage switches specially designed for low offset voltage (1 millivolt).

A binary weighted voltage is produced at the output of the R-2R ladder:

$$\text{D to A output} = \frac{n}{256} (V_{REF IN} - V_{OS}) + V_{OS}$$

where  $n$  is the digital input to the D to A from the successive approximation register.

$V_{OS}$  is a small offset voltage that is produced by the device supply current flowing in the package lead resistance. This offset will normally be removed by the setting up procedure and since the offset temperature coefficient is low (8  $\mu\text{V}/^\circ\text{C}$ ) the effect on accuracy will be negligible.

The D to A output range can be considered to be  $0 - V_{REF IN}$  through an output resistance  $R$  (4k).



## ZN447/8/9

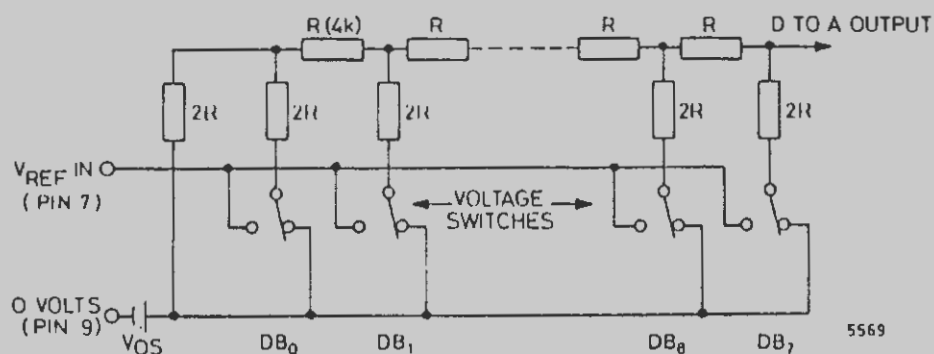


Fig. 9 R2-R LADDER NETWORK

### REFERENCE

#### (a) Internal Reference

The internal reference is an active band gap circuit which is equivalent to a 2.5V Zener diode with a very low slope impedance (figure 10). A resistor ( $R_{REF}$ ) should be connected between pins 8 and 10.

The recommended value of  $390\Omega$  will supply a nominal reference current of  $(5.0 - 2.5) / 0.39 = 6.4\text{mA}$ . A stabilising/decoupling capacitor,  $C_{REF}$  ( $4\mu\text{F}$ ), is required between pins 8 and 9. For internal reference operation  $V_{REF OUT}$  (Pin 8) is connected to  $V_{REF IN}$  (Pin 7).

Up to five ZN447s may be driven from one internal reference, there being no need to reduce  $R_{REF}$ . This useful feature saves power and gives excellent gain tracking between the converters.

Alternatively the internal reference can be used as the reference voltage for other external circuits and can source or sink up to 3mA.

#### (b) External Reference

If required an external reference voltage in the range +1.5 to +3.0 volts may be connected to  $V_{REF IN}$ . The slope resistance of such a reference source should be less than  $\frac{2.5}{n}$ , where  $n$  is the number of converters supplied.

## ZN447/8/9

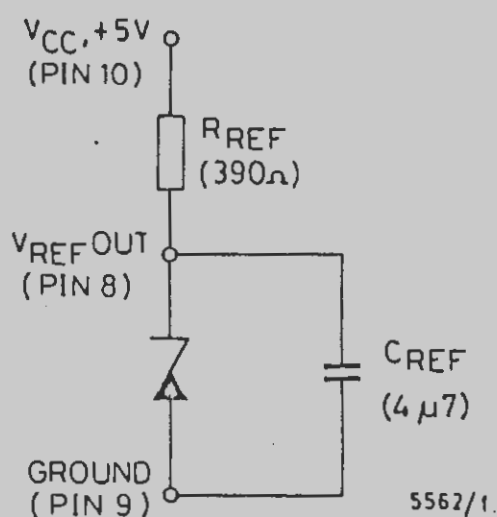


Fig. 10 INTERNAL VOLTAGE REFERENCE

### RATIOMETRIC OPERATION

If the output from a transducer varies with its supply then an external reference for the ZN447 should be derived from the same supply. The external reference can vary from +1.5 volts to +3.0 volts. The ZN447 will operate if  $V_{REF IN}$  is less than +1.5 volts but reduced overdrive to the comparator will increase its delay and so the conversion time will need to be increased.

### COMPARATOR

The ZN447 contains a fast comparator, the equivalent input circuit of which is shown in figure 11. A negative supply voltage is required to supply the tail current of the comparator. However as this is only 25 to 150  $\mu A$  and need not be well stabilised it can be supplied by a simple diode pump circuit driven from the BUSY output.

# ZN447/8/9

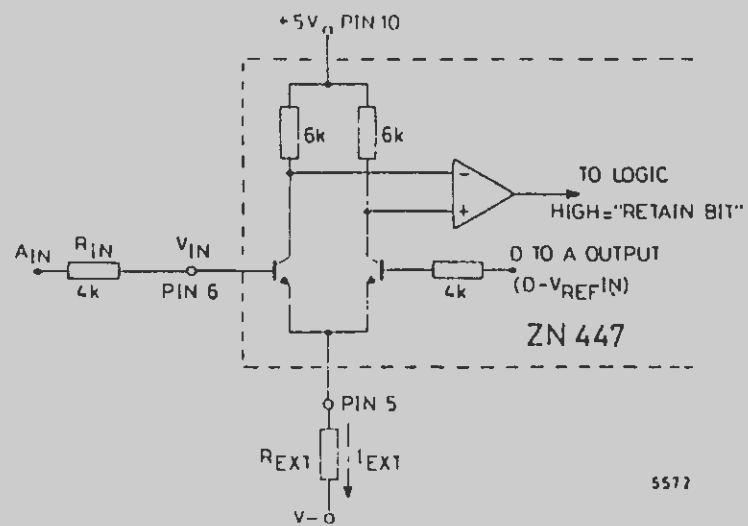


Fig. 11 COMPARATOR EQUIVALENT CIRCUIT

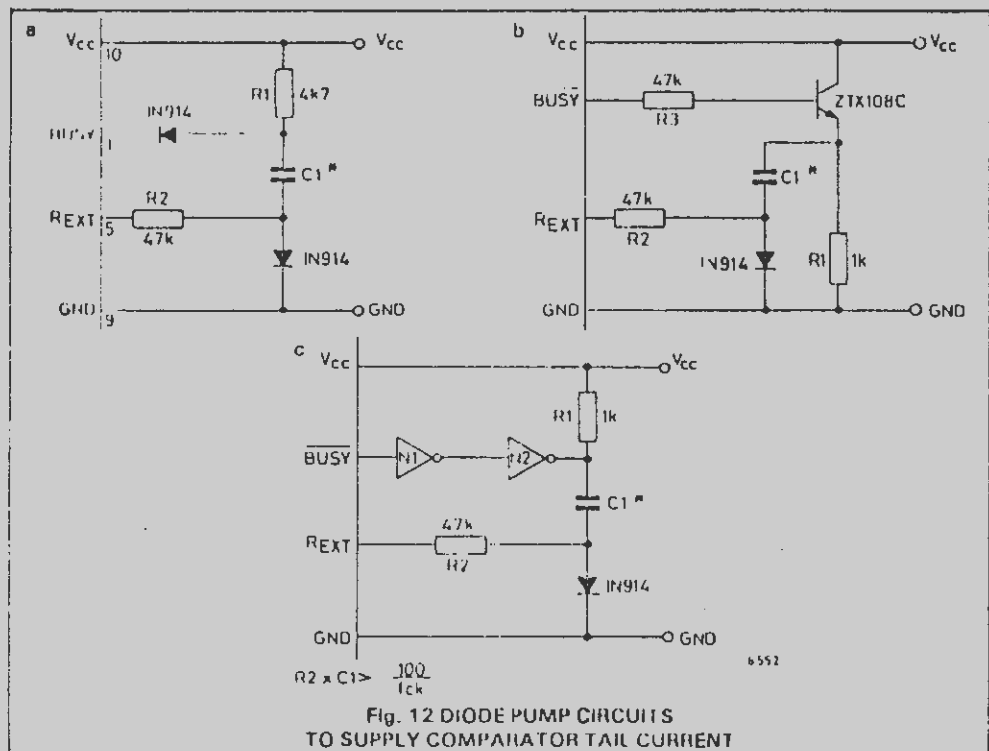


Fig. 12 DIODE PUMP CIRCUITS TO SUPPLY COMPARATOR TAIL CURRENT

## ZN447/8/9

Several suitable circuits are shown in figure 12. The principle of operation is the same in each case. Whilst the  $\overline{\text{BUSY}}$  output is high capacitor C1 is charged to about 4. - 4.5 volts. During a conversion the  $\overline{\text{BUSY}}$  output goes low and the upper end of C1 is thus also pulled low. The lower end of C1 therefore applies about -4V to R2, thus providing the tail current for the comparator. The time constant R2.C1 is chosen according to the clock frequency so that droop of the capacitor voltage is not significant during a conversion.

The constraint on using this type of circuit is that C1 must be recharged whilst the  $\overline{\text{BUSY}}$  output is high. If the  $\overline{\text{BUSY}}$  output is high for greater than one converter clock period then the circuit of figure 12a will suffice. If this is not the case, for example, in the continuous conversion mode, then the circuits of figures 12b and 12c are recommended, since these can pump more current into the capacitor.

Where several ZN447s are used in a system the self-oscillating diode pump circuit of figure 13 is recommended. Alternatively, if a negative supply is available in the system then this may be utilised. A list of suitable resistor values for different supply voltages is given in table 1.

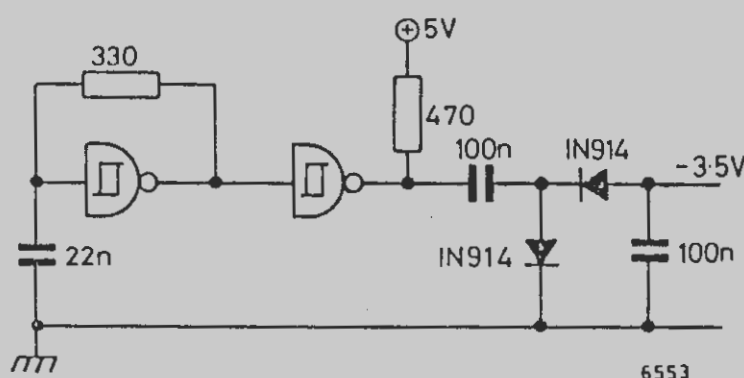


Fig. 13 DIODE PUMP CIRCUIT TO SUPPLY COMPARATOR TAIL CURRENT FOR UP TO FIVE ZN447's.

## ZN447/8/9

V <sub>IN</sub> (Volts)	R <sub>EXT</sub> (k $\Omega$ )
3	47
5	82
10	150
12	180
15	220
20	330
25	390
30	470

### ANALOGUE INPUT RANGES

The basic connection of the ZN447 shown in figure 14 has an analogue input range 0 to V<sub>REF IN</sub>

which, in some applications, may be made available from previous signal conditioning /scaling circuits. Input voltage ranges greater than this are accommodated by providing an attenuator on the comparator input, whilst for smaller input ranges the signal must be amplified to a suitable level.

Bipolar input ranges are accommodated by offsetting the analogue input range so that the comparator always sees a positive input voltage.

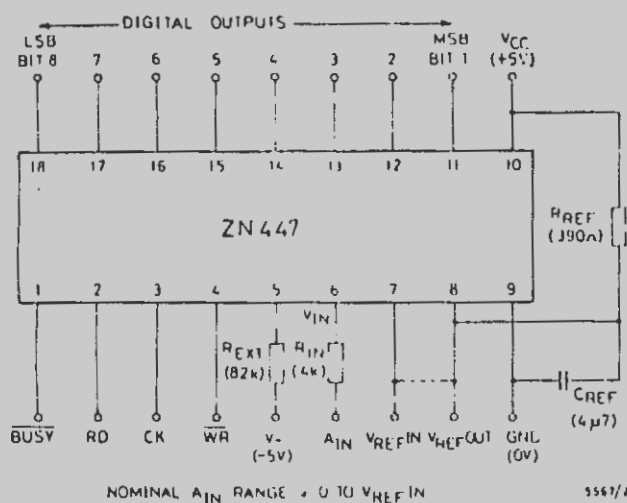


Fig. 14 EXTERNAL COMPONENTS FOR BASIC OPERATION

## ZN447/8/9

### UNIPOLAR OPERATION

The general connection for unipolar operation is shown in figure 15.

The values of  $R_1$  and  $R_2$  are chosen so that  $V_{IN} = V_{REF IN}$  when the Analogue Input ( $A_{IN}$ ) is at full scale.

The resulting full scale range is given by:  $A_{IN FS} = (1 + \frac{R_1}{R_2})$ ,  $V_{REF IN} = G \cdot V_{REF IN}$ .

To match the ladder resistance  $R_1/R_2$  ( $R_{IN}$ ) = 4k.

The required nominal values of  $R_1$  and  $R_2$  are given by  $R_1 = 4G k$ ,  $R_2 = \frac{4(1)}{G-1} k$ .

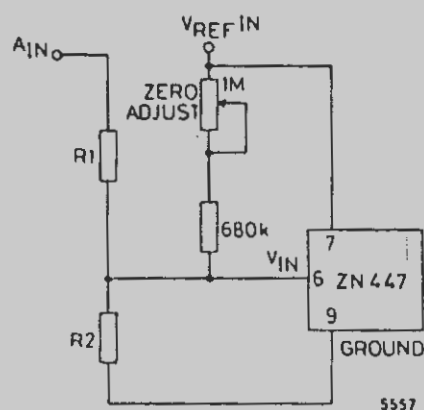


Fig. 15 GENERAL UNIPOLAR INPUT CONNECTIONS

Using these relationships a table of nominal values of  $R_1$  and  $R_2$  can be constructed for  $V_{REF IN} = 2.5$  volts.

INPUT RANGE	G	$R_1$	$R_2$
+5V	2	8k	8k
+10V	4	16k	5.33k

## ZN447/8/9

### GAIN ADJUSTMENT

Due to tolerances in  $R_1$  and  $R_2$ , tolerances in  $V_{REF}$  and the gain (full scale) error of the DAC, some adjustment should be incorporated into  $R_1$  to calibrate the full scale of the converter. When used with the internal reference and 2% resistors a preset capable of adjusting  $R_1$  by at least  $\pm 5\%$  of its nominal value is suggested.

### ZERO ADJUSTMENTS

Due to offsets in the DAC and comparator the zero (0 to 1) code transition would occur with typically 15mV applied to the comparator input, which corresponds to  $1\frac{1}{2}$ LSB with a 2.56 volt reference.

Zero adjustment must therefore be provided to set the zero transition to its correct value of  $+\frac{1}{2}$ LSB or 5mV with a 2.56V reference. This is achieved by applying an adjustable positive offset to the comparator input via P2 and R3. The values shown are suitable for all input ranges greater than  $1\frac{1}{2}$  times  $V_{REF IN}$ .

Practical circuit values for +5V and +10V input ranges are given in figure 16 which incorporates both zero and gain adjustments.

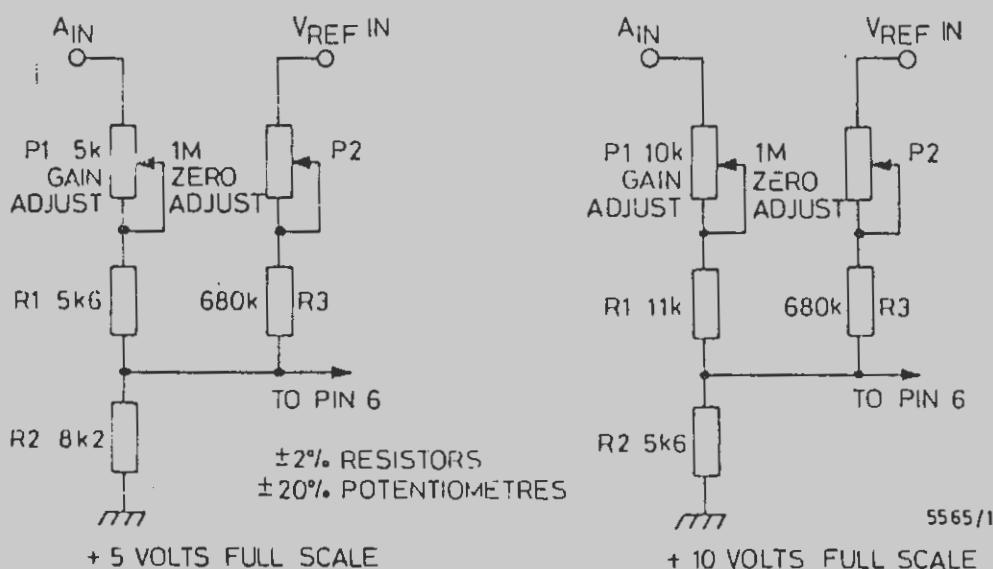


Fig. 16 UNIPOLAR OPERATION COMPONENT VALUES

## ZN447/8/9

### UNIPOLAR ADJUSTMENT PROCEDURE

- (i) Apply continuous convert pulses at intervals long enough to allow a complete conversion and monitor the digital outputs.
- (ii) Apply full scale minus  $1\frac{1}{2}$  LSB to  $A_{IN}$  and adjust gain until Bit 8 (LSB) output just flickers between 0 and 1 with all other bits at 1.
- (iii) Apply  $\frac{1}{2}$  LSB to  $A_{IN}$  and adjust zero until Bit 8 just flickers between 0 and 1 with all other bits at 0.

### UNIPOLAR SETTING—UP POINTS

INPUT RANGE, + FS	$\frac{1}{2}$ LSB	FS - $1\frac{1}{2}$ LSB
+ 5V + 10V	9.8mV 19.5mV	4.9797 volts 9.9414 volts

$$1 \text{ LSB} = \frac{FS}{256}$$

### UNIPOLAR LOGIC CODING

ANALOGUE INPUT ( $A_{IN}$ ) (NOMINAL CODE CENTRE VALUE)	OUTPUT CODE (BINARY)
FS - 1 LSB	11111111
FS - 2 LSB	11111110
$\frac{1}{2}$ FS	11000000
$\frac{1}{2}$ FS + 1 LSB	10000001
$\frac{1}{2}$ FS	10000000
$\frac{1}{2}$ FS - 1 LSB	01111111
$\frac{1}{4}$ FS	01000000
1 LSB	00000001
0	00000000

### BIPOLAR OPERATION

For bipolar operation the input to the ZN447 is offset by half full scale by connecting a resistor  $R_g$  between  $V_{REFIN}$  and  $V_{IN}$  (figure 17).



ZN447/3/9

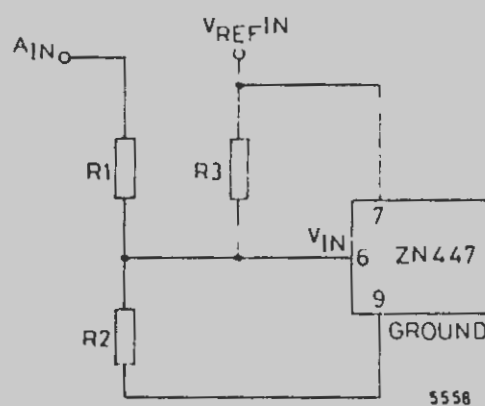


Fig. 17 BASIC BIPOLAR INPUT CONNECTION

When  $A_{IN} = -FS$ ,  $V_{IN}$  needs to be equal to zero.

When  $A_{IN} = +FS$ ,  $V_{IN}$  needs to be equal to  $V_{REF IN}$ .

If the full scale range is  $\pm G$ ,  $V_{REF IN}$  then  $R_1 = (G - 1)$ ,  $R_2$  and  $R_1 = G$ ,  $R_3$  fulfil the required conditions.

To match the ladder resistance  $R_1/R_2/R_3 (= R_{IN}) = 4k$ .

Thus the nominal values of  $R_1, R_2, R_3$  are given by  $R_1 = 8Gk$ ,  $R_2 = 8G/(G - 1)k$ ,  $R_3 = 8k$ .

A bipolar range of  $\pm V_{REF IN}$  (which corresponds to the basic unipolar range 0 to  $V_{REF IN}$ ) results if  $R_1 = R_3 = 8k$  and  $R_2 = \infty$ .

Assuming the  $V_{REF IN} = 2.5$  volts the nominal values of resistors for  $\pm 5V$  and  $\pm 10V$  input ranges are given in the following table.

INPUT RANGE	G	$R_1$	$R_2$	$R_3$
$\pm 5V$	2	16k	16k	8k
$\pm 10V$	4	32k	10.66k	8k

Minus full scale (offset) is set by adjusting  $R_1$  about its nominal value relative to  $R_3$ . Plus full scale (gain) is set by adjusting  $R_2$  relative to  $R_1$ .

Practical circuit realisations are given in figure 18

## ZN447/8/9

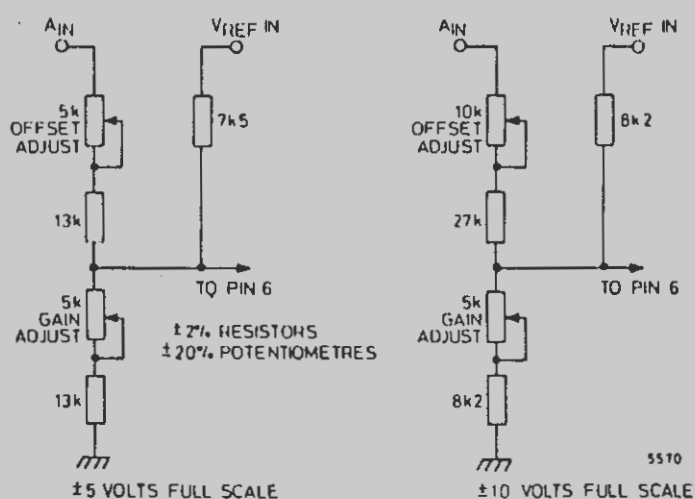


Fig. 18 BIPOLAR OPERATION — COMPONENT VALUES

Note that in the  $\pm 5V$  case  $R_3$  has been chosen as 7.5 k (instead of 8.2 k) to obtain a more symmetrical range of adjustment using standard potentiometers.

### BIPOLAR ADJUSTMENT PROCEDURE

- (i) Apply continuous SC pulses at intervals long enough to allow a complete conversion and monitor the digital outputs.
- (ii) Apply  $-(FS - \frac{1}{2} \text{ LSB})$  to  $A_{IN}$  and adjust offset until the Bit 8 (LSB) output just flickers between 0 and 1 with all other bits at 0.
- (iii) Apply  $+(FS - \frac{1}{2} \text{ LSB})$  to  $A_{IN}$  and adjust gain until Bit 8 just flickers between 0 and 1 with all other bits at 1.
- (iv) Repeat step (ii).

## ZN447/8/9

### BIPOLAR SETTING—UP POINTS

INPUT RANGE, $\pm$ FS	-- (FS - $\frac{1}{2}$ LSB)	+ (FS - $\frac{1}{2}$ LSB)
$\pm 5V$ $\pm 10V$	- 4.9805V - 9.9609V	+ 4.9414V + 9.8828V

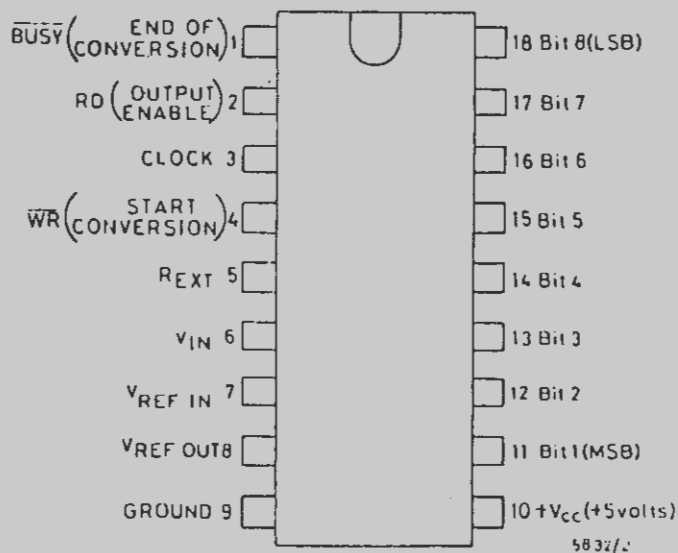
$$1 \text{ LSB} = \frac{2FS}{256}$$

### BIPOLAR LOGIC CODING

ANALOGUE INPUT ( $A_{IN}$ ) (NOMINAL CODE CENTRE VALUE)	OUTPUT CODE (OFFSET BINARY)
+ (FS - 1 LSB)	11111111
+ (FS - 2 LSB)	11111110
+ $\frac{1}{2}$ FS	11000000
+ 1 LSB	10000001
0	10000000
- 1 LSB	01111111
- $\frac{1}{2}$ FS	01000000
- (FS - 1 LSB)	00000001
- FS	00000000

# ZN447/8/9

## PIN CONNECTIONS

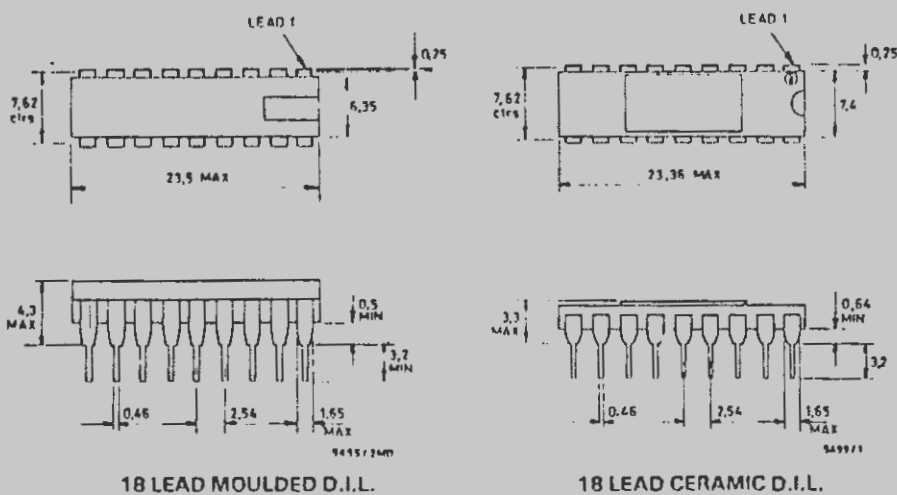


ZN447/8/9

## ORDERING INFORMATION

TYPE	LINEARITY (LSB)	OPERATING TEMPERATURE RANGE	PACKAGE
ZN447E	$\frac{1}{4}$	0°C to +70°C	Moulded
ZN447J	$\frac{1}{4}$	-55°C to +125°C	Ceramic
ZN448E	$\frac{1}{2}$	0°C to +70°C	Moulded
ZN448J	$\frac{1}{2}$	-55°C to +125°C	Ceramic
ZN449E	1	0°C to +70°C	Moulded
ZN449J	1	-55°C to +125°C	Ceramic

## PACKAGE DETAILS



Dimensions in millimetres

© FERRANTI plc 1982

The copyright in this work is vested in Ferranti plc and this document is issued for the purpose only for which it is supplied. No licence is implied for the use of any patented feature. It must not be reproduced in whole or in part, or used for manufacturing purposes except under an agreement or with the consent in writing of Ferranti plc and then only on the condition that this notice is included in any such reproduction. Information furnished is believed to be accurate but no liability in respect of any use of it is accepted by Ferranti plc.

## FERRANTI ELECTRONICS LIMITED

WILFLOWS NEW ROAD, CHADDERTON, OLDHAM OL9 9NP, ENGLAND Tel: 061 824 0816 & 8681 Telex: 868038

Ferranti GmbH, Wilkenmayerstrasse 8, D8000 Munich 22, West Germany

Ferranti Electric Inc., 87 Modular Avenue, Commack, N.Y. 11725 U.S.A.

Tel: 518 843 0200 TWX 510 228 1490 FERRANTINY

Intelsign Inc. (a Ferranti company), 1255 Reedwood Avenue, Sunnyvale, California 94088, U.S.A.

Tel: 408 734 8688 TWX: 910 339 8374

1st March 1982 SM



Printed in England (P.B.C.)

**MOS  
LSI**
**TMS 2149 JL, NL, FPL  
FAST 1024-WORD BY 4-BIT STATIC RAM**

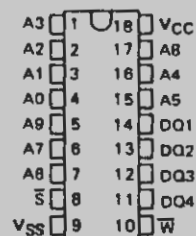
JANUARY 1982 - REVISED MAY 1982

- 1024 X 4 Organization
- Single +5 V Supply ( $\pm 10\%$  Tolerance)
- High-Density 300 mil (7.62 mm) Packages
- Fully Static Operation (No Clocks, No Refresh, No Timing Strobe)
- Fast . . . 4 Performance Ranges:

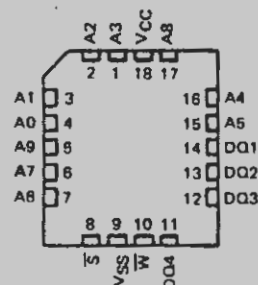
	ADDRESS ACCESS TIME (MAX)	CS ACCESS TIME (MAX)	READ OR WRITE CYCLE (MIN)
TMS 2149-3	35 ns	15 ns	35 ns
TMS 2149-4	45 ns	20 ns	45 ns
TMS 2149-5	55 ns	25 ns	55 ns
TMS 2149-7	70 ns	30 ns	70 ns

- Inputs and Outputs TTL Compatible
- Common I/O
- 3-State Outputs
- Reliable SMOS (Scaled-MOS) N-Channel Technology
- Industry Standard 1K X 4 Pinout

**TMS 2149**  
**18-PIN PLASTIC AND CERAMIC**  
**DUAL-IN-LINE PACKAGES**  
(TOP VIEW)



**18-PIN PLASTIC**  
**CHIP CARRIER PACKAGE**  
(TOP VIEW)



**PIN NAMES**

A0 - A9	Addresses
DQ	Data In/Data Out
S	Chip Select
VCC	+5 V Supply
VSS	Ground
W	Write Enable

**description**

These high-speed static random-access memories are organized as 1024 words of four bits each. Static design results in reduced overhead costs by elimination of refresh-clocking circuitry and by simplification of timing requirements.

All inputs and outputs are fully compatible with Series 74, 74S, or 74LS TTL. No pull-up resistors are required. These 4K static RAM series are manufactured using TI's reliable state-of-the-art SMOS (scaled MOS) N-channel silicon-gate technology to optimize the cost/performance relationship.

The TMS 2149 is offered in 18-pin dual-in-line plastic (NL suffix) and ceramic (JL suffix) packages designed for insertion in mounting-hole rows on 300-mil (7.62-mm) centers. An 18-pin plastic chip carrier (FP suffix) package is also available. The series is guaranteed for operation from 0°C to 70°C.

**TEXAS INSTRUMENTS**  
INCORPORATED

POST OFFICE BOX 225012 • DALLAS, TEXAS 75205

## TMS 2149 JL, NL, FPL FAST 1024-WORD BY 4-BIT STATIC RAM

### operation

#### addresses (A0-A9)

The 10 address inputs select one of the 1024 4-bit words in the RAM. The address inputs must be stable for the duration of a write cycle. The address inputs can be driven directly from standard Series 54/74 TTL with no external pull-up resistors.

#### chip-select ( $\bar{S}$ )

The chip-select terminal, which can be driven directly by standard TTL circuits, affects the data-in/data-out (DQ) terminals and the internal functioning of the chip itself. Whenever the chip-select terminal is low (enabled), the device is operational. DQ terminals function as data-in or data-out depending on the level of the write enable terminal. When the chip-select terminal is high (disabled), the device is deselected, data-in is inhibited and data-out is in the floating or high impedance state.

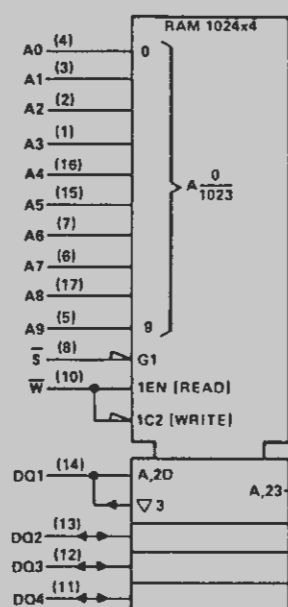
#### write enable ( $\bar{W}$ )

The read or write mode is selected through the write enable terminal. If chip-select is low (enabled), a logic high on write enable selects the read mode and activates data-out on the DQ terminals. A logic low on write enable selects the write mode and accepts data-in from the DQ terminals.  $\bar{W}$  or  $\bar{S}$  must be high when changing addresses to prevent erroneously writing data into a memory location.

#### data-in/data-out (DQ1-DQ4)

The DQ terminals can be driven directly from standard TTL circuits. The DQ terminals are in the high impedance state when chip-select ( $\bar{S}$ ) is high. Data-out is the same polarity as data-in.

### logic symbol†



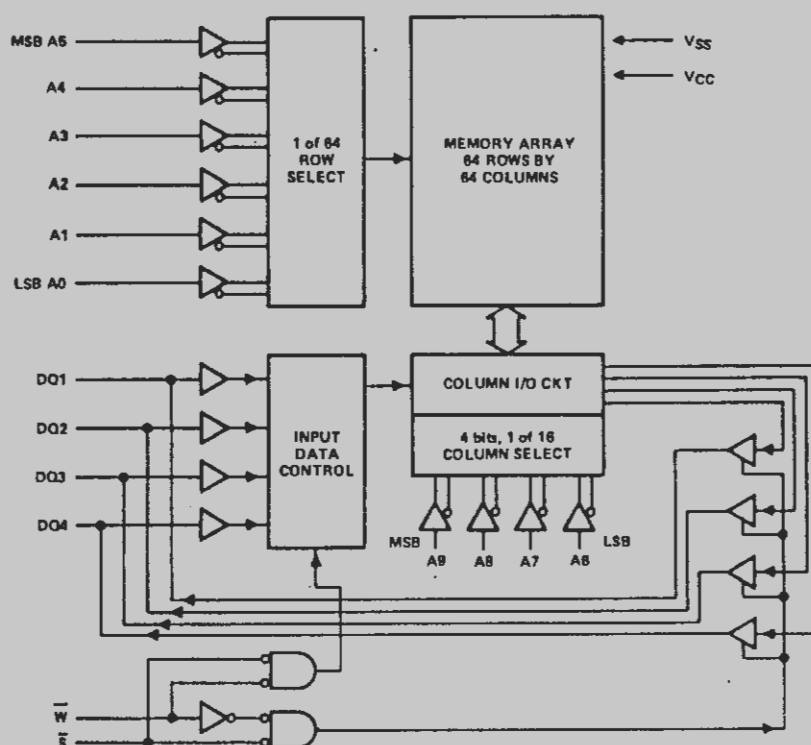
FUNCTION TABLE

$\bar{W}$	$\bar{S}$	DQ1-DQ4	MODE
L	L	VALID DATA	WRITE
H	L	DATA OUTPUT	READ
X	H	HI-Z	DEVICE DISABLED

† This symbol is in accordance with IEEE Std 91/ANSI Y32.14 and recent decisions by IEEE and IEC. See explanation on page 289

# TMS 2149 JL, NL, FPL FAST 1024-WORD BY 4-BIT STATIC RAM

functional block diagram



absolute maximum ratings over operating ambient temperature<sup>†</sup> range (unless otherwise noted) <sup>‡</sup>

Supply voltage, $V_{CC}$ (see Note 1)	-1.5 V to 7 V
Input voltage (any input) (see Note 1)	-1.5 V to 7 V
Continuous power dissipation	1 W
Operating ambient temperature range	0°C to 70°C
Storage temperature range	-65°C to 150°C

<sup>†</sup>The ambient temperature conditions assume air moving perpendicular to the longitudinal axis and parallel to the seating plane of the device at a velocity of 400 ft/min (122 m/min) with the device under test soldered to a 4 X 6 X 0.062-inch (102 X 152 X 1.6-mm) double-sided 2-ounce copper-clad circuit board (plating thickness 0.07 mm).

<sup>‡</sup>Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: Voltage values are with respect to the ground terminal.



# TMS 2149 JL, NL, FPL FAST 1024-WORD BY 4-BIT STATIC RAM

## recommended operating conditions

PARAMETER	MIN	NOM	MAX	UNIT
Supply voltage, $V_{CC}$	4.5	5	5.5	V
Supply voltage, $V_{SS}$		0		V
High-level input voltage, $V_{IH}$	2		8	V
Low-level input voltage, $V_{IL}$	-1 <sup>†</sup>		0.8	V
Operating ambient temperature <sup>‡</sup> , $T_A$	0		70	°C

## electrical characteristics over recommended operating ambient temperature<sup>†</sup> range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP <sup>§</sup>	MAX	UNIT
$V_{OH}$ High-level output voltage	$I_{OH} = -4$ mA, $V_{CC} = 4.5$ V	2.4			V
$V_{OL}$ Low-level output voltage	$I_{OL} = 8$ mA, $V_{CC} = 4.5$ V			0.4	V
$I_I$ Input current	$V_I = 0$ V to 5.5 V			10	μA
$I_{OZ}$ Off-state output current	$\bar{S}$ at 2 V, $V_O = 0.2$ V to 4.5 V, $V_{CC} = 5.5$ V			±50	μA
$I_{CC2}$ Operating supply current from $V_{CC}$	$\bar{S}$ at $V_{IL}$ , $I_O = 0$ mA, $T_A = 0^\circ\text{C}$ (worst case)		90	120	mA
	$\bar{S}$ at $V_{IL}$ , $I_O = 0$ mA, $T_A = 70^\circ\text{C}$			100	mA
$C_i$ Input capacitance	$V_I = 0$ V, $f = 1$ MHz			5	pF
$C_O$ Output capacitance	$V_O = 0$ V, $f = 1$ MHz			7	pF

<sup>†</sup> The ambient temperature conditions assume air moving perpendicular to the longitudinal axis and parallel to the seating plane of the device at a velocity of 400 ft/min (122 m/min) with the device under test soldered to a 4 X 6 X 0.062-inch (102 X 152 X 1.6-mm) double-sided 2-ounce copper-clad circuit board (plating thickness 0.07 mm).

<sup>‡</sup> The algebraic convention, where the more negative limit is designated as minimum, is used in this data sheet for logic voltage levels only.

<sup>§</sup> All typical values are at  $V_{CC} = 5$ ,  $T_A = 25^\circ\text{C}$ .

## ac test conditions

Input pulse levels	0 V to 3 V
Input rise and fall times	5 ns
Input timing reference levels	1.5 V
Output timing reference level	1.5 V
Output loading	See Figure 1

# **TMS 2149 JL, NL, FPL** **FAST 1024-WORD BY 4-BIT STATIC RAM**

timing requirements over recommended supply voltage range and operating ambient temperature<sup>†</sup> range

PARAMETER	TMS 2149-3		TMS 2149-4		TMS 2149-5		TMS 2149-7		UNIT
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(rd)}$ Read cycle time	35		45		55		70		ns
$t_{c(wr)}$ Write cycle time	35		45		55		70		ns
$t_{w(W)}$ Write pulse width	30		30		40		50		ns
$t_{su(A)}$ Address setup time	0		0		0		0		ns
$t_{su(S)}$ Chip select setup time	30		30		40		50		ns
$t_{su(D)}$ Data setup time	20		20		20		25		ns
$t_h(D)$ Data hold time	5		5		5		5		ns
$t_h(A)$ Address hold time	0		5		5		5		ns
$t_{AVWH}$ Address valid to write enable high	35		40		50		85		ns

switching characteristics over recommended supply voltage range and operating ambient temperature<sup>†</sup> range

PARAMETER	TEST CONDITIONS	TMS 2149-3		TMS 2149-4		TMS 2149-5		TMS 2149-7		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$t_a(A)$ Access time from address	$R_L = 480 \Omega$ , $C_L = 30 \text{ pF}$ , See Figure 1	35		45		55		70		ns
$t_a(S)$ Access time from chip select		15		20		25		30		ns
$t_v(A)$ Output data valid after address change		5		5		5		5		ns
$t_{dis(W)}$ Output disable time from write enable <sup>‡</sup>	$R_L = 480 \Omega$ , $C_L = 5 \text{ pF}$ , See Figure 2	10		10		20		25		ns
$t_{en(W)}$ Output enable time from write enable <sup>‡</sup>		5		5		5		5		ns
$t_{dis(S)}$ Output disable time from chip select <sup>‡</sup>		10		10		15		15		ns
$t_{en(S)}$ Output enable time from chip select <sup>‡</sup>		5		5		5		5		ns

<sup>†</sup> The ambient temperature conditions assume air moving at a velocity of 400 ft/min (122 m/min).

<sup>‡</sup> Transition is measured  $\pm 500 \text{ mV}$  from steady state voltage with specified loading in Figure 2. This parameter is sampled and not 100% tested.

## PARAMETER MEASUREMENT INFORMATION

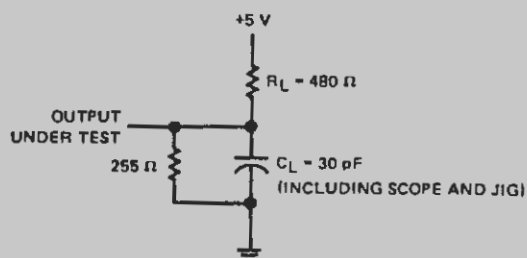


FIGURE 1 — LOAD CIRCUIT

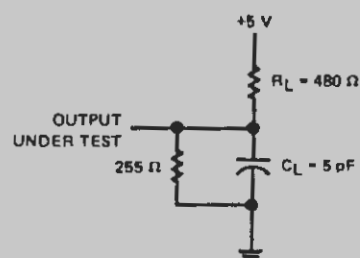


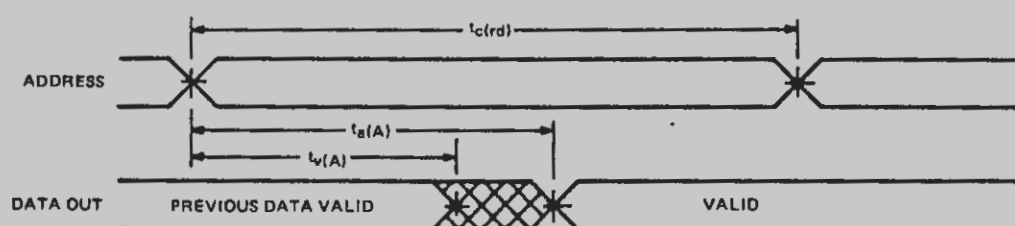
FIGURE 2 — LOAD CIRCUIT

**TMS 2149 JL, NL, FPL**  
**FAST 1024-WORD BY 4-BIT STATIC RAM**

**AC CHARACTERISTICS**

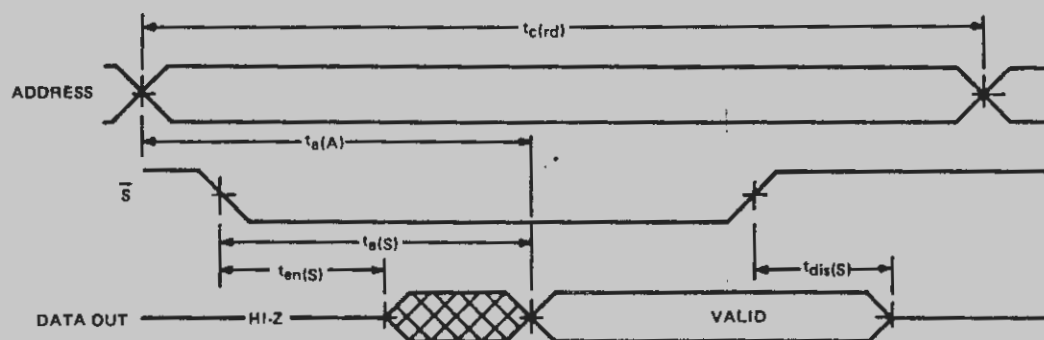
**read cycle timing**

from address



$\bar{W}$  is high,  $\bar{S}$  is low.

**from chip select**



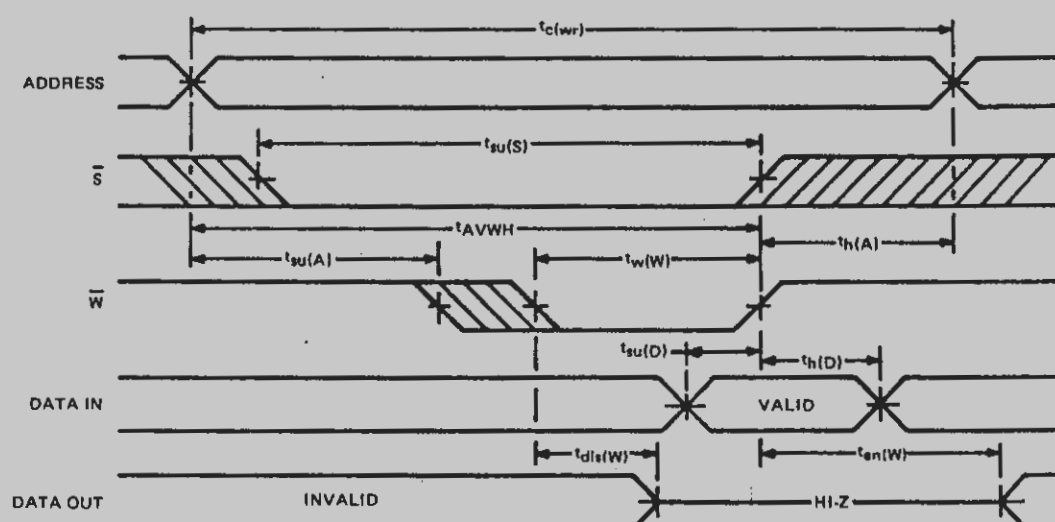
$\bar{W}$  is high.

TMS 2149 JL, NL, FPL  
FAST 1024-WORD BY 4-BIT STATIC RAM

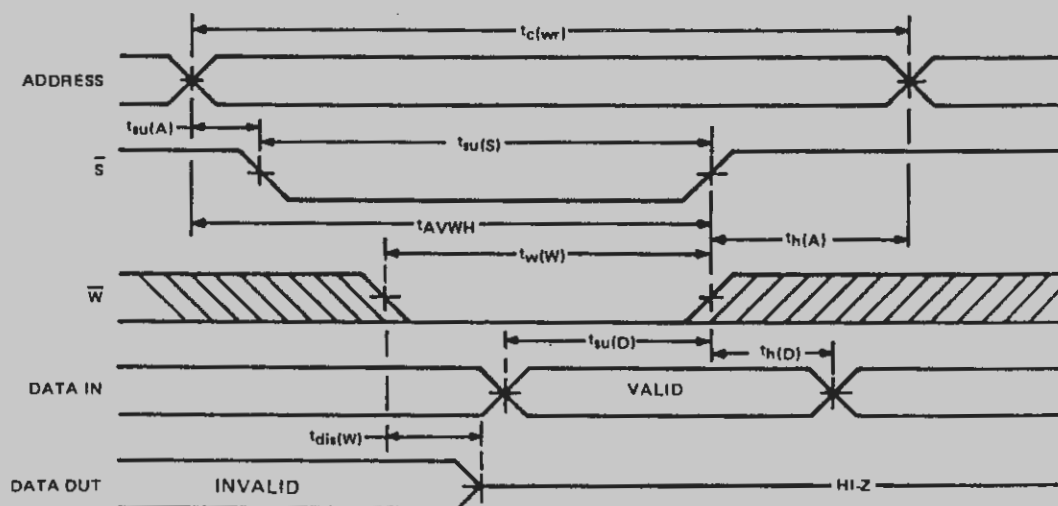
AC CHARACTERISTICS

write cycle timing

controlled by write enable<sup>†</sup>



controlled by chip select<sup>†</sup>



<sup>†</sup> $\overline{S}$  or  $\overline{W}$  must be high during address transitions

NOTE: If  $\overline{S}$  goes high simultaneously with  $\overline{W}$  going high, the output remains in the high-impedance state.



**AD7523****INTERMIL****ABSOLUTE MAXIMUM RATINGS**

(TA = 25°C unless otherwise noted)

VDD (to GND)	+17V
VREF (to GND)	±25V
Digital Input Voltage Range	-0.3 to VDD
Output Voltage Compliance	-0.3 to VDD
Power Dissipation (package)	
Plastic	
up to +70°C	670mW
derates above +70°C by	8.3mW/°C

Ceramic	
up to 75°C	450mW
derates above 75°C by	6mW/°C
Operating Temperatures	
JN, KN, LN Versions	0°C to +70°C
AD, BD, CD Versions	-25°C to +85°C
SD, TD, UD Versions	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Lead Temperature (soldering, 10 seconds)	+300°C

- CAUTION:** 1. The digital control inputs are zener protected; however, permanent damage may occur on unconnected units under high energy electrostatic fields. Keep unused units in conductive foam at all times.  
 2. Do not apply voltages higher than VDD and lower than GND to any terminal except VREF.

**SPECIFICATIONS (VDD = +15V, VREF = +10V unless otherwise specified)**

PARAMETER	TA +25°C	TA MIN-MAX	UNITS	LIMIT	TEST CONDITIONS
<b>DC ACCURACY (Note 1)</b>					
Resolution	8	8	Bits	Min	
Nonlinearity (Note 2)	(±1/2 LSB)	±0.2	±0.2	% of FSR	Max
	(±1/4 LSB)	±0.1	±0.1	% of FSR	Max
	(±1/8 LSB)	±0.05	±0.05	% of FSR	Max
Monotonicity	Guaranteed				-10V ≤ VREF ≤ +10V VOUT1 = VOUT2 = 0V
Gain Error (Note 2)	±1.5	±1.8	% of FSR	Max	Digital inputs high.
Nonlinearity Tempco (Note 2 and 3)	2		PPM of FSR/°C	Max	-10V VREF +10V
Gain Error Tempco (Note 2 and 3)	10		PPM of FSR/°C	Max	
Output Leakage Current (either output)	±50	±200	nA	Max	VOUT1 = VOUT2 = 0
<b>AC ACCURACY (Note 3)</b>					
Power Supply Rejection (Note 2)	0.02	0.03	% of FSR/%	Max	VDD = 14.0 to 15.0V
Output Current Settling Time	150	200	nS	Max	To 0.2% of FSR, RL = 100Ω
Feedthrough Error	±1/2	±1	LSB	Max	VREF = 20V pp, 200KHz sine wave. All digital inputs low.
<b>REFERENCE INPUT</b>	5K			Min	
Input Resistance (Pin 15)	20K		Ω	Max	All digital inputs high. IOUT1 at ground.
Temperature Coefficient (Note 3)	-500		ppm/°C	Max	
<b>ANALOG OUTPUT (Note 3)</b>					
Voltage Compliance (Note 4)	-100mV to VDD				Both outputs. See maximum ratings.
Output Capacitance	COUT1	100	pF	Max	All digital inputs high (VINH)
	COUT2	30	pF	Max	
	COUT1	30	pF	Max	All digital inputs low (VINL)
	COUT2	100	pF	Max	
<b>DIGITAL INPUTS</b>					
Low State Threshold (VINL)	0.8		V	Max	Guarantees DTL/TTL and CMOS (0.5 max, 14.5 min) levels
High State Threshold (VINH)	2.4		V	Min	
Input Current (per input)	±1		μA	Max	VIN = 0V or +15V
Input Coding	Binary/Offset Binary				See Tables 1 & 2
Input Capacitance (Note 3)	4		pF	Max	
<b>POWER REQUIREMENTS</b>					
Power Supply Voltage Range	+5 to +16		V		Accuracy is tested and guaranteed at VDD = +15V, only.
IDD	100		μA	Max	All digital inputs low or high.

- NOTES:** 1. Full scale range (FSR) is 10V for unipolar and ±10V for bipolar modes.  
 2. Using internal feedback resistor, RFEEDBACK.  
 3. Guaranteed by design; not subject to test.  
 4. Accuracy not guaranteed unless outputs at ground potential.

Specifications subject to  
change without notice.



MSI

DM54/DM74LS373, S373, LS374, S374

# TRI-STATE<sup>®</sup> Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

## General Description

These 8-bit registers feature totem-pole TRI-STATE outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

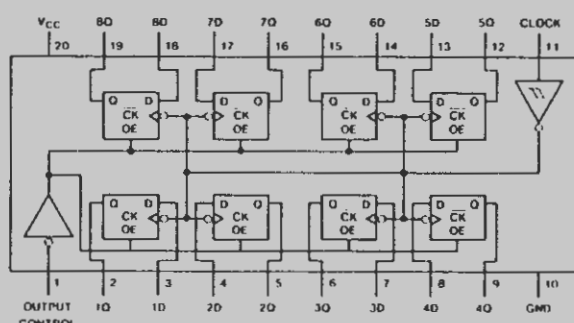
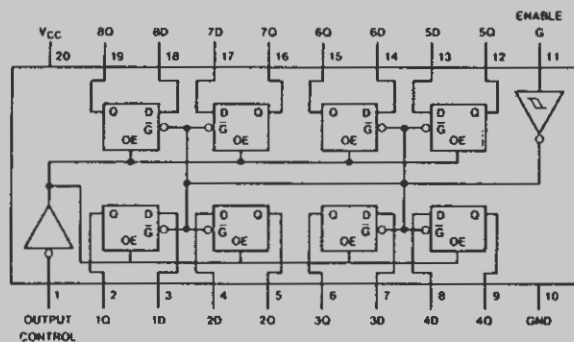
The eight latches of the DM54/74LS373 and DM54/74S373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

(Continued next page)

## Features

- Choice of 8 Latches or 8 D-Type Flip-Flops in a Single Package
- TRI-STATE Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection
- P-N-P Inputs Reduce D-C Loading on Data Lines (DM54/74S373 and DM54/74S374)

## Connection Diagrams



54LS374 (J,W)  
54S374 (J,W)

74LS374 (N)  
74S374 (N)



MSI

DM54/DM74LS373, S373, LS374, S374

### General Description (continued)

The eight flip-flops of the DM54/74LS374 and DM54/74S374 are edge-triggered D-type flip-flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were set up at the D inputs.

Schmitt-trigger buffered inputs at the enable/clock lines simplify system design as ac and dc noise rejection is improved by typically 400 mV due to the input hysteresis. A buffered output control input can be used to place the eight

outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.

### Truth Tables

DM54/74LS373, DM54/74S373  
Truth Table

Output Control	Enable G	D	Output
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

DM54/74LS374, DM54/74S374  
Truth Table

Output Control	Clock	D	Output
L	↑	H	H
L	↑	L	L
L	↑	X	Q <sub>0</sub>
H	X	X	Z

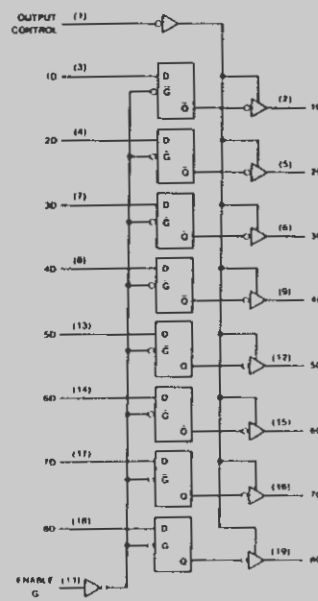
H = High Level (Steady State), L = Low Level (Steady State), X = Don't Care

↑ = Transition from low to high level, Z = High Impedance State

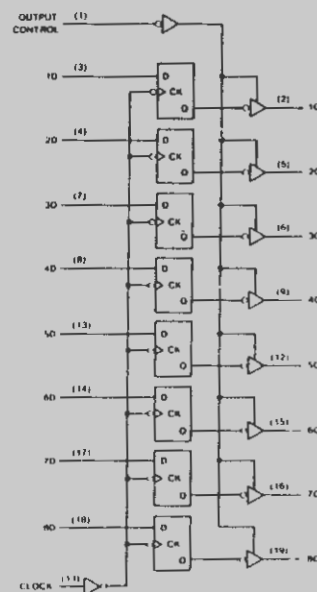
Q<sub>0</sub> = The level of the output before steady state input conditions were established

### Logic Diagram

DM54/74LS373, DM54/74S373  
Transparent Latches



DM54/74LS374, DM54/74S374  
Positive-Edge-Triggered Flip-Flops





**MSI** **DM54/DM74LS373, S373, LS374, S374**
**Electrical Characteristics** over recommended operating free-air temperature range (unless otherwise noted)

Parameter		Conditions		DM54/74			DM54/74			Units
				LS373, LS374			S373, S374			
				Min	Typ (1)	Max	Min	Typ (1)	Max	
V <sub>IH</sub>	High-Level Input Voltage			2			2			V
V <sub>IL</sub>	Low-Level Input Voltage			DM54		0.8			0.8	V
				DM74		0.8			0.8	
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA				-1.5			-1.2	V
I <sub>OH</sub>	High Level Output Current			DM54		-1.0			-2	mA
				DM74		-2.6			-6.5	
V <sub>OH</sub>	High-Level Output Voltage	V <sub>CC</sub> = Min, V <sub>IH</sub> = 2 V V <sub>IL</sub> = 0.8 V, I <sub>OH</sub> = Max		DM54	2.4	3.4		2.4	3.4	V
				DM74	2.4	3.1		2.4	3.2	
I <sub>OL</sub>	Low Level Output Current			DM54		12			20	mA
				DM74		24			20	
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min V <sub>IH</sub> = 2 V V <sub>IL</sub> = 0.8 V	I <sub>OL</sub> = Max	DM54	0.25	0.4			0.5	V
			I <sub>OL</sub> = 12 mA	DM74	0.35	0.5			0.5	
I <sub>O(OFF)</sub>	Off State (High Impedance State) Output Current	V <sub>CC</sub> = Max V <sub>IH</sub> = 2 V V <sub>IL</sub> = 0.8 V	V <sub>O</sub> = 0.4 V				-20			μA
			V <sub>O</sub> = 0.5 V						-50	
			V <sub>O</sub> = 2.7 V				20			
			V <sub>O</sub> = 2.4 V						50	
I <sub>I</sub>	Input Current at Maximum Input Voltage	V <sub>CC</sub> = Max	V <sub>I</sub> = 7 V			0.1				mA
			V <sub>I</sub> = 5.5 V						1	
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7 V					20		50	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max	V <sub>I</sub> = 0.4 V				-400			μA
			V <sub>I</sub> = 0.5 V						-250	
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (2)			-20		-100	-40	-100	mA
I <sub>CC</sub>	Supply Current	V <sub>CC</sub> = Max	LS373			24	40			mA
			LS374			27	45			
			S373					105	160	
			S374					90	140	

 Note 1: All typical values are at  $V_{CC} = 5 \text{ V}$  and  $T_A = 25^\circ\text{C}$ .

Note 2: Only one output should be shorted at a time and duration should not exceed one second.

MSI

DM54/DM74LS373, S373, LS374, S374

Switching Characteristics  $V_{CC} = 5V$ ,  $T_A = 25^\circ C$

Parameter	From (Input)	To (Output)	Conditions	DM54/74	Unit					
				LS373		LS374				
				Min	Typ	Max	Min	Typ	Max	
$f_{max}$	Maximum Clock Frequency	Data	Any Q				35	50		MHz
$t_{PLH}$	Propagation Delay Time Low-to-High Level Output	Data	Any Q		12	18				ns
$t_{PHL}$	Propagation Delay Time High-to-Low Level Output	Data	Any Q		12	18				ns
$t_{PLH}$	Propagation Delay Time Low-to-High Level Output	Clock or Enable	Any Q		20	30	15	28		ns
$t_{PHL}$	Propagation Delay Time High-to-Low Level Output	Clock or Enable	Any Q		18	30	19	28		ns
$t_{PZH}$	Output Enable Time to High Level	Output Control	Any Q		15	28	20	28		ns
$t_{PZL}$	Output Enable Time to Low Level	Output Control	Any Q		25	36	21	28		ns
$t_{PHZ}$	Output Disable Time from High Level	Output Control	Any Q		12	20	12	20		ns
$t_{PLZ}$	Output Disable Time from Low Level	Output Control	Any Q		15	25	14	25		ns
$t_w$	Clock Enable Pulse Width		High	15			15			ns
			Low	15			15			ns
$t_{su}$	Data Setup Time			0			20			ns
$t_h$	Data Hold Time			10			0			ns
$f_{max}$	Maximum Clock Frequency						20	40		MHz
$t_{PLH}$	Propagation Delay Time Low-to-High Level Output	Data	Any Q		17	26				ns
$t_{PHL}$	Propagation Delay Time High-to-Low Level Output	Data	Any Q		18	27				ns
$t_{PLH}$	Propagation Delay Time Low-to-High Level Output	Clock or Enable	Any Q		25	38	21	32		ns
$t_{PHL}$	Propagation Delay Time High-to-Low Level Output	Clock or Enable	Any Q		24	36	25	38		ns
$t_{PZH}$	Output Enable Time to High Level	Output Control	Any Q		24	36	29	44		ns
$t_{PZL}$	Output Enable Time to Low Level	Output Control	Any Q		33	50	29	44		ns
$t_w$	Clock/Enable Pulse Width		High	15			15			ns
			Low	15			15			ns
$t_{su}$	Data Setup Time			0			20			ns
$t_h$	Data Hold Time			10			0			ns

Note:  $t_{PLH}$  and  $t_{PHL}$  are measured for the rising edge of the clock signal for the rising output and for the falling output for the falling output.

Note 1: The arrow indicates the output. The clock is provided for reference and for the rising edge and for the falling edge.

MSI

DM54/DM74LS373, S373, LS374, S374

# Switching Characteristics (Continued)

Parameter	From (Input)	To (Output)	Conditions	DM54 74						Unit
				S373			S374			
				Min	Typ	Max	Min	Typ	Max	
$f_{max}$	Maximum Clock Frequency						75	100		MHz
$t_{PLH}$	Propagation Delay Time Low-to-High Level Output	Data	Any Q		5	9				ns
$t_{PHL}$	Propagation Delay Time High-to-Low Level Output				9	13				
$t_{PLH}$	Propagation Delay Time Low-to-High Level Output	Clock or Enable	Any Q $C_L = 15\text{ pF}$ $R_L = 280\ \Omega$		7	14		8	15	ns
$t_{PHL}$	Propagation Delay Time High-to-Low Level Output				12	18		11	17	
$t_{PZH}$	Output Enable Time to High Level	Output Control	Any Q		8	15		8	15	ns
$t_{PZL}$	Output Enable Time to Low Level				11	18		11	18	
$t_{PHZ}$	Output Disable Time from High Level	Output Control	Any Q $C_L = 5\text{ pF}$ $R_L = 280\ \Omega$		6	9		5	9	ns
$t_{PLZ}$	Output Disable Time from Low Level				8	12		7	12	
$t_w$	Clock Enable Pulse Width		High	6			6			ns
			Low	7.3			7.3			
$t_{su}$	Data Setup Time			0.4			5.1			ns
$t_h$	Data Hold Time			10.1			2.1			ns
$f_{max}$	Maximum Clock Frequency						75	100		MHz
$t_{PLH}$	Propagation Delay Time Low-to-High Level Output	Data	Any Q		7	11				ns
$t_{PHL}$	Propagation Delay Time High-to-Low Level Output				11	17				
$t_{PLH}$	Propagation Delay Time Low-to-High Level Output	Clock or Enable	Any Q $C_L = 50\text{ pF}$ $R_L = 280\ \Omega$		9	14		10	15	ns
$t_{PHL}$	Propagation Delay Time High-to-Low Level Output				14	21		13	20	
$t_{PZH}$	Output Enable Time to High Level	Output Control	Any Q		11	17		11	17	ns
$t_{PZL}$	Output Enable Time to Low Level				15	23		15	23	
$t_w$	Clock Enable Pulse Width		High	15			15			ns
			Low	15			15			
$t_{su}$	Data Setup Time			0.4			5.1			ns
$t_h$	Data Hold Time			10.1			2.1			ns

Note: 1. Data is validates the output of the device. 2. The output of the device is not valid during the setup and hold times.



DM54/DM74LS245

## TRI-STATE® Octal Bus Transceiver

## General Description

These octal bus transceivers are designed for asynchronous two-way communication between data buses. The control function implementation minimizes external timing requirements.

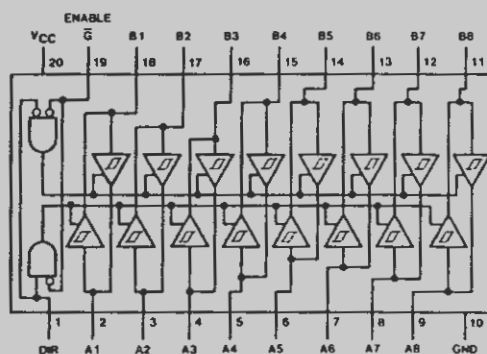
The device allows data transmission from the A bus to the B bus or from the B bus to the A bus depending upon the logic level at the direction control (DIR) input. The enable input ( $\bar{G}$ ) can be used to disable the device so that the buses are effectively isolated.

## Features

- Bi-directional bus transceiver in a high-density 20 pin package
- Tri-state outputs drive bus lines directly
- P-N-P inputs reduce D-C loading on bus lines
- Hysteresis at bus inputs improve noise margins
- Typical propagation delay times, port-to-port: .8 ns
- Typical enable/disable times: 17ns

Type	$I_{OL}$ (Sink Current)	$I_{OH}$ (Source Current)
54LS245	12 mA	-12 mA
74LS245	24 mA	-15 mA

## Connection Diagram



54LS245 (J); 74LS245 (N)

## Truth Table

Enable $\bar{G}$	Direction Control DIR	Operation
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

H = high level, L = low level, X = irrelevant

SSI

DM54/DM74LS245

Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

Parameter		Conditions	DM54/74	Units		
			LS245			
			Min	Typ (1)	Max	
$V_{IH}$	High Level Input Voltage		2			V
$V_{IL}$	Low Level Input Voltage				0.8	V
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V
	Hysteresis ( $V_{T+} - V_{T-}$ )	$V_{CC} = \text{Min}$	0.2	0.4		V
$I_{OH}$	High Level Output Current		DM54		-12	mA
			DM74		-15	
$V_{OH}$	High Level Output Voltage	$V_{CC} = 4.75 \text{ V}, V_{IH} = 2 \text{ V}$ $V_{IL} = 0.8 \text{ V}, I_{OH} = -1 \text{ mA}$	2.7			V
		$V_{CC} = \text{Min}, V_{IH} = 2 \text{ V}$ $V_{IL} = 0.8 \text{ V}, I_{OH} = -3 \text{ mA}$	2.4	3.4		
		$V_{CC} = \text{Min}, V_{IH} = 2 \text{ V}$ $V_{IL} = 0.5 \text{ V}, I_{OH} = \text{Max}$	2			
$I_{OL}$	Low Level Output Current		DM54		12	mA
			DM74		24	
$V_{OL}$	Low Level Output Voltage	$V_{CC} = \text{Min}$ $V_{IL} = 0.8 \text{ V}$ $V_{IH} = 2 \text{ V}$	DM74		0.4	V
		$I_{OL} = 12 \text{ mA}$	DM54		0.4	
		$I_{OL} = \text{Max}$	DM74		0.5	
$I_{OZH}$	Off-State Output Current, High Level Voltage Applied	$V_{CC} = \text{Max}$ $V_{IL} = 0.8 \text{ V}$	$V_O = 2.7 \text{ V}$		10	$\mu\text{A}$
$I_{OZL}$	Off-State Output Current, Low Level Voltage Applied	$V_{IH} = 2 \text{ V}$	$V_O = 0.4 \text{ V}$		-200	
$I_I$	Input Current at Maximum Input Voltage	$V_{CC} = \text{Max}$	$A \text{ or } B$ $\text{DIR or } \bar{G}$	$V_I = 5.5 \text{ V}$ $V_I = 7 \text{ V}$	0.1 0.1	mA
$I_{IH}$	High Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7 \text{ V}$			20	$\mu\text{A}$
$I_{IL}$	Low Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4 \text{ V}$			-0.2	mA
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max} (2)$		-40	-225	mA
$I_{CC}$	Supply Current	Outputs High		48	70	mA
		Outputs Low		62	90	
		Outputs at Hi-Z	$V_{CC} = \text{Max}$	64	95	

Note 1: All typical values are at  $V_{CC} = 5 \text{ V}, I_A = 25^\circ\text{C}$

Note 2: Not more than one output shorted at a time, not to exceed one second duration

Note 1: All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

Note 2: Not more than one output shorted at a time, not to exceed one second duration

SSI

DM54/DM74LS245

Switching Characteristics  $V_{CC} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$

Parameter		Conditions	DM54/74			Unit
			LS245			
			Min	Typ	Max	
$t_{PLH}$	Propagation Delay Time, Low-to-High-Level Output	$C_L = 45\text{ pF}$ $R_L = 667\ \Omega$		8	12	ns
$t_{PHL}$	Propagation Delay Time, High-to-Low-Level Output			8	12	ns
$t_{PZL}$	Output Enable Time to Low Level			27	40	ns
$t_{PZH}$	Output Enable Time to High Level			25	40	ns
$t_{PLZ}$	Output Disable Time from Low Level	$C_L = 5\text{ pF}$ $R_L = 667\ \Omega$		15	25	ns
$t_{PHZ}$	Output Disable Time from High Level			15	25	ns
$t_{PLH}$	Propagation Delay Time, Low-to-High-Level Output	$C_L = 150\text{ pF}$ $R_L = 667\ \Omega$		10	16	ns
$t_{PHL}$	Propagation Delay Time, High-to-Low-Level Output			11	17	ns
$t_{PZL}$	Output Enable Time to Low Level			30	45	ns
$t_{PZH}$	Output Enable Time to High Level			30	45	ns



MSI

DM54/DM74LS390, LS393

## Dual 4-Bit Decade and Binary Counters

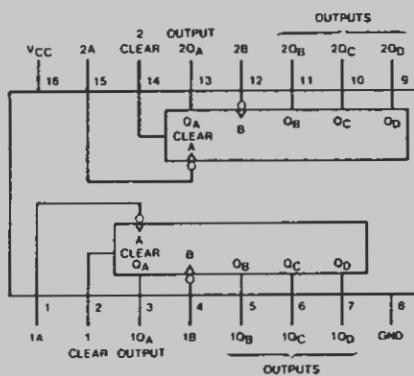
### General Description

Each of these monolithic circuits contains eight master-slave flip-flops and additional gating to implement two individual four-bit counters in a single package. The 'LS390 incorporates dual divide-by-two and divide-by-five counters, which can be used to implement cycle lengths equal to any whole and/or cumulative multiples of 2 and/or 5 up to divide-by-100. When connected as a bi-quinary counter, the separate divide-by-two circuit can be used to provide symmetry (a square wave) at the final output stage. The 'LS393 comprises two independent four-bit binary counters each having a clear and a clock input. N-bit binary counters can be implemented with each package providing the capability of divide-by-256. The 'LS390, and 'LS393 have parallel outputs from each counter stage so that any submultiple of the input count frequency is available for system-timing signals.

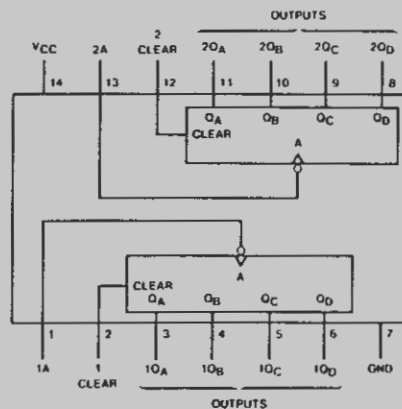
### Features

- Dual Versions of the Popular 'LS90 and 'LS93
- 'LS390 . . . Individual Clocks for A and B Flip-Flops Provide Dual  $\div 2$  and  $\div 5$  Counters
- 'LS393 . . . Dual 4-Bit Binary Counter with Individual Clocks
- Each has Direct Clear for Each 4-Bit Counter
- Dual 4-Bit Versions Can Significantly Improve System Densities by Reducing Counter Package Count by 50
- Typical Maximum Count Frequency . . . 35 MHz
- Buffered Outputs Reduce Possibility of Collector Commutation

### Connection Diagrams



54LS390 (J,W); 74LS390 (N)



54LS393 (J,W); 74LS393 (N)



MSI

DM54/DM74LS390, LS393

# Truth Tables

'LS390  
BCD COUNT SEQUENCE  
(EACH COUNTER)  
(See Note A)

Count	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'LS390  
BI-QUINARY (5-2)  
(EACH COUNTER)  
(See Note B)

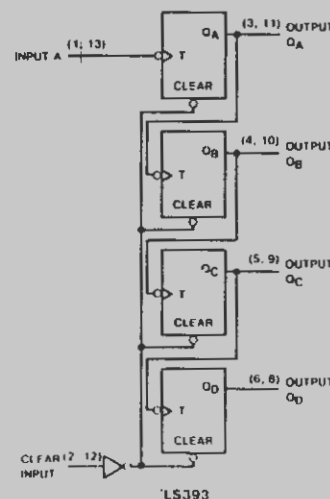
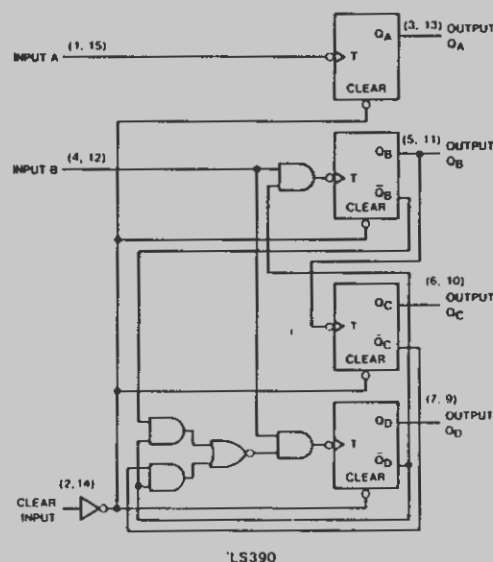
Count	Q <sub>A</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'LS393  
COUNT SEQUENCE  
(EACH COUNTER)

Count	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

A. Output Q<sub>A</sub> is connected to Input B for BCD count.  
B. Output Q<sub>D</sub> is connected to Input A for Bi-quinary count.  
C. H = high level, L = low level.

## Logic Diagrams







MSI

DM54/DM74LS390, LS393

**Electrical Characteristics** over recommended operating free-air temperature range (unless otherwise noted)

Parameter		Conditions	DM54/74 LS390, LS393			Units
			Min	Typ (1)	Max	
$V_{IH}$	High Level Input Voltage		2			V
$V_{IL}$	Low Level Input Voltage				0.8	V
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V
$I_{OH}$	High Level Output Current		DM54		-400	$\mu\text{A}$
			DM74		-400	
$V_{OH}$	High Level Output Voltage	$V_{CC} = \text{Min}, V_{IH} = 2 \text{ V}$ $V_{IL} = 0.8 \text{ V}, I_{OH} = \text{Max}$	DM54	2.5	3.4	V
			DM74	2.7	3.4	
$I_{OL}$	Low Level Output Current		DM54		4	mA
			DM74		8	
$V_{OL}$	Low Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}$ $V_{IH} = 2 \text{ V}$ $V_{IL} = 0.8 \text{ V}$	DM54	0.25	0.4	V
			DM74	0.35	0.5	
			DM74	0.25	0.4	
$I_I$	Input Current at Maximum Input Voltage	Clear Input A Input B $V_{CC} = \text{Max}$	$V_I = 7 \text{ V}$ $V_I = 5.5 \text{ V}$		0.1 0.2 0.4	mA
$I_{IH}$	High Level Input Current	Clear Input A Input B $V_{CC} = \text{Max}, V_I = 2.7 \text{ V}$			20 40 80	$\mu\text{A}$
$I_{IL}$	Low Level Input Current	Clear Input A Input B $V_{CC} = \text{Max}, V_I = 0.4 \text{ V}$			-0.4 -1.6 -2.4	mA
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max} (2)$	-20		-100	mA
$I_{CC}$	Supply Current	$V_{CC} = \text{Max} (3)$	LS390 LS393	15 15	26 26	mA

Note 1: All typical values are at  $V_{CC} = 5 \text{ V}$  and  $T_A = 25^\circ\text{C}$ .

Note 2: Only one output should be shorted at a time for a maximum duration of one second.

Note 3:  $I_{CC}$  is measured with all outputs open, both clear inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.

MSI

DM54/DM74LS390, LS393

Switching Characteristics

V<sub>CC</sub> 5 V T<sub>A</sub> = 25 °C

Parameter	From (Input)	To (Output)	Conditions	DM54 74						Units	
				LS390			LS393				
				Min	Typ	Max	Min	Typ	Max		
t <sub>MAX</sub>	Maximum Clock Frequency	A	Q <sub>A</sub>	25	35		25	35		MHz	
		B	Q <sub>B</sub>	20	30						
t <sub>PLH</sub>	Propagation Delay Time Low-to-High Level Output				12	20		12	20	ns	
t <sub>PHL</sub>	Propagation Delay Time High-to-Low Level Output	A	Q <sub>A</sub>		13	20		13	20	ns	
t <sub>PLH</sub>	Propagation Delay Time Low-to-High Level Output	A	Q <sub>C</sub> of LS390	C <sub>L</sub> = 15 pF R <sub>L</sub> = 2 kΩ		17	60		40	60	ns
t <sub>PHL</sub>	Propagation Delay Time High-to-Low Level Output		Q <sub>D</sub> of LS393			19	60		40	60	ns
t <sub>PLH</sub>	Propagation Delay Time Low-to-High Level Output	B	Q <sub>B</sub>		13	21					ns
t <sub>PHL</sub>	Propagation Delay Time High-to-Low Level Output				14	21					ns
t <sub>PLH</sub>	Propagation Delay Time Low-to-High Level Output	B	Q <sub>C</sub>		14	39					ns
t <sub>PHL</sub>	Propagation Delay Time High-to-Low Level Output				16	39					ns
t <sub>PLH</sub>	Propagation Delay Time Low-to-High Level Output	B	Q <sub>D</sub>		13	21					ns
t <sub>PHL</sub>	Propagation Delay Time High-to-Low Level Output				14	21					ns
t <sub>PHL</sub>	Propagation Delay Time High-to-Low Level Output	Clear	Any		14	39		24	39		ns
t <sub>W</sub>	Pulse Width	A Input	High or Low	20			20				ns
			High or Low	25			25				ns
		B Input	High or Low	20			20				ns
			Clear High	20			20				ns
t <sub>SU</sub>	Clear Inactive State Setup Time			25			25			ns	



SSI

DM54/DM74LS240, S240, LS241, S241, LS244, S244, S940, S941

## Octal TRI-STATE® Buffers/Line Drivers/Line Receivers

## General Description

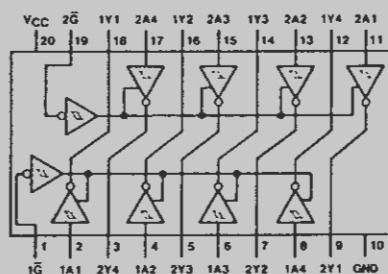
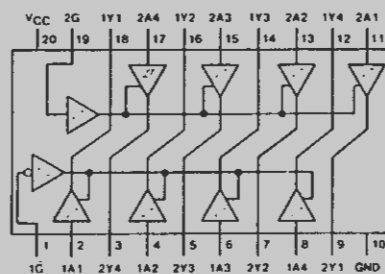
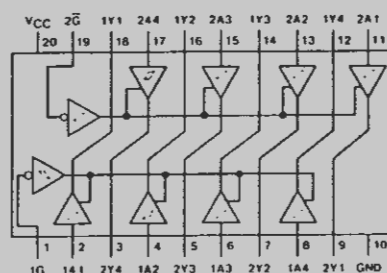
These buffers/line drivers are designed to improve both the performance and PC board density of TRI-STATE® buffers/drivers employed as memory-address drivers, clock drivers, and bus-oriented transmitters/receivers. Featuring 400 mV of hysteresis at each low current PNP data line input, they provide improved noise rejection and high fanout outputs, and can be used to drive terminated lines down to 133  $\Omega$ .

## Features

- TRI-STATE outputs drive bus lines directly
- PNP inputs reduce DC loading on bus lines
- Hysteresis at inputs improves noise margins

	Typical $I_{OL}$ (Sink Current)	Typical $I_{OH}$ (Source Current)	Typical Propagation Delay Times		Typical Enable Disable Times	Typical Power Dissipation (Enabled)	
			Inverting	Noninverting		Inverting	Noninverting
54LS	12 mA	-12 mA	10.5 ns	12 ns	18 ns	130 mW	135 mW
74LS	24 mA	-15 mA	10.5 ns	12 ns	18 ns	130 mW	135 mW
54S	48 mA	-12 mA	4.5 ns	6 ns	9 ns	450 mW	538 mW
74S	64 mA	-15 mA	4.5 ns	6 ns	9 ns	450 mW	538 mW

## Connection Diagrams

54LS240 (J)  
54S240 (J)74LS240 (N)  
74S240 (N)54LS241 (J)  
54S241 (J)74LS241 (N)  
74S241 (N)54LS244 (J)  
54S244 (J)74LS244 (N)  
74S244 (N)

**SSI DM54/DM74LS240, S240, LS241, S241, LS244, S244, S940, S941**
**Electrical Characteristics** over recommended operating free-air temperature range (unless otherwise noted)

Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

Parameter		Conditions		DM54/74		DM54/74		Units		
				LS240, LS241 LS244		S240, S241, S244 S940, S941				
				Min	Typ (1)	Max	Min	Typ (1)	Max	
$V_{IH}$	High Level Input Voltage			2			2			V
$V_{IL}$	Low Level Input Voltage					0.8			0.8	V
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$				-1.5			-1.2	V
	Hysteresis ( $V_{T+} - V_{T-}$ )	$V_{CC} = \text{Min}$		0.2	0.4		0.2	0.4		V
$I_{OH}$	High Level Output Current		DM54			-12			-12	mA
			DM74			-15			-15	mA
$V_{OH}$	High Level Output Voltage	$V_{CC} = 4.75 \text{ V}, V_{IH} = 2 \text{ V}$ $V_{IL} = 0.8 \text{ V}, I_{OH} = -1 \text{ mA}$		2.7			2.7			V
		$V_{CC} = \text{Min}, V_{IH} = 2 \text{ V}$ $V_{IL} = 0.8 \text{ V}, I_{OH} = -3 \text{ mA}$		2.4	3.4		2.4	3.4		V
		$V_{CC} = \text{Min}, V_{IH} = 2 \text{ V}$ $V_{IL} = 0.5 \text{ V}, I_{OH} = \text{Max}$		2			2			V
$I_{OL}$	Low Level Output Current		DM54			12			48	mA
			DM74			24			64	mA
$V_{OL}$	Low Level Output Voltage	$V_{CC} = \text{Min}$ $V_{IL} = 0.8 \text{ V}$ $V_{IH} = 2 \text{ V}$	$I_{OL} = 12 \text{ mA}$			0.4				V
			$I_{OL} = \text{Max}$	DM54		0.4			0.55	V
				DM74		0.5				V
$I_{OZH}$	Off-State Output Current High Level Voltage Applied	$V_{CC} = \text{Max}$ $V_{IL} = 0.8 \text{ V}$ $V_{IH} = 2 \text{ V}$	$V_O = 2.7 \text{ V}$ $V_O = 2.4 \text{ V}$ $V_O = 0.4 \text{ V}$ $V_O = 0.5 \text{ V}$			20			50	$\mu\text{A}$
$I_{OZL}$	Off-State Output Current, Low Level Voltage Applied					-20			-50	$\mu\text{A}$
$I_I$	Input Current at Maximum Input Voltage	$V_{CC} = \text{Max}$	$V_I = 7 \text{ V}$ $V_I = 5.5 \text{ V}$			0.1			1	mA
$I_{IH}$	High Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7 \text{ V}$				20			50	$\mu\text{A}$
$I_{IL}$	Low Level Input Current	$V_{CC} = \text{Max}$	$V_I = 0.4 \text{ V}$ $V_I = 0.5 \text{ V}$			-0.2				mA
			Any A						-400	$\mu\text{A}$
			Any G						-2	mA
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max (2)}$		-40		-225	-50		-225	mA
$I_{CC}$	Supply Current	$V_{CC} = \text{Max}$ Outputs Open	Outputs High	LS240, 241, 244		13	23			mA
				S240				80	123	
				S940	DM54			80	135	
				S241, 244	DM74			95	147	
				S941	DM74			95	160	
			Outputs Low	LS240		26	44			
				S241, 244		27	46			
				S240	DM54			100	145	
				S940	DM74			100	150	
				S241, 244	DM54			120	170	
				S941	DM74			120	180	
			Outputs Disabled	LS240		29	50			
				S241, 244		32	54			
				S240	DM54			100	145	
				S940	DM74			100	150	
				S241, 244	DM54			120	170	
				S941	DM74			120	180	

 Note 1: All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$ .

Note 2: Not more than one output should be shorted at a time and duration should not exceed one second.



SSI

DM54/DM74LS240, S240, LS241, S241, LS244, S244, S940, S941

Switching Characteristics  $V_{CC} = 5V$ ,  $T_A = 25^\circ C$

Parameter		Conditions		DM54/74			DM54/74			Units		
				LS240, LS241 LS244			S240, S241, S244 S940, S941					
				Min	Typ (1)	Max	Min	Typ (1)	Max			
$t_{PLH}$	Propagation Delay Time Low to High Level Output	$C_L = 45 \text{ pF}$	$R_L = 667 \Omega$	LS240	3	9	14				ns	
				LS241, 244	5	12	18					
			$R_L = 90 \Omega$	S240, 940				2	4.5	7		
				S241, 244, 941				2	6	9		
$t_{PHL}$	Propagation Delay Time High to Low Level Output	$C_L = 45 \text{ pF}$	$R_L = 667 \Omega$	LS240	5	12	18				ns	
				LS241, 244	7	12	18					
			$R_L = 90 \Omega$	S240, 940				2	4.5	7		
				S241, 244, 941				2	6	9		
$t_{pZL}$	Output Enable Time to Low Level	$C_L = 45 \text{ pF}$	$R_L = 667 \Omega$	LS240	10	20	30				ns	
				LS241, 244	10	20	30					
			$R_L = 90 \Omega$	S240, 940				3	10	15		
				S241, 244, 941				3	10	15		
$t_{pZH}$	Output Enable Time to High Level	$C_L = 45 \text{ pF}$	$R_L = 667 \Omega$	LS240	5	15	23				ns	
				LS241, 244	10	15	23					
			$R_L = 90 \Omega$	S240, 940				2	6.5	10		
				S241, 244, 941				3	8	12		
$t_{pLZ}$	Output Disable Time from Low Level	$C_L = 5 \text{ pF}$	$R_L = 667 \Omega$	LS240	7	15	25				ns	
				LS241, 244	8	15	25					
			$R_L = 90 \Omega$	S240, 940				4	10	15		
				S241, 244, 941				2	10	15		
$t_{pHZ}$	Output Disable Time from High Level	$C_L = 5 \text{ pF}$	$R_L = 667 \Omega$	LS240	5	10	18				ns	
				LS241, 244	5	10	18					
			$R_L = 90 \Omega$	S240, 940				2	6	9		
				S241, 244, 941				2	6	9		
$t_{PLH}$	Propagation Delay Time Low to High Level Output	$C_L = 150 \text{ pF}$	$R_L = 667 \Omega$	LS240	5	11	18				ns	
				LS241, 244	6	14	21					
			$R_L = 90 \Omega$	S240, 940				3	7	10		
				S241, 244, 941				4	9	12		
$t_{PHL}$	Propagation Delay Time High to Low Level Output	$C_L = 150 \text{ pF}$	$R_L = 667 \Omega$	LS240	6	15	22				ns	
				LS241, 244	6	15	22					
			$R_L = 90 \Omega$	S240, 940				3	7	10		
				S241, 244, 941				4	9	12		
$t_{pZL}$	Output Enable Time to Low Level	$C_L = 150 \text{ pF}$	$R_L = 667 \Omega$	LS240	12	22	33				ns	
				LS241, 244	12	22	33					
			$R_L = 90 \Omega$	S240, 940				6	14	21		
				S241, 244, 941				6	14	21		
$t_{pZH}$	Output Enable Time to High Level	$C_L = 150 \text{ pF}$	$R_L = 667 \Omega$	LS240	6	18	26				ns	
				LS241, 244	11	18	26					
			$R_L = 90 \Omega$	S240, 940				4	9	12		
				S241, 244, 941				4	10	15		

TTL  
MSITYPES SN54273, SN54LS273, SN74273, SN74LS273  
OCTAL D-TYPE FLIP-FLOP WITH CLEAR

BULLETIN NO. DL 5 7612091, OCTOBER 1976

- Contains Eight Flip-Flops with Single-Rail Outputs
- Buffered Clock and Direct Clear Inputs
- Individual Data Input to Each Flip-Flop
- Applications Include:
  - Buffer/Storage Registers
  - Shift Registers
  - Pattern Generators

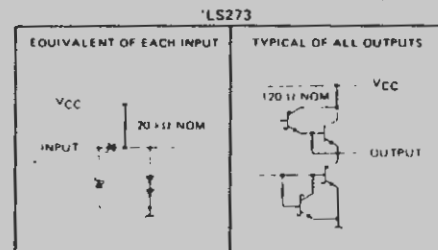
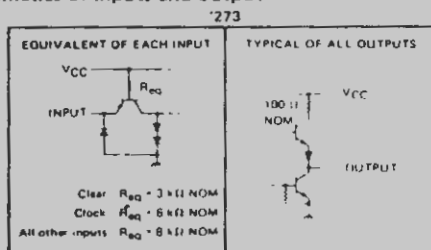
## description

These monolithic, positive-edge-triggered flip-flops utilize TTL circuitry to implement D-type flip-flop logic with a direct clear input.

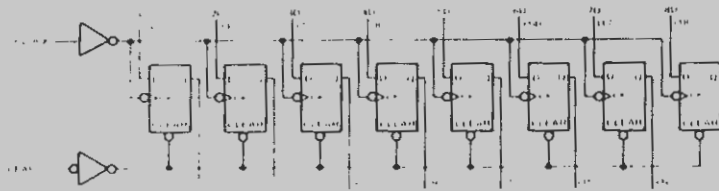
Information at the D inputs meeting the setup time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a particular voltage level and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D input signal has no effect at the output.

These flip-flops are guaranteed to respond to clock frequencies ranging from 0 to 30 megahertz while maximum clock frequency is typically 40 megahertz. Typical power dissipation is 39 milliwatts per flip-flop for the '273 and 10 milliwatts for the 'LS273.

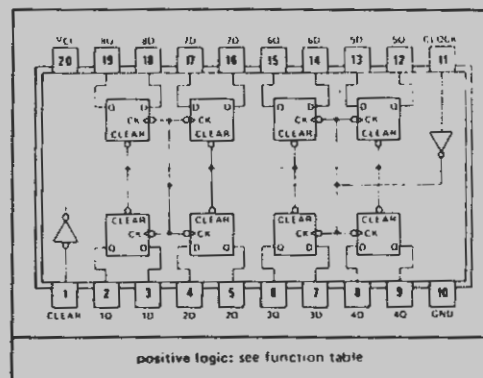
## schematics of inputs and output



## functional block diagram



SN54273, SN54LS273 ... J PACKAGE  
 SN74273, SN74LS273 ... J OR N PACKAGE



FUNCTION TABLE  
 (EACH FLIP-FLOP)

INPUTS			OUTPUT
CLEAR	CLOCK	D	Q
L	X	X	L
H	•	H	H
H	1	L	L
H	L	X	Q <sub>0</sub>

See explanation of function tables on page 3 B

## TYPES SN54LS273, SN74LS273

### OCTAL D-TYPE FLIP-FLOP WITH CLEAR

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1)	7 V
Input voltage	7 V
Operating free-air temperature range: SN54LS273	-55°C to 125°C
SN74LS273	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal

recommended operating conditions

			SN54LS273			SN74LS273			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$			4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$			-400			-400			$\mu$ A
Low-level output current, $I_{OL}$			4			8			mA
Clock frequency, $f_{clock}$			0		30	0		30	MHz
Width of clock or clear pulse, $t_w$			20			20			ns
Set-up time, $t_{su}$		Data input	20†			20†			ns
		Clear inactive state	25†			25†			
Data hold time, $t_h$			5†			5†			ns
Operating free-air temperature, $T_A$			-55		125	0		70	°C

† The arrow indicates that the rising edge of the clock pulse is used for reference.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS273		SN74LS273		UNIT
		MIN	TYP‡ MAX	MIN	TYP‡ MAX	
$V_{IH}$ High-level input voltage		2		2		V
$V_{IL}$ Low-level input voltage			0.7		0.8	V
$V_{IK}$ Input clamp voltage	$V_{CC} = \text{MIN}, I_I = -18 \text{ mA}$		-1.5		-1.5	V
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = V_{ILmax}, I_{OH} = -400 \mu\text{A}$	2.5	3.4	2.7	3.4	V
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, I_{OL} = 4 \text{ mA}, V_{IL} = V_{ILmax}, I_{OL} = 8 \text{ mA}$	0.25	0.4	0.25	0.4	V
$I_I$ Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 7 \text{ V}$		0.1		0.1	mA
$I_{IH}$ High-level input current	$V_{CC} = \text{MAX}, V_I = 2.7 \text{ V}$		20		20	$\mu$ A
$I_{IL}$ Low-level input current	$V_{CC} = \text{MAX}, V_I = -0.4 \text{ V}$		-0.4		-0.4	mA
$I_{OS}$ Short-circuit output current §	$V_{CC} = \text{MAX}$	-20	-100	-20	-100	mA
$I_{CC}$ Supply current	$V_{CC} = \text{MAX}, \text{ See Note 2}$	17	27	17	27	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$ .

§ Not more than one output should be shorted at a time and duration of short circuit should not exceed one second.

NOTE 2: With all outputs open and 4.5 V applied to all data and clear inputs,  $I_{CC}$  is measured after a momentary ground, then 4.5 V is applied to clock.

switching characteristics,  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$f_{max}$ Maximum clock frequency		30	40		MHz
$t_{PHL}$ Propagation delay time, high-to-low-level output from clear	$C_L = 15 \text{ pF}$		18	27	ns
$t_{PLH}$ Propagation delay time, low-to-high-level output from clock	$R_L = 2 \text{ k}\Omega$		17	27	ns
$t_{PHL}$ Propagation delay time, high-to-low-level output from clock	See Note 4		18	27	ns

NOTE 4: Load circuit and voltage waveforms are shown on page 3-11



## Sample and Hold

### LF198/LF298/LF398 monolithic sample and hold circuits

#### general description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as  $6\mu\text{s}$  to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of  $10^{10}\Omega$  allows high source impedances to be used without degrading accuracy.

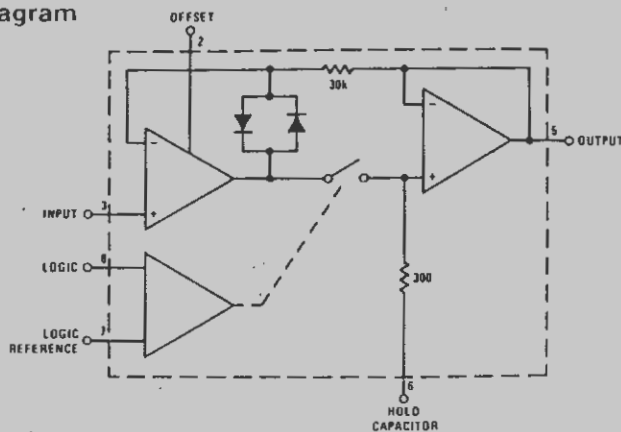
P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a  $1\mu\text{F}$  hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode even for input signals equal to the supply voltages.

#### features

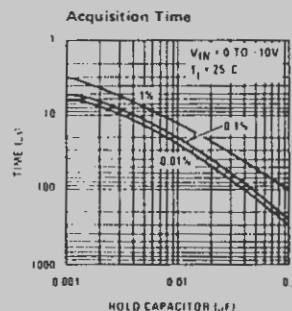
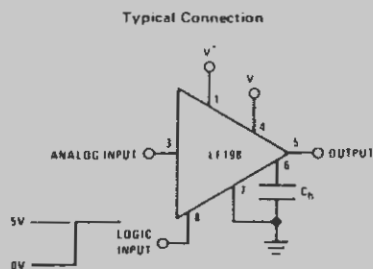
- Operates from  $\pm 5\text{V}$  to  $\pm 18\text{V}$  supplies
- Less than  $10\mu\text{s}$  acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at  $C_H = 0.01\mu\text{F}$
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from  $\pm 5\text{V}$  to  $\pm 18\text{V}$  supplies. It is available in an 8-lead TO-5 package.

#### functional diagram



#### typical applications





## absolute maximum ratings

Supply Voltage	±18V	Input Voltage	Equal to Supply Voltage
Power Dissipation (Package Limitation) (Note 1)	500 mW	Logic To Logic Reference Differential Voltage (Note 2)	+7V, -30V
Operating Ambient Temperature Range		Output Short Circuit Duration	Indefinite
LF198	-55°C to +125°C	Hold Capacitor Short Circuit Duration	10 sec
LF298	-25°C to +85°C	Lead Temperature (Soldering, 10 seconds)	300°C
LF398	0°C to +70°C		
Storage Temperature Range	-65°C to +150°C		

## electrical characteristics (Note 3)

PARAMETER	CONDITIONS	LF198/LF298			LF398			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage, (Note 6)	$T_j = 25^\circ\text{C}$		1	3		2	7	mV
	Full Temperature Range			5			10	mV
Input Bias Current, (Note 6)	$T_j = 25^\circ\text{C}$		5	25		10	50	nA
	Full Temperature Range			75			100	nA
Input Impedance	$T_j = 25^\circ\text{C}$		$10^{10}$			$10^{10}$		$\Omega$
Gain Error	$T_j = 25^\circ\text{C}$ , $R_L = 10\text{k}$		0.002	0.005		0.004	0.01	%
	Full Temperature Range			0.02			0.02	%
Feedthrough Attenuation Ratio at 1 kHz	$T_j = 25^\circ\text{C}$ , $C_H = 0.01\mu\text{F}$	86	96		80	90		dB
Output Impedance	$T_j = 25^\circ\text{C}$ , "HOLD" mode		0.5	2		0.5	4	$\Omega$
	Full Temperature Range			4			6	$\Omega$
"HOLD" Step, (Note 4)	$T_j = 25^\circ\text{C}$ , $C_H = 0.01\mu\text{F}$ , $V_{OUT} = 0$		0.5	2.0		1.0	2.5	mV
Supply Current, (Note 6)	$T_j \geq 25^\circ\text{C}$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_j = 25^\circ\text{C}$		2	10		2	10	$\mu\text{A}$
Leakage Current into Hold Capacitor (Note 6)	$T_j = 25^\circ\text{C}$ , (Note 5) Hold Mode		30	100		30	200	pA
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10\text{V}$ , $C_H = 1000\text{pF}$ $C_H = 0.01\mu\text{F}$		4			4		$\mu\text{s}$
			20			20		$\mu\text{s}$
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2\text{V}$		5			5		mA
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	80	110		80	110		dB
Differential Logic Threshold	$T_j = 25^\circ\text{C}$	0.8	1.4	2.4	0.8	1.4	2.4	V

Note 1: The maximum junction temperature of the LF198 is 150°C, for the LF298, 115°C, and for the LF398, 100°C. When operating at elevated ambient temperature, the TO-5 package must be derated based on a thermal resistance ( $\theta_{JA}$ ) of 150°C/W.

Note 2: Although the differential voltage may not exceed the limits given, the common-mode voltage on the logic pins may be equal to the supply voltages without causing damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the negative supply.

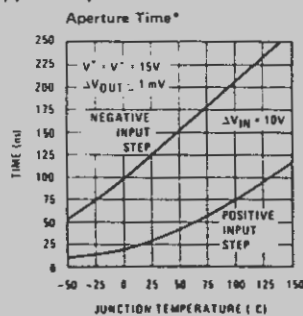
Note 3: Unless otherwise specified, the following conditions apply. Unit is in "sample" mode,  $V_S = \pm 15\text{V}$ ,  $T_j = 25^\circ\text{C}$ ,  $-11.5\text{V} \leq V_{IN} \leq +11.5\text{V}$ ,  $C_H = 0.01\mu\text{F}$ , and  $R_L = 10\text{k}\Omega$ . Logic reference voltage = 0V and logic voltage = 2.5V.

Note 4: Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1 pF, for instance, will create an additional 0.5 mV step with a 5V logic swing and a 0.01 $\mu\text{F}$  hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.

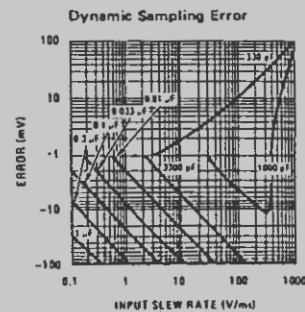
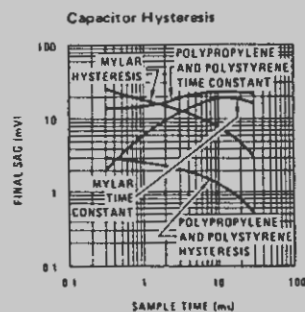
Note 5: Leakage current is measured at a junction temperature of 25°C. The effects of junction temperature rise due to power dissipation or elevated ambient can be calculated by doubling the 25°C value for each 11°C increase in chip temperature. Leakage is guaranteed over full input signal range.

Note 6: These parameters guaranteed over a supply voltage range of  $\pm 5$  to  $\pm 18\text{V}$ .

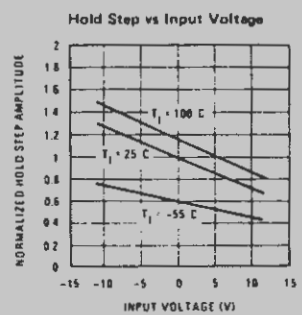
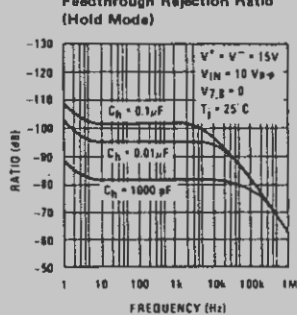
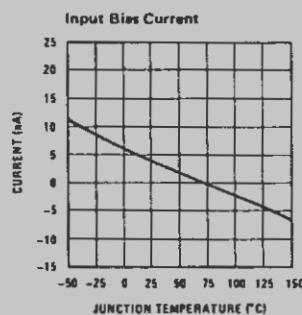
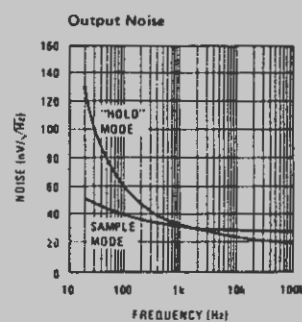
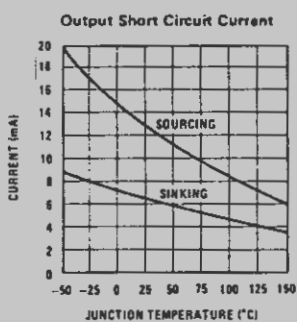
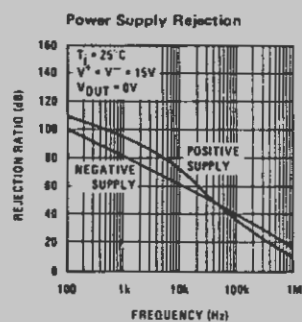
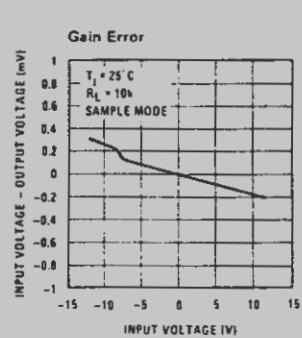
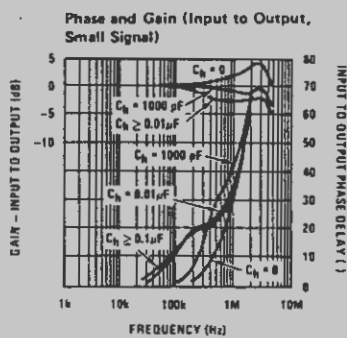
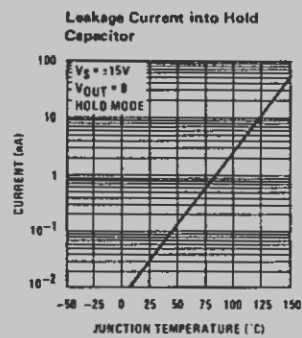
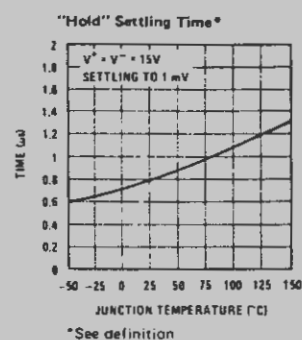
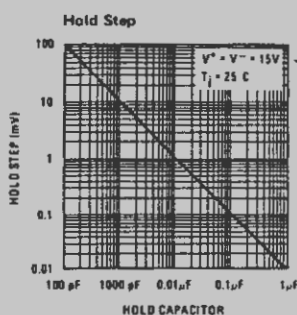
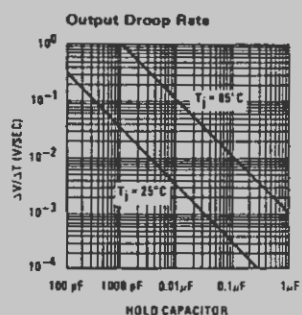
## typical performance characteristics



\*See definition



# typical performance characteristics (con't)





DM54/DM74LS138, S138, LS139, S139

## Decoders/Demultiplexers

## General Description

These Schottky clamped circuits are designed to be used in high-performance memory-decoding or data-routing applications, requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When used with high-speed memories, the delay times of these decoders are usually less than the typical access time of the memory. This means that the effective system delay introduced by the decoder is negligible.

The LS138 and S138 decode one-of-eight lines, based upon the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented with no external inverters, and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

The LS139 and S139 comprise two separate two-line-to-four-line decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

All of these decoders/demultiplexers feature fully buffered inputs, presenting only one normalized load to its driving

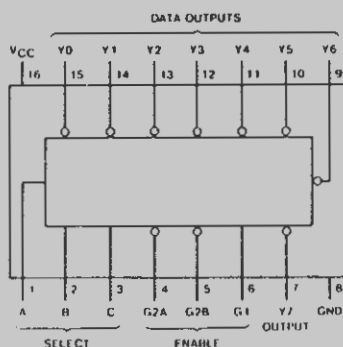
circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and simplify system design.

## Features

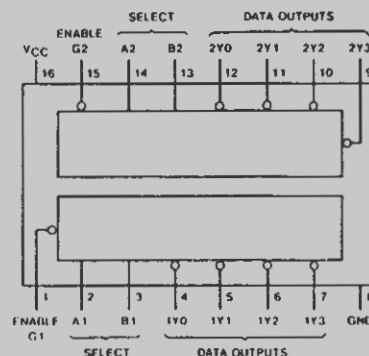
- Designed specifically for high-speed:
  - Memory decoders
  - Data transmission systems
- S138 and LS138 3-to-8-line decoders incorporate 3 enable inputs to simplify cascading and/or data reception
- S139 and LS139 contain two fully independent 2-to-4-line decoders/demultiplexers
- Schottky clamped for high performance

Type	Typical Propagation Delay (3 Levels of Logic)	Typical Power Dissipation
LS138	21 ns	32 mW
S138	8 ns	245 mW
LS139	21 ns	34 mW
S139	7.5 ns	300 mW

## Connection Diagrams



54LS138 (J,W) 74LS138 (N)  
54S138 (J,W) 74S138 (N)



54LS139 (J,W) 74LS139 (N)  
54S139 (J,W) 74S139 (N)

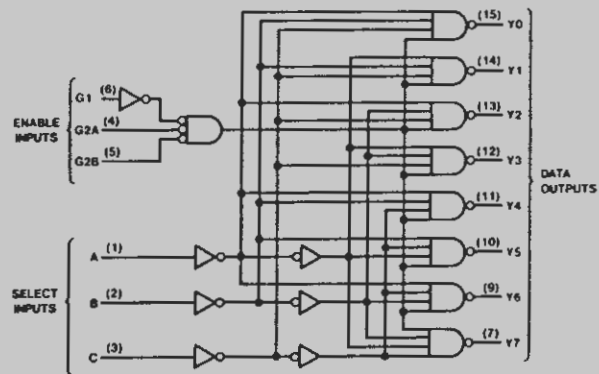


MSI

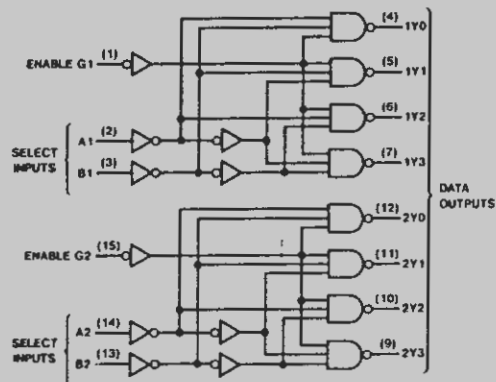
DM54/DM74LS138, S138, LS139, S139

# Logic Diagrams

138, S138, LS138



139, S139, LS139



MSI

DM54/DM74LS138, S138, LS139, S139

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Parameter	Conditions	DM54/74			DM54/74			Units	
		LS138, LS139			S138, S139				
		Min	Typ (1)	Max	Min	Typ (1)	Max		
$V_{IH}$	High Level Input Voltage	2			2			V	
$V_{IL}$	Low Level Input Voltage			0.8			0.8	V	
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$					-1.2	V	
$I_{OH}$	High Level Output Current			-400			-1000	$\mu\text{A}$	
$V_{OH}$	High Level Output Voltage	$V_{CC} = \text{Min}, V_{IH} = 2 \text{ V}$ $V_{IL} = \text{Max}, I_{OH} = \text{Max}$			2.5	3.4	2.5	3.4	V
$I_{OL}$	Low Level Output Current			4			20	$\text{mA}$	
$V_{OL}$	Low Level Output Voltage	$V_{CC} = \text{Min}$ $V_{IH} = 2 \text{ V}$ $V_{IL} = \text{Max}$ $I_{OL} = \text{Max}$			0.25	0.4	0.5	0.5	V
$I_I$	Input Current at Maximum Input Voltage	$V_{CC} = \text{Max}$ $V_I = 5.5 \text{ V}$ $V_I = 7 \text{ V}$					0.1	1	$\text{mA}$
$I_{IH}$	High Level Input Current	$V_{CC} = \text{Max}$ $V_I = 2.7 \text{ V}$					20	50	$\mu\text{A}$
$I_{IL}$	Low Level Input Current	$V_{CC} = \text{Max}$ $V_I = 0.4 \text{ V}$ $V_I = 0.5 \text{ V}$					-0.36	-2	$\text{mA}$
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max (2)}$			-20		-100	-40	$\text{mA}$
$I_{CC}$	Supply Current	$V_{CC} = \text{Max}$ Outputs Enabled and Open			6.3	10	49	74	$\text{mA}$
		LS138, S138			6.8	11	60	90	
		LS139, S139							

Note 1: All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$ .

Note 2: Not more than one output should be shorted at a time, and duration of short circuit should not exceed four seconds.

Note 1: All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$ .

Note 2: Not more than one output should be shorted at a time, and duration of short circuit should not exceed one second.

# Switching Characteristics $V_{CC} = 5V, T_A = 25^\circ C$

Parameter		From (Input)	To (Output)	Levels of Delay	Conditions	DM54/74			DM54/74			Conditions	DM54/74			DM54/74			Units
						LS138			LS139				S138			S139			
						Min	Typ	Max	Min	Typ	Max		Min	Typ	Max	Min	Typ	Max	
IPLH	Propagation Delay Time, Low-to-High Level Output	Binary Select	Any	2	$C_L = 15\text{ pF}$ $R_L = 2\text{ k}\Omega$	13	18		13	18	$C_L = 15\text{ pF}$ $R_L = 280\text{ k}\Omega$	4.5	7		5	7.5	ns		
	$C_L = 50\text{ pF}$ $R_L = 2\text{ k}\Omega$				16	27	16	27	$C_L = 50\text{ pF}$ $R_L = 280\text{ k}\Omega$	6	9		6.5	10					
IPHL	Propagation Delay Time, High-to-Low Level Output			$C_L = 15\text{ pF}$ $R_L = 2\text{ k}\Omega$	17	27	17	27	$C_L = 15\text{ pF}$ $R_L = 280\text{ k}\Omega$	7	10.5		8.5	10		ns			
	$C_L = 50\text{ pF}$ $R_L = 2\text{ k}\Omega$			23	40	23	40	$C_L = 50\text{ pF}$ $R_L = 280\text{ k}\Omega$	9	14		8.5	13						
IPLH	Propagation Delay Time, Low-to-High Level Output			$C_L = 15\text{ pF}$ $R_L = 2\text{ k}\Omega$	13	18	13	18	$C_L = 15\text{ pF}$ $R_L = 280\text{ k}\Omega$	7.5	12		7	12		ns			
	$C_L = 50\text{ pF}$ $R_L = 2\text{ k}\Omega$			16	27	16	27	$C_L = 50\text{ pF}$ $R_L = 280\text{ k}\Omega$	9	14		8.5	13						
IPHL	Propagation Delay Time, High-to-Low Level Output		$C_L = 15\text{ pF}$ $R_L = 2\text{ k}\Omega$	17	27	17	27	$C_L = 15\text{ pF}$ $R_L = 280\text{ k}\Omega$	8	12		8	12		ns				
	$C_L = 50\text{ pF}$ $R_L = 2\text{ k}\Omega$		23	40	23	40	$C_L = 50\text{ pF}$ $R_L = 280\text{ k}\Omega$	10	15		10	15							
IPLH	Propagation Delay Time, Low-to-High Level Output	Enable	Any	2	$C_L = 15\text{ pF}$ $R_L = 2\text{ k}\Omega$	13	18		13	18	$C_L = 15\text{ pF}$ $R_L = 280\text{ k}\Omega$	5	8		5	8	ns		
	$C_L = 50\text{ pF}$ $R_L = 2\text{ k}\Omega$				16	27	16	27	$C_L = 50\text{ pF}$ $R_L = 280\text{ k}\Omega$	6.5	10		6.5	10					
IPHL	Propagation Delay Time, High-to-Low Level Output			$C_L = 15\text{ pF}$ $R_L = 2\text{ k}\Omega$	16	24	16	24	$C_L = 15\text{ pF}$ $R_L = 280\text{ k}\Omega$	7	11		6.5	10		ns			
	$C_L = 50\text{ pF}$ $R_L = 2\text{ k}\Omega$			22	40	22	40	$C_L = 50\text{ pF}$ $R_L = 280\text{ k}\Omega$	9	14		8.5	13						
IPLH	Propagation Delay Time, Low-to-High Level Output			$C_L = 15\text{ pF}$ $R_L = 2\text{ k}\Omega$	13	18		N/A	$C_L = 15\text{ pF}$ $R_L = 280\text{ k}\Omega$	7	11		N/A			ns			
	$C_L = 50\text{ pF}$ $R_L = 2\text{ k}\Omega$			16	27		N/A	$C_L = 50\text{ pF}$ $R_L = 280\text{ k}\Omega$	8.5	13		N/A							
IPHL	Propagation Delay Time, High-to-Low Level Output		$C_L = 15\text{ pF}$ $R_L = 2\text{ k}\Omega$	19	28		N/A	$C_L = 15\text{ pF}$ $R_L = 280\text{ k}\Omega$	7	11		N/A			ns				
	$C_L = 50\text{ pF}$ $R_L = 2\text{ k}\Omega$		25	40		N/A	$C_L = 50\text{ pF}$ $R_L = 280\text{ k}\Omega$	9	14		N/A								

6-56

MSI

DM54/DM74LS138, S138, LS139, S139



## Truth Tables

LS138, S138

Inputs				Outputs								
Enable		Select										
G1	G2	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	L	L	H	H	H	H
H	L	H	L	L	H	H	H	L	L	H	H	H
H	L	H	L	H	H	H	H	L	L	L	H	H
H	L	H	H	L	H	H	H	H	L	L	L	H
H	L	H	H	H	H	H	H	H	L	L	L	L

\*G2 = G2A + G2B

H = High level, L = Low level, X = don't care

DM54/DM74LS138, S138, LS139, S139

LS139, S139

Inputs			Outputs			
Enable	Select			Y1	Y2	Y3
G	B	A	Y0			
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = High level, L = Low level, X = don't care



AUGUST 1977

## LM136/LM236/LM336 2.5V Reference Diode

### General Description

The LM136/LM236 and LM336 integrated circuits are precision 2.5V shunt regulator diodes. These monolithic IC voltage references operate as a low temperature coefficient 2.5V zener with  $0.2\Omega$  dynamic impedance. A third terminal on the LM136 allows the reference voltage and temperature coefficient to be trimmed easily.

The LM136 series is useful as a precision 2.5V low voltage reference for digital voltmeters, power supplies or op amp circuitry. The 2.5V make it convenient to obtain a stable reference from 5V logic supplies. Further, since the LM136 operates as a shunt regulator, it can be used as either a positive or negative voltage reference.

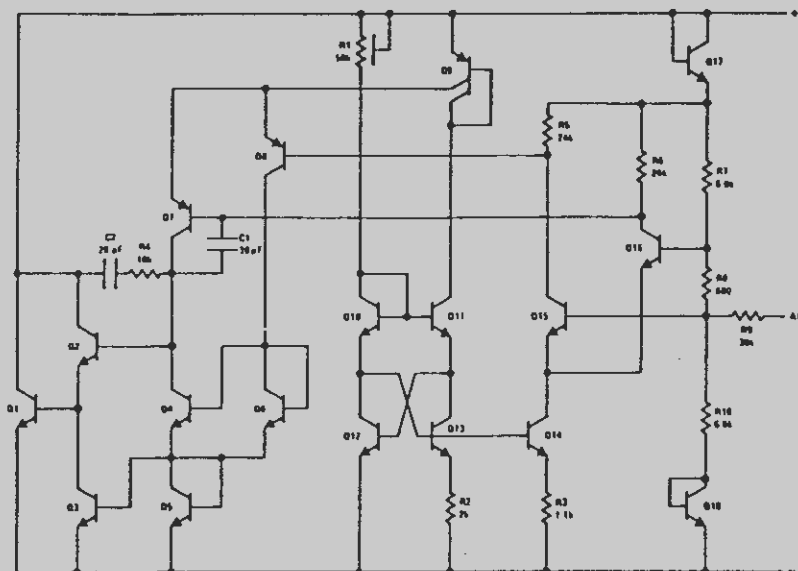
The LM136 is rated for operation over  $-55^\circ\text{C}$  to  $+125^\circ\text{C}$  while the LM236 is rated over a  $-25^\circ\text{C}$  to  $+85^\circ\text{C}$

temperature range. Both are packaged in a TO-46 package. The LM336 is rated for operation over a  $0^\circ\text{C}$  to  $+70^\circ\text{C}$  temperature range and is available in either a three lead TO-46 package or a TO-92 plastic package.

### Features

- Low temperature coefficient
- Wide operating current of  $300\mu\text{A}$  to  $10\text{mA}$
- $0.2\Omega$  dynamic impedance
- $\pm 1\%$  initial tolerance available
- Guaranteed temperature stability
- Easily trimmed for minimum temperature drift
- Fast turn-on
- Three lead transistor package

### Schematic Diagram

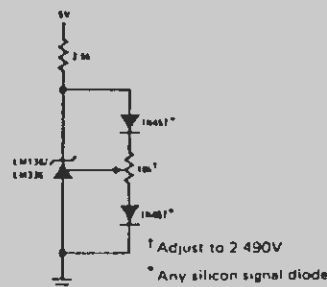


### Typical Applications

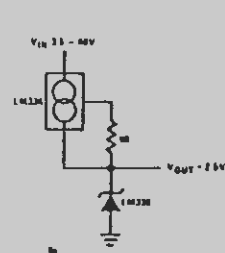
2.5V Reference



2.5V Reference with Minimum Temperature Coefficient



Wide Input Range Reference



### Absolute Maximum Ratings

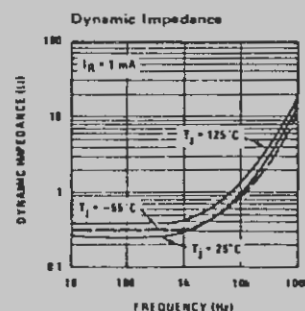
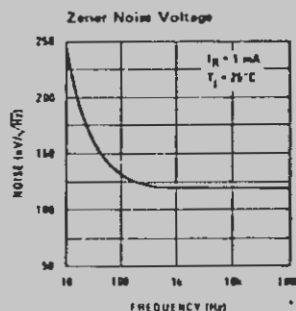
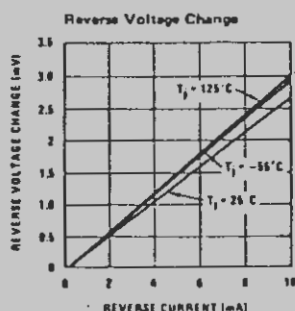
Reverse Current	15 mA
Forward Current	10 mA
Storage Temperature	-60°C to +150°C
Operating Temperature	
LM136	-55°C to +150°C
LM236	-25°C to +85°C
LM336	0°C to +70°C
Lead Temperature (Soldering, 10 seconds)	300°C

### Electrical Characteristics (Note 1)

PARAMETER	CONDITIONS	LM136A/LM236A LM136/LM236			LM336B LM336			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Reverse Breakdown Voltage	$T_A = 25^\circ\text{C}$ , $I_R = 1\text{ mA}$ LM136/LM236/LM336	2.440	2.490	2.540	2.390	2.490	2.590	V
	LM136A/LM236A, LM336B	2.465	2.490	2.515	2.440	2.490	2.540	V
Reverse Breakdown Change With Current	$T_A = 25^\circ\text{C}$ , $400\text{ }\mu\text{A} \leq I_R \leq 10\text{ mA}$		2.6	6		2.6	10	mV
Reverse Dynamic Impedance	$T_A = 25^\circ\text{C}$ , $I_R = 1\text{ mA}$		0.2	0.6		0.2	1	$\Omega$
Temperature Stability $V_R$ Adjusted to 2.490V $I_R = 1\text{ mA}$ , (Figure 2)	$0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ (LM336)					1.8	6	mV
	$-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ (LM236)		3.5	9				mV
	$-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ (LM136)		12	18				mV
Reverse Breakdown Change With Current	$400\text{ }\mu\text{A} \leq I_R \leq 10\text{ mA}$		3	10		3	12	mV
Reverse Dynamic Impedance	$I_R = 1\text{ mA}$		0.4	1		0.4	1.4	$\Omega$
Long Term Stability	$T_A = 25^\circ\text{C} \pm 0.1^\circ\text{C}$ , $I_R = 1\text{ mA}$		20			20		ppm

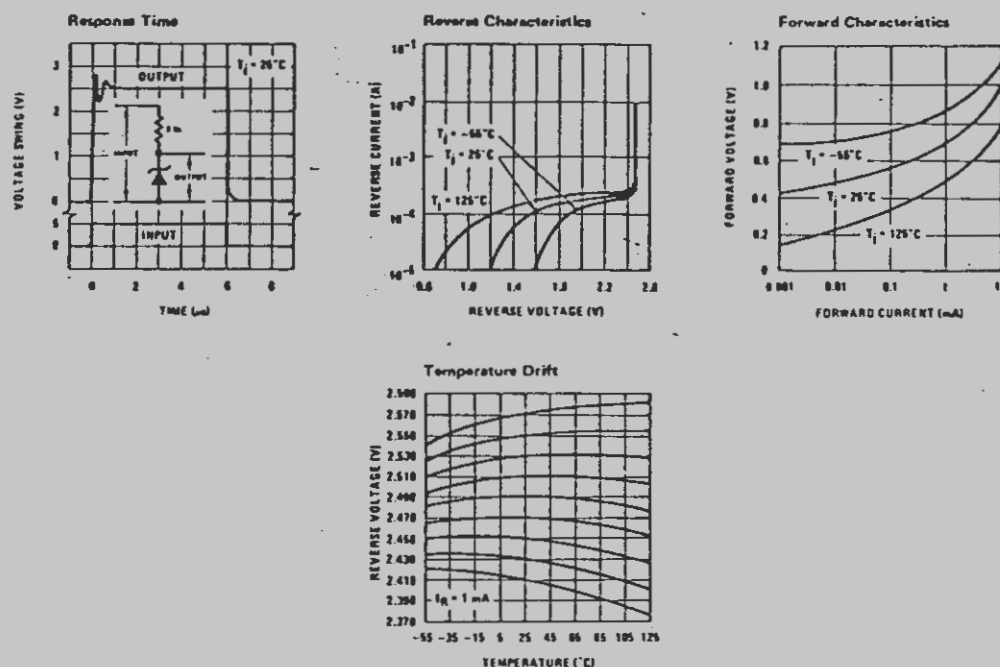
Note 1: Unless otherwise specified, the LM136 is specified from  $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ , the LM236 from  $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$  and the LM336 from  $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$ .

### Typical Performance Characteristics





## Typical Performance Characteristics (Continued)



## Application Hints

The LM136 series voltage references are much easier to use than ordinary zener diodes. Their low impedance and wide operating current range simplify biasing in almost any circuit. Further, either the breakdown voltage or the temperature coefficient can be adjusted to optimize circuit performance.

Figure 1 shows an LM136 with a 10k potentiometer for adjusting the reverse breakdown voltage. With the addition of  $R_1$  the breakdown voltage can be adjusted without affecting the temperature coefficient of the device. The adjustment range is usually sufficient to

adjust for both the initial device tolerance and inaccuracies in buffer circuitry.

If minimum temperature coefficient is desired, two diodes can be added in series with the adjustment potentiometer as shown in Figure 2. When the device is adjusted to 2.490V the temperature coefficient is minimized. Almost any silicon signal diode can be used for this purpose such as a 1N914, 1N4148 or a 1N457. For proper temperature compensation the diodes should be in the same thermal environment as the LM136. It is usually sufficient to mount the diodes near the LM136 on the printed circuit board. The absolute resistance of  $R_1$  is not critical and any value from 2k to 20k will work.

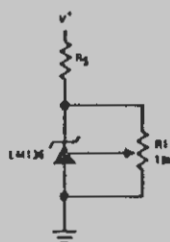


FIGURE 1. LM136 With Pot for Adjustment of Breakdown Voltage

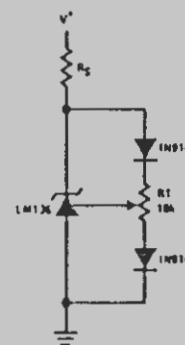
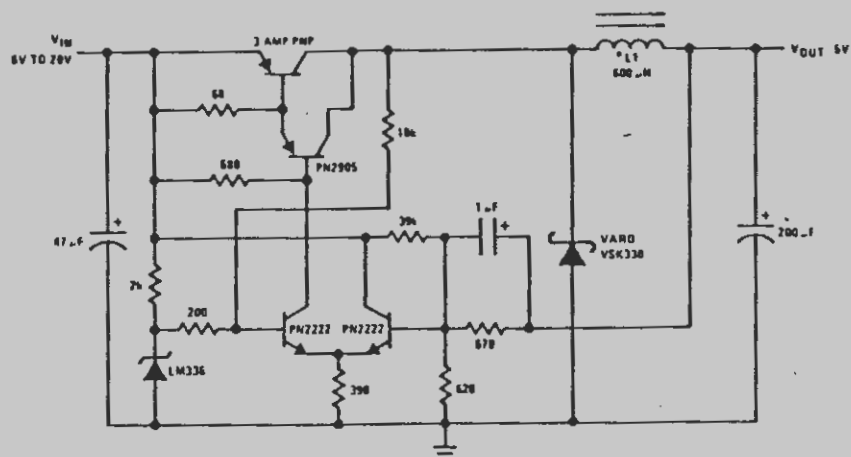


FIGURE 2. Temperature Coefficient Adjustment

### Typical Applications (Continued)

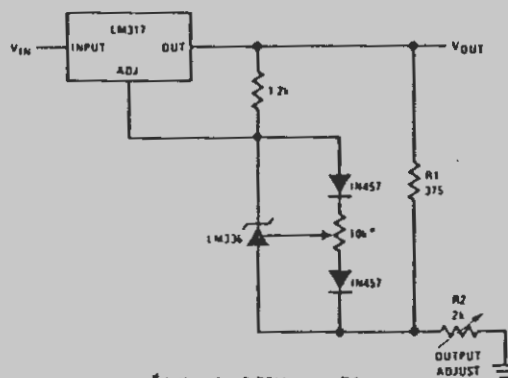
### Low Cost 2 Amp Switching Regulator<sup>†</sup>



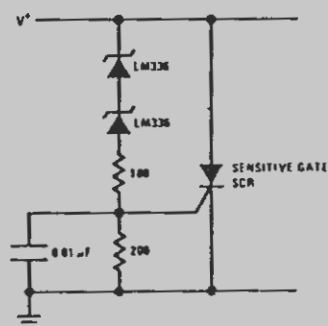
\* L1 60 turns = 16 wire on Arnold Core A-254168-2

† Efficiency  $\approx 80\%$

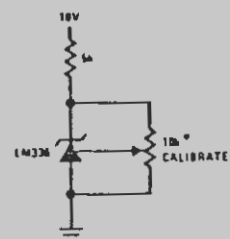
### Precision Power Regulator with Low Temperature Coefficient



### 5V Crowbar



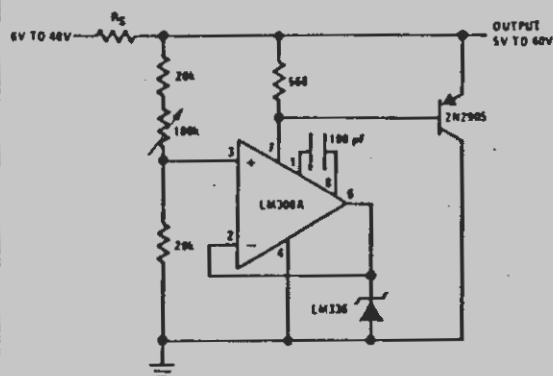
### Trimmed 2.5V Reference with Temperature Coefficient Independent of Breakdown Voltage



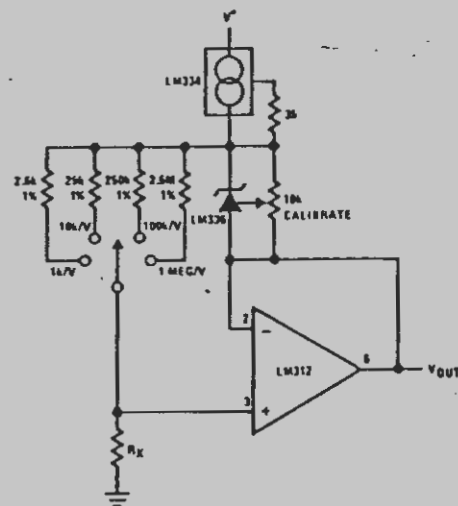
- Does not affect temperature coefficient

# Typical Applications (Continued)

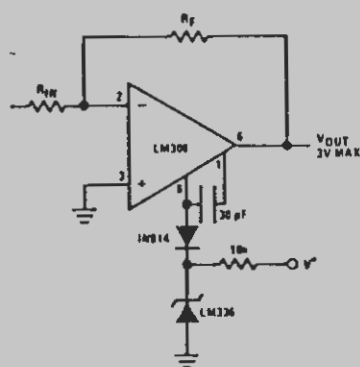
Adjustable Shunt Regulator



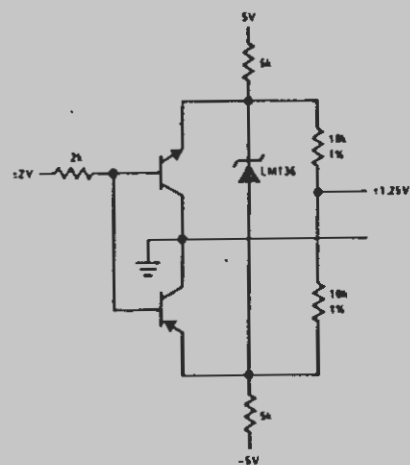
Linear Ohmmeter



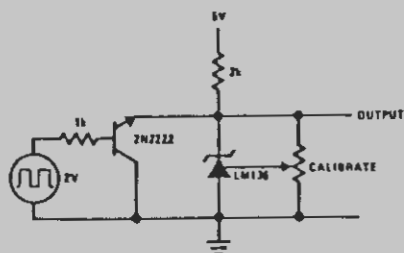
Op Amp with Output Clamped



Bipolar Output Reference



2.5V Square Wave Calibrator







## Voltage Regulators

### LM78XX Series Voltage Regulators

#### General Description

The LM78XX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78XX series is available in an aluminum TO-3 package which will allow over 1.0A load current if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Considerable effort was expended to make the LM78XX series of regulators easy to use and minimize the number

of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

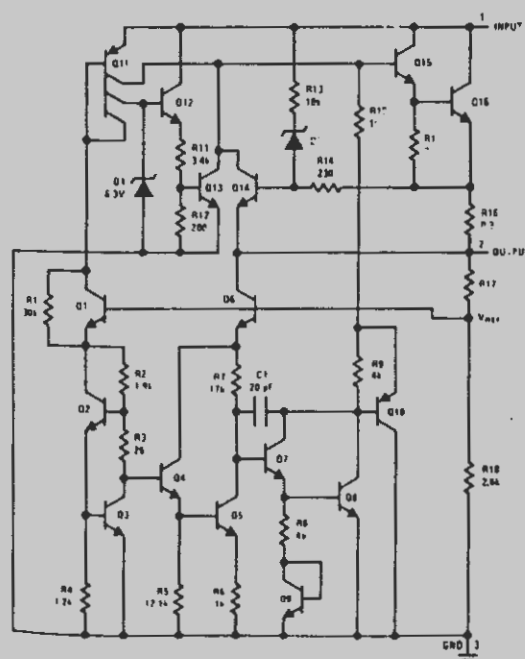
#### Features

- Output current in excess of 1A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in the aluminum TO-3 package

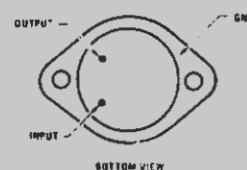
#### Voltage Range

LM7805C	5V
LM7812C	12V
LM7815C	15V

#### Schematic and Connection Diagrams

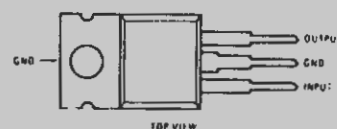


Metal Can Package  
TO-3 (K)  
Aluminum



Order Numbers  
LM7805CK  
LM7812CK  
LM7815CK  
See Package KC02A

Plastic Package  
TO-220 (T)



Order Numbers:  
LM7805CT  
LM7812CT  
LM7815CT  
See Package T03B

## Absolute Maximum Ratings

Input Voltage ( $V_O = 5V, 12V$ and $15V$ )	35V
Internal Power Dissipation (Note 1)	Internally Limited
Operating Temperature Range ( $T_A$ )	$0^\circ\text{C}$ to $+70^\circ\text{C}$
Maximum Junction Temperature	
(K Package)	$150^\circ\text{C}$
(T Package)	$125^\circ\text{C}$
Storage Temperature Range	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Lead Temperature (Soldering, 10 seconds)	
TO-3 Package K	$300^\circ\text{C}$
TO-220 Package T	$230^\circ\text{C}$

## Electrical Characteristics LM78XXC (Note 2) $0^\circ\text{C} < T_J < 125^\circ\text{C}$ unless otherwise noted.

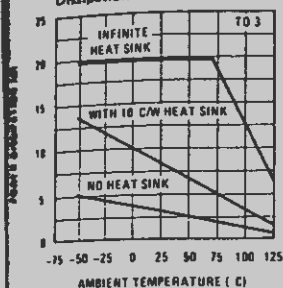
OUTPUT VOLTAGE		5V			12V			15V		
INPUT VOLTAGE (unless otherwise noted)		10V			19V			23V		
PARAMETER	CONDITIONS	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
$V_O$ Output Voltage	$T_J = 25^\circ\text{C}, 5\text{ mA} < I_O < 1\text{ A}$	4.8	5	5.2	11.5	12	12.5	14.4	15	15.6
	$P_D < 15\text{ W}, 5\text{ mA} < I_O < 1\text{ A}$	4.75		5.25	11.4		12.6	14.25		15.75
	$V_{\text{MIN}} < V_{\text{IN}} < V_{\text{MAX}}$	(7 < $V_{\text{IN}} < 20$ )			(14.5 < $V_{\text{IN}} < 30$ )			(17.5 < $V_{\text{IN}} < 30$ )		
$\Delta V_O$ Line Regulation	$I_O = 500\text{ mA}$	$T_J = 25^\circ\text{C}$								
		$\Delta V_{\text{IN}}$								
		(7 < $V_{\text{IN}} < 25$ )		3 50	(14.5 < $V_{\text{IN}} < 30$ )		4 120	(17.5 < $V_{\text{IN}} < 30$ )		4 150
	$I_O < 1\text{ A}$	$0^\circ\text{C} < T_J < +125^\circ\text{C}$								
		$\Delta V_{\text{IN}}$								
		(8 < $V_{\text{IN}} < 20$ )		50 120	(15 < $V_{\text{IN}} < 27$ )		60 150	(20 < $V_{\text{IN}} < 26$ )		75 150
$\Delta V_O$ Load Regulation	$T_J = 25^\circ\text{C}$	$5\text{ mA} < I_O < 1.5\text{ A}$								
		$250\text{ mA} < I_O < 750\text{ mA}$								
	$5\text{ mA} < I_O < 1\text{ A}, 0^\circ\text{C} < T_J < +125^\circ\text{C}$	10 50			12 120			12 150		
$I_O$ Quiescent Current	$I_O < 1\text{ A}$	$T_J = 25^\circ\text{C}$								
		$0^\circ\text{C} < T_J < +125^\circ\text{C}$								
	$5\text{ mA} < I_O < 1\text{ A}, 0^\circ\text{C} < T_J < +125^\circ\text{C}$	8 8.5			8 8.5			8 8.5		
$\Delta I_O$ Quiescent Current Change	$5\text{ mA} < I_O < 1\text{ A}$		0.5			0.5			0.5	
	$T_J = 25^\circ\text{C}, I_O < 1\text{ A}$		1.0			1.0			1.0	
	$V_{\text{MIN}} < V_{\text{IN}} < V_{\text{MAX}}$		(7.5 < $V_{\text{IN}} < 20$ )			(14.8 < $V_{\text{IN}} < 27$ )			(17.9 < $V_{\text{IN}} < 30$ )	
	$I_O < 500\text{ mA}, 0^\circ\text{C} < T_J < +125^\circ\text{C}$		1.0			1.0			1.0	
$V_N$ Output Noise Voltage	$T_A = 25^\circ\text{C}, 10\text{ Hz} < f < 100\text{ kHz}$		40			75			90	
	$f = 120\text{ Hz}$	$I_O < 1\text{ A}, T_J = 25^\circ\text{C}$ or $I_O < 500\text{ mA}$		62 80	55 72	54 70				
		$0^\circ\text{C} < T_J < +125^\circ\text{C}$		62	55	54				
$R_O$ Dropout Voltage Output Resistance Short-Circuit Current Peak Output Current Average TC of $V_{\text{OUT}}$	$T_J = 25^\circ\text{C}, I_{\text{OUT}} = 1\text{ A}$		2.0			2.0			2.0	
	$f = 1\text{ kHz}$		8			18			19	
	$T_J = 25^\circ\text{C}$		2.1			1.5			1.2	
	$T_J = 25^\circ\text{C}$		2.4			2.4			2.4	
	$0^\circ\text{C} < T_J < +125^\circ\text{C}, I_O = 5\text{ mA}$		0.6			1.5			1.8	
$V_{\text{IN}}$ Input Voltage Required to Maintain Line Regulation	$T_J = 25^\circ\text{C}, I_O < 1\text{ A}$		7.3			14.6			17.7	

NOTE 1: Thermal resistance of the TO-3 package (K, KC) is typically  $4^\circ\text{C}/\text{W}$  junction to case and  $35^\circ\text{C}/\text{W}$  case to ambient. Thermal resistance of TO-220 package (T) is typically  $4^\circ\text{C}/\text{W}$  junction to case and  $50^\circ\text{C}/\text{W}$  case to ambient.

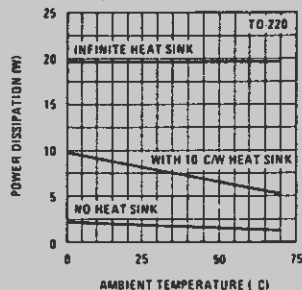
NOTE 2: All characteristics are measured with capacitor across the input of  $0.22\text{ }\mu\text{F}$ , and a capacitor across the output of  $0.1\text{ }\mu\text{F}$ . All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques ( $t_w < 10\text{ ms}$ , duty cycle  $< 5\%$ ). Output voltage changes due to changes in internal temperature must be taken into account separately.

# Typical Performance Characteristics

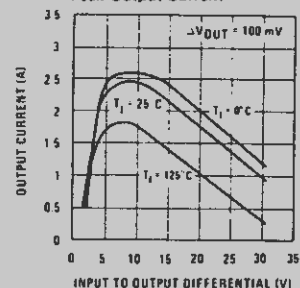
Maximum Average Power Dissipation



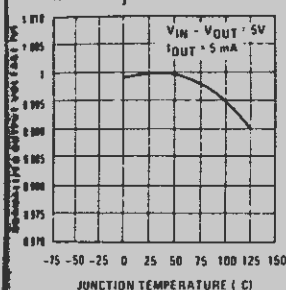
Maximum Average Power Dissipation



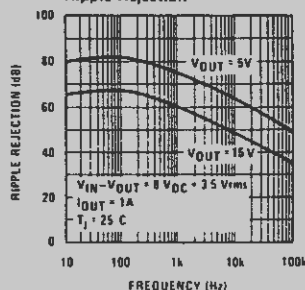
Peak Output Current



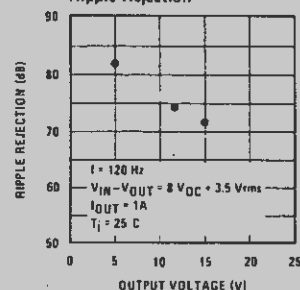
Output Voltage (Normalized to 1V at  $T_J = 25^\circ\text{C}$ )



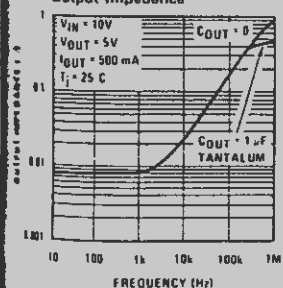
Ripple Rejection



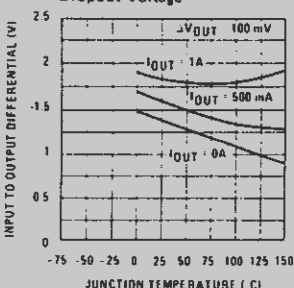
Ripple Rejection



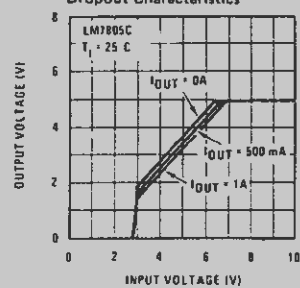
Output Impedance



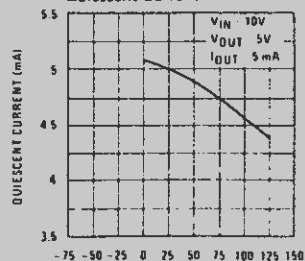
Dropout Voltage



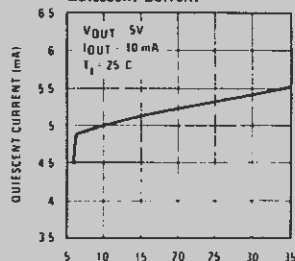
Dropout Characteristics



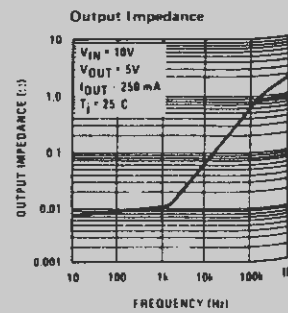
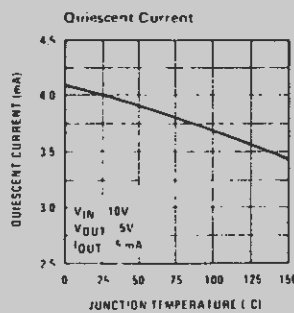
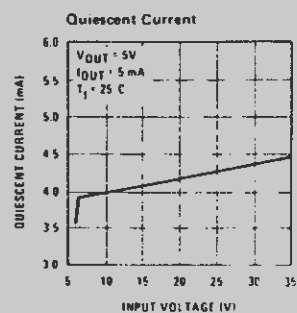
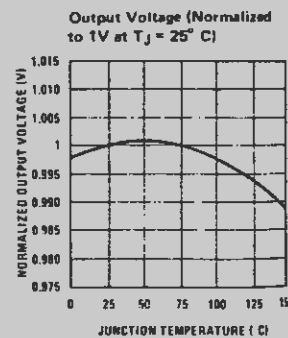
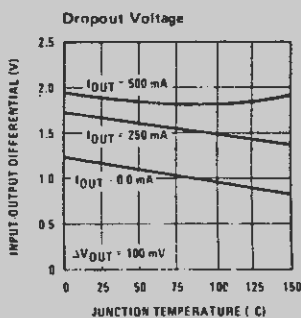
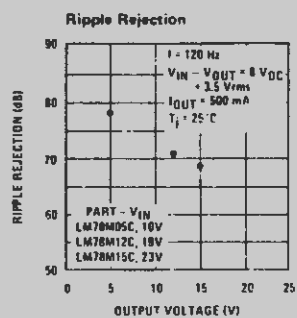
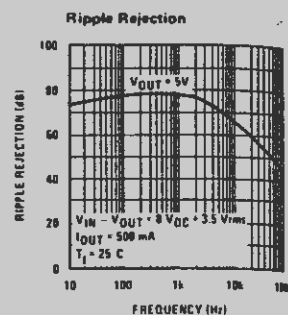
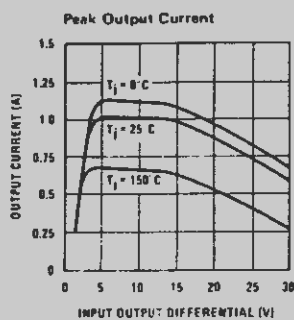
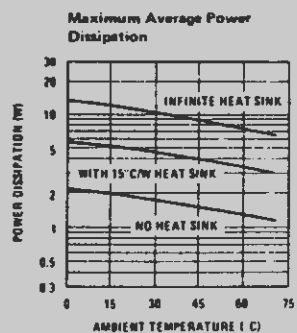
Quiescent Current



Quiescent Current



## Typical Performance Characteristics







## Voltage Regulators

### LM79XX Series 3-Terminal Negative Regulators

#### General Description

The LM79XX series of 3-terminal regulators is available with fixed output voltages of  $-5V$ ,  $-12V$ , and  $-15V$ . These devices need only one external component—a compensation capacitor at the output. The LM79XX series is packaged in the TO-220 power package and is capable of supplying 1.5A of output current.

These regulators employ internal current limiting, safe area protection and thermal shutdown for protection against virtually all overload conditions.

Low ground pin current of the LM79XX series allows output voltage to be easily boosted above the preset value with a resistor divider. The low quiescent current

drawn of these devices with a specified maximum change with line and load ensures good regulation in the voltage boosted mode.

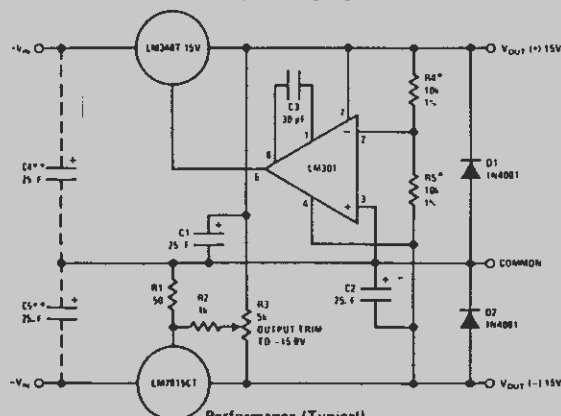
For applications requiring other voltages, see LM137 data sheet.

#### Features

- Thermal, short circuit and safe area protection
- High ripple rejection
- 1.5A output current
- 4% preset output voltage

#### Typical Applications

±15V, 1 Amp Tracking Regulators



Performance (Typical)

	(-15)	(+15)
Load Regulation at $\Delta I_L = 1A$	40 mV	2 mV
Output Ripple, $C_{IN} = 3000\mu F$ , $I_L = 1A$	100 $\mu V_{rms}$	100 $\mu V_{rms}$
Temperature Stability	50 mV	50 mV
Output Noise 10 Hz $\leq f \leq$ 10 kHz	150 $\mu V_{rms}$	150 $\mu V_{rms}$

\*Resistor tolerance of R4 and R5 determine matching of (+) and (-) outputs

\*\*Necessary only if raw supply filter capacitors are more than 3" from regulators

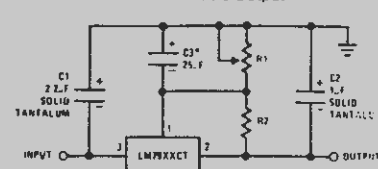
Fixed Regulator



\*Required if regulator is separated from filter capacitor by more than 3". For value given, capacitor must be solid tantalum, 25  $\mu F$  aluminum electrolytic may be substituted

†Required for stability. For value given, capacitor must be solid tantalum, 25  $\mu F$  aluminum electrolytic may be substituted. Values given may be

Variable Output



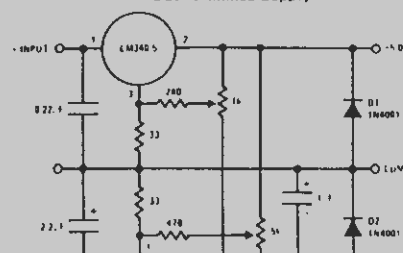
\*Improves transient response and ripple rejection. Do not increase beyond 50  $\mu F$ .

$$V_{OUT} = V_{SET} \left( \frac{R1 + R2}{R2} \right)$$

Select R2 as follows

LM7905CT	300 $\Omega$
LM7912CT	750 $\Omega$
LM7915CT	1k

Dual Trimmed Supply



### Absolute Maximum Ratings

Input Voltage	
( $V_O = 5V$ )	-35V
( $V_O = 12V$ and $15V$ )	-40V
Input-Output Differential	
( $V_O = 5V$ )	25V
( $V_O = 12V$ and $15V$ )	30V
Power Dissipation	Internally Limited
Operating Junction Temperature Range	0°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	230°C

**Electrical Characteristics** Conditions unless otherwise noted:  $I_{OUT} = 500\text{ mA}$ ,  $C_{IN} = 2.2\mu\text{F}$ ,  $C_{OUT} = 1\mu\text{F}$ , 0°C  $\leq T_J \leq +125^\circ\text{C}$ , Power Dissipation  $\leq 15W$ .

PART NUMBER		LM7905C			UNIT
OUTPUT VOLTAGE		5V			
INPUT VOLTAGE (unless otherwise specified)		-10V			
PARAMETER	CONDITIONS	MIN	TYP	MAX	
$V_O$ Output Voltage	$T_J = 25^\circ\text{C}$ $5\text{ mA} \leq I_{OUT} \leq 1\text{ A}$ $P \leq 15\text{ W}$	-4.8 -4.75	-5.0	-5.2 -5.25 ( $-20 \leq V_{IN} \leq -7$ )	V V V
$\Delta V_O$ Line Regulation	$T_J = 25^\circ\text{C}$ , (Note 2)		8 ( $-25 \leq V_{IN} \leq -7$ ) 2 ( $-12 \leq V_{IN} \leq -8$ )	50 15 -8	mV V mV V
$\Delta V_O$ Load Regulation	$T_J = 25^\circ\text{C}$ , (Note 2) $5\text{ mA} \leq I_{OUT} \leq 1.5\text{ A}$ $250\text{ mA} \leq I_{OUT} \leq 750\text{ mA}$		15 5	100 50	mV mV mV
$I_O$ Quiescent Current	$T_J = 25^\circ\text{C}$		1	2	mA
$\Delta I_O$ Quiescent Current Change	With Line  With Load, $5\text{ mA} \leq I_{OUT} \leq 1\text{ A}$			0.5 ( $-25 \leq V_{IN} \leq -7$ ) 0.5	mA V mA
$V_n$ Output Noise Voltage	$T_A = 25^\circ\text{C}$ , $10\text{ Hz} \leq f \leq 100\text{ Hz}$		125		$\mu\text{V}$
Ripple Rejection	$f = 120\text{ Hz}$	54	66	( $-18 \leq V_{IN} \leq -8$ )	dB V
Dropout Voltage	$T_J = 25^\circ\text{C}$ , $I_{OUT} = 1\text{ A}$		1.1		V
$I_{OMAX}$ Peak Output Current	$T_J = 25^\circ\text{C}$		2.2		A
Average Temperature Coefficient of Output Voltage	$I_{OUT} = 5\text{ mA}$ , $0^\circ\text{C} \leq T_J \leq 100^\circ\text{C}$		0.4		mV/°C

**Electrical Characteristics** (Continued) Conditions unless otherwise noted:  $I_{OUT} = 500 \text{ mA}$ ,  $C_{IN} = 2.2 \mu\text{F}$ ,  $C_{OUT} = 1 \mu\text{F}$ ,  $0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$ , Power Dissipation = 1.5W.

PART NUMBER		LM7912C			LM7915C			UNITS
OUTPUT VOLTAGE		12V			15V			
INPUT VOLTAGE (unless otherwise specified)		-19V			-23V			
PARAMETER	CONDITIONS	MIN	TYP	MAX	MIN	TYP	MAX	
V <sub>O</sub> Output Voltage	T <sub>J</sub> = 25°C 5 mA ≤ I <sub>OUT</sub> ≤ 1A, P ≤ 15W	-11.5	-12.0	12.5	-14.4	-15.0	-15.6	V
		-11.4		12.6	-14.25		-15.75	V
		(-27 ≤ V <sub>IN</sub> ≤ -14.5)			(-30 ≤ V <sub>IN</sub> ≤ -17.5)			V
ΔV <sub>O</sub> Line Regulation	T <sub>J</sub> = 25°C, (Note 2)		5	80		5	100	mV
		(-30 ≤ V <sub>IN</sub> ≤ -14.5)			(-30 ≤ V <sub>IN</sub> ≤ -17.5)			V
			3	30		3	50	mV
		(-22 ≤ V <sub>IN</sub> ≤ -16)			(-26 ≤ V <sub>IN</sub> ≤ -20)			V
ΔV <sub>O</sub> Load Regulation	T <sub>J</sub> = 25°C, (Note 2) 5 mA ≤ I <sub>OUT</sub> ≤ 1.5A 250 mA ≤ I <sub>OUT</sub> ≤ 750 mA		15	200		15	200	mV
			15	200		15	200	mV
			5	75		5	75	mV
I <sub>Q</sub> Quiescent Current	T <sub>J</sub> = 25°C		1.5	3		1.5	3	mA
ΔI <sub>Q</sub> Quiescent Current Change	With Line  With Load, 5 mA ≤ I <sub>OUT</sub> ≤ 1A			0.5			0.5	mA
		(-30 ≤ V <sub>IN</sub> ≤ -14.5)			(-30 ≤ V <sub>IN</sub> ≤ -17.5)			V
				0.5			0.5	mA
V <sub>n</sub> Output Noise Voltage	T <sub>A</sub> = 25°C, 10 Hz ≤ f ≤ 100 Hz		300			375		μV
Ripple Rejection	f = 120 Hz	54	70		54	70		dB
		(-25 ≤ V <sub>IN</sub> ≤ -15)			(-30 ≤ V <sub>IN</sub> ≤ -17.5)			V
Dropout Voltage	T <sub>J</sub> = 25°C, I <sub>OUT</sub> = 1A		1.1			1.1		V
I <sub>O</sub> MAX Peak Output Current	T <sub>J</sub> = 25°C		2.2			2.2		A
Average Temperature Coefficient of Output Voltage	I <sub>OUT</sub> = 5 mA, 0°C ≤ T <sub>J</sub> ≤ 100°C		-0.8			-1.0		mV/°C

Note 1: For calculations of junction temperature rise due to power dissipation, thermal resistance junction to ambient ( $\theta_{JA}$ ) is  $50^\circ\text{C}/\text{W}$  (no heat sink) and  $5^\circ\text{C}/\text{W}$  (infinite heat sink).

Note 2: Regulation is measured at a constant junction temperature by pulse testing with a low duty cycle. Changes in output voltage due to heating effects must be taken into account.

### Perfiles en Aluminio Extruido

1.204, 1.225, 1.138, 1.148, 1.328, 1.149, 1.330, 1.237, 1.116, 1.201, 1.150, 1.217, 1.114, 1.227, 1.206, 1.135, 1.320, 1.230

### Disipadores en Plancha de Aluminio

2905.0, 2907.0

### Arandelas Aislantes

5022.0, 5022.5

### Aislantes Kelaform

5001.0

### Silicona Silikela

**SERADHE**  
 INGENIEROS DEL CALOR



# PRESUPUESTO

---



#### IV - PRESUPUESTO

## PRESUPUESTO

### 1. COSTE DE MATERIALES

#### 1.1 Partida A: elementos pasivos

Cantidad	Material	Precio unitario	Total
2	Resistencia 5% 1W	20	40
8	Resistencia 5% 1/2W	6	48
35	Resistencia 5% 1/4W	6	210
1	Resistencia 2% 1/4W	20	20
1	Resistencia 1% 1W	100	100
2	Resistencia 1% 1/2W	35	70
26	Resistencia 1% 1/4W	35	910
4	Resistencia 0.5% Sovcor	150	600
14	Potenciometro multivuelta	450	6300
38	Condensador cerámico	30	1140
14	Condensador SOVCOR 4.7nF	250	3500
4	Condensador policarbonato FACO	42	168
2	Condensador tantalio 1uF	85	170
1	Cond. electrolítico 47uF/16V	45	45
1	Cond. electrolítico 220uF/16V	63	63
2	Cond. electrolítico 480uF/16V	92	184
1	Cond. electrolítico 6800uF/16V	530	530
1	Cristal de cuarzo de encargo	5000	5000
TOTAL PARTIDA A			17118

El coste de materiales de la partida A es de diecinueve mil ciento dieciocho pesetas.

1.2 Partida B: elementos activos

Cantidad	Material	Precio unitario	Total
-----	-----	-----	-----
1	Z8002B	16800	16800
1	ZN448J	5200	5200
2	TBP28S166	4000	8000
4	TMS2149	1800	7200
1	AD7523	1600	1600
1	74LS375	207	207
2	74LS373	387	774
2	74LS245	450	900
1	74LS160A	207	207
1	74LS393	450	450
1	74LS240	225	225
2	74LS273	450	900
1	74LS138	177	177
1	74504	135	135
1	74LS00	52	52
1	74LS08	59	59
1	74LS27	81	81
1	74LS32	91	91
1	74LS241	327	327
3	RC4136	276	828
1	7905	188	188
1	7905	266	266
1	LF298	2100	2100
2	LM236	350	700
4	diodos zener 1W	74	296
1	diodo zener 400mW	37	37
10	diodes LED verde	54	540
1	diode LED amarillo	65	65
2	diode LED rojo	65	130



Cantidad	Material	Precio unitario	Total
-----	-----	-----	-----
1	2N3546	75	75
1	2N3646	75	75
1	2N2955	310	310
1	puntoe reetificador	315	315
TOTAL PARTIDA B			49315

El coste de materiales de la partida B asciende a cuarenta y nueve mil trescientas quince pesetas.

### 1.3 Partida C: elementos varios

Cantidad	Material	Precio unitario	Total
-----	-----	-----	-----
1	conmutador triple	378	378
1	interruptor doble	435	435
1	interruptor miniatura	223	223
1	conmutador 2 posiciones	285	285
1	interruptor 400V/1A	246	246
1	conmutador 3 posiciones	310	310
5	fusibles	25	125
1	transformador	2700	2700
1	placa circuito impreso	5000	5000
1	caja completa mecanizada	15000	15000
1	radiador T03	756	756
1	radiador T0220	125	125
2	portafusibles circuito impreso	17	34
1	portafusibles chasis	45	45
1	pulsador	45	45
1	bobado 42 pires	294	294

Cantidad	Material	Precio unitario	Total
-----	-----	-----	-----
2	zócalos 24 pines	190	380
6	zócalos 20 pines	175	1050
8	zócalos 18 pines	140	1120
3	zócalos 16 pines	120	360
7	zócalos 14 pines	110	770
1	zócalo 8 pines circular	75	75
varios	soportes led, botones, etc.	varios precios	1500
varios	cables diversos, estaño	varios precios	1750
varios	conectores, terminales, etc.	varios precios	2500

TOTAL PARTIDA C : 35726

El coste de materiales de la partida C asciende a treinta y cinco mil setecientas veintiseis pesetas.

#### 1.4 Coste total de materiales

PARTIDA	COSTES DIRECTOS
A	19116 pts
B	48315 pts
C	35726 pts
-----	-----
TOTAL	103157 pts

Se consideran unos costes indirectos del 2% que ascienden a 2063 pts.

Costes directos	103157 pts
Costes indirectos	2063 pts
-----	-----
TOTAL	105222 pts

El coste total de materiales es de ciento cinco mil doscientas veintidos pesetas.

2. COSTE DE LA MANO DE OBRA

Concepto	horas	Precio unitario	Precio total
-----	-----	-----	-----
Ingenieria	800	3000pts/hora	2.400.000
Montaje oficial 1ª	40	2000pts/hora	80.000
Ajuste oficial 1ª	5	2000pts/hora	10.000
TOTAL			2.490.000

### 3. PRESUPUESTO DE EJECUCION MATERIAL

Es la suma del coste total de los materiales y de la mano de obra.

Coste total materiales	105222 pts
Coste total mano de obra	2490000 pts
<hr/>	
TOTAL	2595222 pts

El presupuesto de ejecución material asciende a dos millones quinientas noventa y cinco mil, doscientas veintidos pesetas.

#### 4. HONORARIOS FACULTATIVOS

##### 4.1 Por redacción del proyecto

Los honorarios por redacción del proyecto se estiman en el 7% de los gastos de ejecución material, y asciende a

7% de 2.595.222 pts ----- 181.665 pts.

##### 4.2 Por dirección del proyecto

Los honorarios por dirección del proyecto serán de 100000 pts.

El total de honorarios facultativos es de 281.665 pts.

5. PRESUPUESTO TOTAL

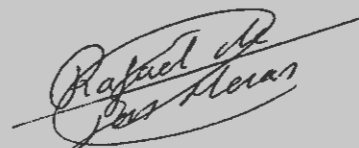
Presupuesto de ejecución material	2595222 pts
Honorarios facultativos	281665 pts

---

TOTAL	2876887 PTS
-------	-------------

El presupuesto total de este proyecto asciende a la cantidad de dos millones ochocientas setenta y seis mil ochocientas ochenta y siete pesetas.

Madrid, 22 de Junio de 1984



Fdo. : Rafael de las Heras Alfonso

INGENIERO DE TELECOMUNICACION